

여러가지 구조를 갖는 Trench Capacitor의 전기적 특성 (Electrical Characteristics of Trench Capacitor with Various Structures)

李進熙*, 南基守*, 金末文**, 朴晨鐘*

(Jin Hee Lee, Kee Soo Nam, Mal Moon Kim
and Sin Chong Park)

要 約

단결정실리콘의 식각프로파일에 따른 trench capacitor의 전기적 특성을 조사하였다. 즉 플라즈마 및 반응성 이온식각 방법으로 형성된 네 종류의 trench capacitor와 평면 capacitor의 step-coverage 특성, 산화막의 파괴전장 특성, 그리고 fixed oxide charge 특성을 비교하였다. 그 결과 네 종류의 trench 구조 중 플라즈마 two-step 식각방법으로 형성된 trench capacitor가 step-coverage 특성과 산화막의 파괴전장 (~7.75 MV/Cm) 특성면에서 가장 우수하였다. 그리고 fixed-oxide charge 특성은 네 종류의 trench capacitor ($3.6 \times E10/cm^2 \sim 7.5 \times E10/cm^2$)인 경우와 평면 capacitor ($4.5 \times E10/cm^2 \sim 6.5 \times E10/cm^2$)인 경우에 있어서 비슷한 것으로 나타났다.

Abstract

Trench capacitors with four different structures were fabricated using plasma and reactive ion etching techniques, and evaluated using their C-V and I-V characteristics. The results shows that the two step plasma etching technique is the best method to fabricate the trench capacitor because of its high breakdown field (~ 7.75 MV/Cm) and good step coverage. And the fixed oxide charges are comparable between the trench ($3.6 \times E10/Cm^2 \sim 7.5 \times E10/Cm^2$) and the planar ($4.5 \times E10/Cm^2 \sim 6.5 \times E10/Cm^2$) capacitors.

I. 서 론

반도체 소자의 집적도를 높이기 위해서는 이용 면적을 삼차원화시키고 불필요한 소자간의 분리폭을 줄일 필요가 있다. 이용 면적의 효율을 높이기 위해서 trench

capacitor의 구조, stacked capacitor의 구조, 다층금속배선 등 여러 기술들이 이용되고 있으며, 불필요한 space를 감소시키는 방법으로 self-align 방법과 trench isolation 방법이 많이 이용된다.^(1~4) 이들 중 trench capacitor를 제작하기 위해서는 다음과 같은 주요 공정기술의 개발이 필요하다. 필요한 기술에는 첫째 실리콘 기판을 수직하게 식각하는 기술, 둘째 trench side-wall 상에 얇은 산화막 혹은 유전물질을 형성시키는 기술, 셋째 trench side-wall에 inversion 방지를 위하여 얇게 doping 하는 기술 등이 있다. 이러한 주요 공정에서 실리콘의 비등방성 식각을 위한 일반적인 방법에는 반응성 이온식각 방법이 있으며, 이것은 rad-

*正會員, 韓國電子通信研究所
(Electronics & Telecommunications Research Institute)

**正會員, 嶺南大學校 理科學部 物理學科
(Dept. of Physics, Yeung-Nam Univ.)
接受日字: 1986年 6月 25日

iation damage 문제가 있으나 현재 가장 많이 사용하고 있는 방법이다.^{10~12)} 그리고 실리콘을 수직하게 식각하기 위해서 포토레지스트를 식각 마스크로 많이 사용하고 있는데 이 방법은 trench side-wall 상에 폴리머를 형성함으로써 비등방성 식각이 가능하게 한 것으로서 식각공정이 끝난 후에는 이러한 이물질 제거하여야만 한다. 그리고 trench side-wall을 형성하기 위해 150Å의 얇은 산화막을 사용하거나 얇은 산화막 위에 질화막을 얇게 형성시킴으로써 파괴 전압을 높이는 방법도 개발되고 있다.¹⁰⁾ 한편 trench side-wall doping은 P(인)가 As(비소)보다 확산속도가 훨씬 빠르므로 대개 As를 많이 사용하고 있다.¹¹⁾

본 연구에서는 위에서 열거한 제문제들을 고려하여 trench capacitor 제작시 단결정실리콘의 비등방성 식각을 위하여 일반적으로 사용하고 있는 반응성 이온식각 방법이 안고 있는 radiation damage, step-coverage 등의 문제를 해결하기 위해서 plasma two-step 식각기술을 사용하였다. 이때 그 특성은 플라즈마 및 반응성이온 식각방법으로 제작한 네 종류의 trench capacitor와 평면 capacitor를 비교함으로써 조사하였다. 즉, 이들 capacitor의 step-coverage 특성, 산화막의 파괴전장 특성, 용량-전압 특성 등을 통해서 trench capacitor의 장단점을 고찰하였다.

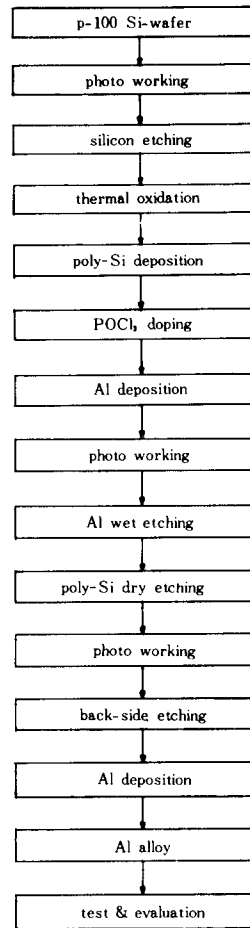
II. 실험

시편제작을 위한 공정순서도와 시편의 단면도는 그림 1과 같다.

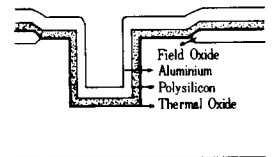
본 실험에서 사용한 기판은 4인치 직경의 boron-doped(100), 6~9Ωcm의 단결정 실리콘 웨이퍼이다. 그리고 식각방법에 따른 capacitor의 제특성을 비교하기 위하여 단결정실리콘의 건식식각 조건을 표 1과 같이 변화시켜 고찰하였다.

플라즈마 식각방법에 사용한 식각장비는 Drytek사의 DRIE 100 system으로서 접지전극에 rf power가 걸리는 방식이며, RIE(반응성 이온 식각) 방법에 사용한 식각장비는 같은 회사의 DRIE 102 system으로서 power가 걸리는 전극에 웨이퍼를 loading하는 방식이다. 한편 trench corner에서의 산화막 형성 특성을 조사하기 위해서 산화막의 형성 온도를 925℃, 1,000℃, 1,100℃로 변화시켰다. 그리고 본 실험에서 trench capacitor와 평면 capacitor의 전기적 특성을 비교하기 위해서 사용한 테스트 패턴은 그림 2와 같다. 그림에서 보는 바와 같이 테스트 패턴속에 6μm×6μm의 사각형 trench capacitor 164개가 연결되어 있다.

그림과 같은 테스트 패턴을 사용하여 각 capacitor들의 구조적인 특성과 전기적 특성을 조사했다. 파괴



(a) 공정순서도



(b) 단면도

그림 1. 시편제작을 위한 (a) 공정순서도와 (b) 시편의 단면도

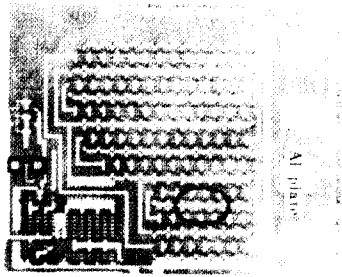
Fig. 1. (a) Process sequence, (b) crosssection of the sample.

표 1. 단결정실리콘의 식각조건

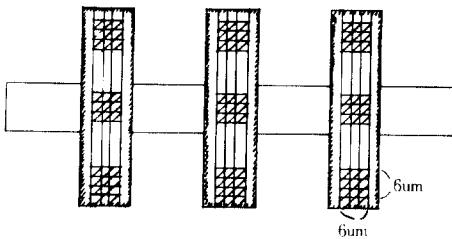
Table 1. Dry etching conditions for trenching of the single silicon.

CONDITION	METHOD	GASES	PRESSURE/POWER
A	plasma one step	F115+SF6	80mTorr/800watts
B	plasma two step	1st step: SF6	80mTorr/800watts
		2nd: F115+SF6	80mTorr/800watts
C	RIE one step	F115+SF6	200mTorr/1,300watts
D	RIE two step	1st step: SF6	200mTorr/1,300watts
		2nd: F115+SF6	200mTorr/1,300watts

전압 측정은 Hewlett Packard사의 4145A semiconductor device analyzer를 사용하였으며, C-V 특성은 1MHz C-meter로 구성된 M. D. C. C-V plotter로 측



(a) 현미경으로 본 test pattern



- ▨ : SILICON TRENCHING REGION
- : ACTIVE REGION
- : FIELD OXIDE REGION

(b) (a) 그림중 () 부분을 확대한 것

그림 2. Trench capacitor 제작을 위한 테스트 패턴
Fig. 2. Test pattern for trench capacitor.

정하였다. 그리고 식각된 실리콘의 단면과 완성된 trench capacitor의 단면은 주사형 전자현미경 (SEM-scanning electron microscope)으로 관찰하였다.

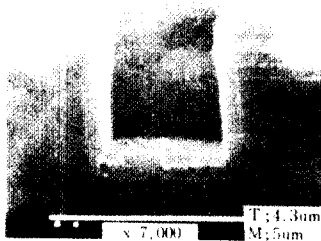
III. 결과 및 고찰

1. 구조적 특징

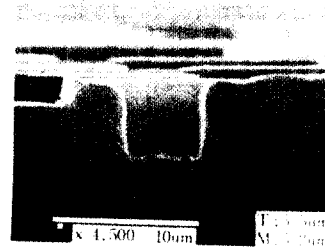
완성된 trench capacitor들의 step coverage 특성은 단결정실리콘의 식각방법에 따라 그 양상이 다르게 나타났다. 즉 반응성 이온식각 방법을 사용한 경우(그림 3 - c, d)와 플라즈마 one-step 식각방법(그림 3-a)을 사용하였을 경우 초기의 trench 입구 부분의 실리콘 프로파일이 아주 수직하거나, 입구 부분이 중앙보다 좁기 때문에 metal을 입힌 후 trench 입구가 좁아지는 현상이 발생하여 step-coverage 특성이 나빠지는 것을 볼 수 있다. 반면 플라즈마 two-step 식각방법을 사용한 경우 trench 입구부분의 실리콘 프로파일이 좋은 rounding을 가져서 step-coverage 특성(그림 3-b)이 좋게 나타난다. 그러므로 초기의 실리콘 프로파일이 step-coverage 특성에 중요한 역할을 하고 있음을 알 수 있다.

2. Trench Corner에서의 산화 특성

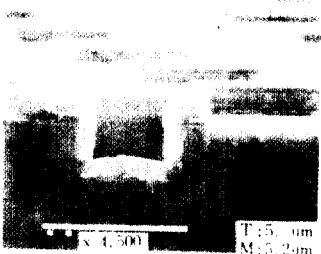
Trench corner에서의 산화특성을 보기 위해서 RIE one-step 방법으로 식각된 trench 상에 925℃, 1,000℃, 1,100℃ 등 세가지 서로 다른 온도에서 wet oxid-



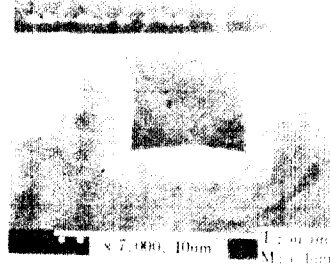
(a) Plasma one-step



(b) Plasma two-step



(c) RIE one-step



(d) RIE two-step

그림 3. Trench capacitor의 profile

Fig. 3. The SEM (scanning electron microscope) profiles of the various trench capacitors.

ation(H₂O₂ 가스 사용) 방법으로 두께 약 6,000 Å 정도의 산화막을 성장시킨 다음 SEM으로 관찰하였다. 그 결과가 그림 4에 나타나 있다. 그림에서 보는 바와 같이 925°C에서 성장된 산화막에서는 trench의 요면부분(concave : 점 D부분)에서 그 두께(3,600 Å)가 절면부분(convax : 점 B부분)의 두께(8,000 Å) 보다 훨씬 얇아지는 현상이 나타난다. 이 경우 산화막의 uniformity가 ±20% 정도로 그 특성이 아주 나쁜 것을 알 수 있다. 그러나 1,000°C, 1,100°C에서는 trench의 요철면 부분에서 산화막의 두께변화가 925°C 경우 보다 훨씬 작으며, uniformity가 ± 8%로써 비교적 균일하다고 볼 수 있다. 즉 1,000°C와 1,100°C에서 성장시킨 산화막은 큰 차이가 없으므로 본 연구에서는 1,000°C에서 성장시킨 열산화막을 사용하였다.

3. 전기적 특성

앞에서 조사한 여러 종류의 trench capacitor에 대한 파괴전장 특성을 그림 5에 나타내었다. 그림에서 보는 바와 같이 plasma two-step 방법으로 만든 capacitor의 경우가 trench capacitor 중에서 가장 높은 파괴전장 특성(7.75MV/cm)을 가지며, 평면 capacitor의 파괴전장(8.8MV/cm)과는 약 1MV/cm의 차이가 있다. 그리고 플라즈마 one-step 방법으로 만든 trench capacitor가 가장 낮은 파괴전장 특성(6.2MV/cm)을 보인다. 이와 같은 현상은 그림 3에서 보는 바와 같이

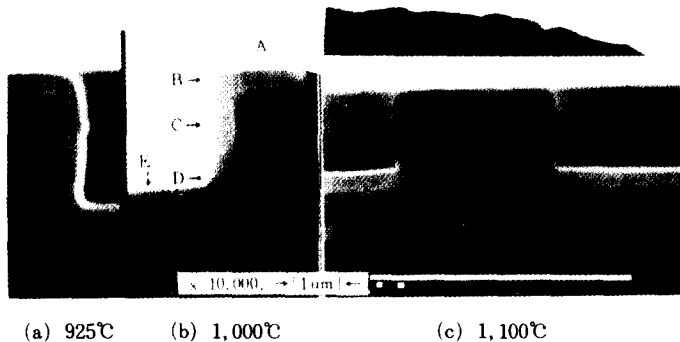
plasma one-step 방법의 경우 trench top 부분에서 경사가 가파르기 때문에 산화막 성장시 균일하지 않은 산화막이 형성되었기 때문에 나타나는 현상으로 해석할 수 있다.

한편 이들 각 capacitor들의 C-V 특성이 그림 6에 나타나 있다. 그림에서 보는 바와 같이 동일한 capacitor 면적(2차원 면적)에서 trench형의 capacitor가 평면형 capacitor 보다 큰 용량을 갖고 있음을 알 수 있다. 이것은 trench형 capacitor의 유효 capacitor 면적이 평면형 capacitor 보다 크기 때문이다.

그리고 C-V 특성곡선으로부터 구한 각 capacitor에 대한 산화막 내에서의 고정된 산화막 전하(fixed oxide charge)를 표 2에 나타내었다. 표 2로부터 각 capacitor에서 산화막 전하는 거의 비슷하게 나타남을 알 수 있다.

IV. 결 론

네가지 서로 다른 식각방법으로 만든 네 종류의 trench capacitor와 평면 capacitor의 전기적 특성을 비교한 결과 profile 면에서 플라즈마 two-step 식각방법이 우수하고, 파괴전장 측면으로 보았을 때에도 plasma two-step 식각방법이 우수한데 파괴전장이 7.75 MV/cm로써 trench capacitor중 가장 높게 나타났다. 이때 이 값은 평면 capacitor의 경우(8.8MV/cm) 보다



Temp.	A	B	C	D	E	Uniformity
925°C	7,664 Å	7,997 Å	8,997 Å	3,665 Å	7,664 Å	42%
1,000°C	8,666 Å	10,329 Å	8,330 Å	7,330 Å	7,997 Å	17%
1,100°C	7,997 Å	8,663 Å	7,664 Å	6,331 Å	7,330 Å	16%

그림 4. Trench corner에서의 산화 특성
Fig. 4. The oxidation characteristics of the trench corner.

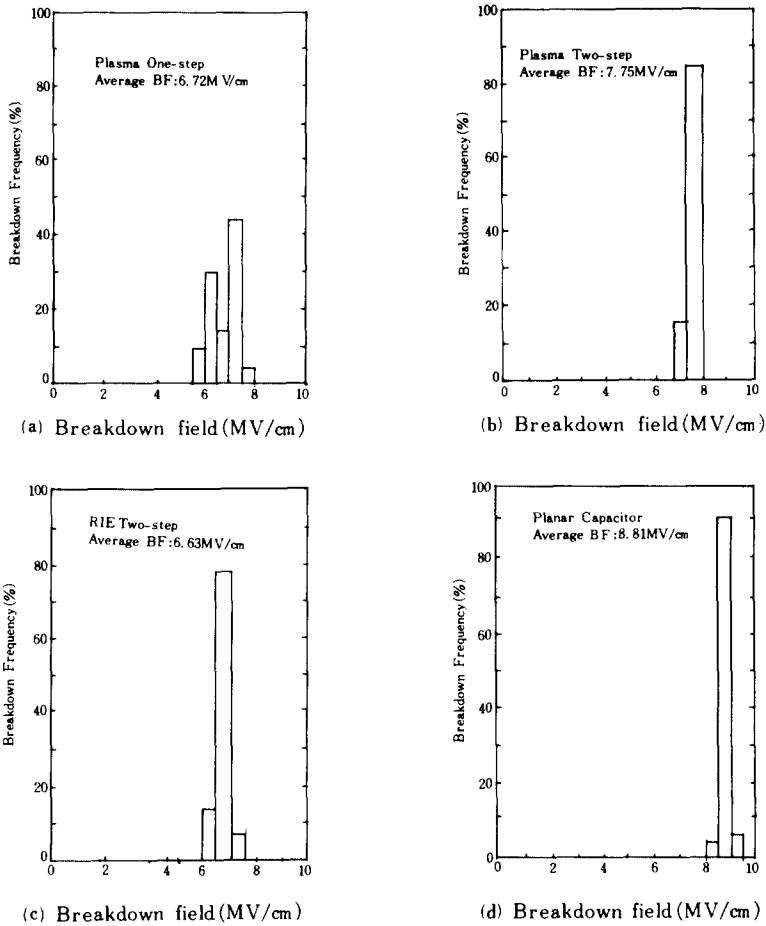


그림 5. Trench capacitor와 평면 capacitor의 breakdown frequency의 histogram.

(a) 플라즈마 one-step, (b) 플라즈마 two-step, (c) RIE two-step, (d) 평면 capacitor를 나타낸다

Fig. 5. Histogram of breakdown frequency for a 65nm thermal oxide grown on the etched surface with.

(a) plasma one-step, (b) plasma two-step, (c) RIE one-step, (d) RIE two-step etching method.

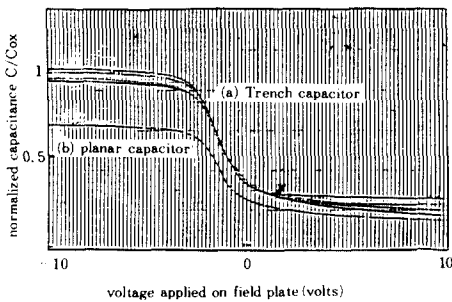


그림 6. Trench capacitor와 planar capacitor의 C-V 특성

Fig. 6. The capacitance voltage characteristics of the trench and planar capacitors with same areas.

표 2. 각 capacitor들의 고정된 산화막 전하

Table 2. The fixed oxide charge characteristics of various capacitors.

Method	Fixed Oxide Charge ($T_{ox} = 1,000 \text{ \AA}$)
Plasma one step	$(4.896 - 6.580) \times E10/cm^2$
RIE two step	$(3.611 - 4.669) \times E10/cm^2$
Plasma two step	$(5.930 - 6.866) \times E10/cm^2$
RIE one step	$(4.895 - 7.510) \times E10/cm^2$
RIE two step	$(3.611 - 4.669) \times E10/cm^2$
Planar capacitor	$(4.492 - 6.369) \times E10/cm^2$

약 1MV/cm 정도 낮으며, plasma one-step 방법을 사용한 경우(6.2MV/cm)가 가장 낮은 파괴전장 특성을 갖는 것으로 나타났다. 이러한 현상은 초기의 단결정 실리콘 프로파일이 산화막 형성의 균일도에 영향을 주기 때문인 것으로 볼 수 있다. 그리고 고정된 산화막 전하는 RIE one-step 방법을 사용한 경우가 가장 높은 특성을 나타냈다.

參 考 文 獻

- [1] K. Yamakuchi, R. Nishimura, T. Hagiwara, and H. Sunami, "Two-dimensional numerical model of memory devices with a corrugated capacitor cell structure", *IEEE J. of Solid-State Circuits*, vol. SC-20, no. 1, pp. 202-209, Feb. 1985.
- [2] H. Sunami, T. Kure, N. Hashimoto, K. Itoh, T. Toyabe, and S. Asai, "A corrugated capacitor cell (CCC) for megabit dynamic MOS memories", in *IEDM Tech. Dig.*, pp. 806-808, 1984.
- [3] M. Wada, K. Hieda, S. Watanabe, "A folded capacitor cell (FCC) for future megabit DRAMs", in *IEDM Tech. Dig.*, pp. 244-247, 1984.
- [4] K. Nakamura, M. Yanagisawa, Y. Nio, K. Okamura, and M. Kikuchi, "Buried isolation capacitor (BIC) cell for megabit MOS dynamic RAM", in *IEDM Tech. Dig.*, pp. 236-239, 1984.
- [5] K. Minegishi, S. Nakajima, K. Miura, K. Harada, and T. Shibata, "A submicron CMOS megabit level dynamic RAM technology using doped face trench capacitor cell", in *IEDM Tech. Dig.*, pp. 319-322, 1983.
- [6] S. Nakagima, K. Miura, K. Minegishi, and T. Morie, "An isolation-merged vertical capacitor cell for large capacity DRAM", in *IEDM Tech. Dig.*, pp. 240-243, 1984.
- [7] H. Ishiuchi, T. Watanabe, K. Kishi, M. Ishikawa, N. Gooto, T. Tanaka, T. Mochizuki, and O. Ozawa, "Submicron CMOS technologies for four mega bit dynamic RAM", in *IEDM Tech. Dig.*, pp. 706-709, 1985.
- [8] Y. Takemae, T. Ema, M. Nakano, F. Boda, T. Yabu, K. Miyasaka, and K. Shirai, "A 1 Mb DRAM with 3-Dimensional stacted capacitor cells", *IEEE ISSCC*, pp. 244, 1985.
- [9] Tl Yamaguchi, S. Morimoto, G.H. Kawamoto, H.K. Park, and G.C. Eiden, "High-speed latchup-free 0.5-um-channel CMOS using self-aligned TiSi₂ and deep-trench isolation technologies", in *IEDM Tech. Dig.*, pp. 522-525, 1983.
- [10] T. Watanabe, A. Menjoh, M. Ishiuchi, and J. Kumagai, "Stacted SiO₂/Si₃N₄/SiO₂ dielectric layer for reliable memory capacitor", in *IEDM Tech. Dig.*, pp. 173-176, 1984.
- [11] K. Yamada, K. Yamabe, Y. Tsunashima, K. Imai, T. Kashio, and H. Tango, "A deep-trenched capacitor technology for 4 mega bit dynamic RAM", in *IEDM Tech. Dig.*, pp. 702-705, 1985.
- [12] R.B. Marcus, T. T. Sheng, and P. Lin, "Polysilicon/SiO₂ interface microtexture and dielectric breakdown", *J. Electrochem. Soc.*, vol. 129, no. 6, pp. 1282-1288, 1982.
- [13] D.B. Kao, J.P. McVittie, W.D. Nix, and K.C. Saraswat, "Two-dimensional silicon oxidation experiments and theory", in *IEDM Tech. Dig.*, pp. 388-391, 1985.
- [14] R.B. Marcus, and T.T. Sheng, "The oxidation of shaped silicon surfaces", *J. Electrochem. Soc.*, vol. 129, no. 6, pp. 1278-1282, 1982.