

InSb TFT의 제작과 최적화 기법에 의한 파라메타 추출

(Fabrication of InSb TFT and Parameters Extraction Using Optimization Technique)

金 弘 培*, 孫 尚 熙**, 郭 桂 達**

(Hong Bae Kim, Sang Hee Son and Kae Dal Kwack)

要 約

InSb TET를 製作하여 I-V 측정치를 구하였고 이를 이용하여 最適化技法을 적용시켜 파라메타를 抽出했다. 파라메타를 추출하는데 있어 curve-fitting 방법보다는 最適化技法이 훨씬 簡便하고 더 正確하였으며, 추출한 파라메타에 의한 理論的인 I-V곡선은 實際 實驗値와 잘 일치하였다.

Abstract

InSb TFT is fabricated by the vacuum evaporation method and I-V characteristics are measured. Employing Davidon Fletcher-Powell algorithm, the device parameters are extracted. The current-voltage relations calculated by extracted parameters are in good agreement with experimental results. It is found that optimization technique may be more simple and accurate than curve fitting method in device parameters extration.

I. 序 論

1961年 Weimer¹⁾에 의해 처음으로 提案된 TFT (Thin Film Transistor)는 그동안 MOSFET에 비해 등한시 되었지만, 1970년대에 접어들어 훌륭한 眞空蒸着器와 스퍼터(sputter) 장치의 등장과 함께 여러가지 薄膜技術이 발전하면서 TFT의 제조에 다시금 관심을 갖게 되었다. 특히, 각 TFT 디바이스의 파라메타의 正確한 抽出은 수만개의 디바이스가 들어있는 集積回路 設計에 중요한 役活을 담당하게 되었다.

따라서 本 論文에서는 單結晶 半導體 TFT의 一般的인 이론²⁾으로부터 多結晶 반도체 TFT의 이론을

을 提示하고, 이 이론식과 실제로 InSb TFT를 製作하여 얻은 I-V 측정치를 使用하여 最適化技法을 適用시켜 最適 파라메타값을 算出하려 한다.

II. 多結晶 TFT의 電氣傳導모델

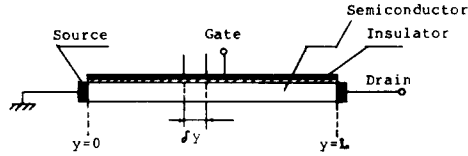
단결정 TFT와는 달리 電氣의 特性을 나타내는 다결정 TFT는 구조적으로 그레인境界에 그 遠因이 있으므로 단결정 TFT의 전기적 性質을 基礎로 하여 다결정 TFT의 그레인 境界에 대한 여러가지 전기적 모델이 提示되고 있다. 그들을 크게 나누면 不純物 分離 모델^{3,4)}과 캐리어 트래핑 모델⁵⁾로 나눌 수가 있는데 本 論文에서 取한 모델은 불순물 분리모델이다. 불순물 분리모델은 다결정 실리콘을 단결정 성질을 갖는 그레인과 그레인 境界로 구성된 不均一한 반도체로 생각하고, 이러한 두 가지 性質의 抵抗率은 불순물 분리의 함수가 된다고 생각한 것이다. 이러한 불순물 분리모델을 다결정 TFT에 대해 적용하면 다음과 같이 展開되어 진다. 즉, 다결정 반도체의 길이에 대해 각

*正會員, 淸州大學校 半導體工學科 (Dept. of Semi. Eng., Chongju Univ.)

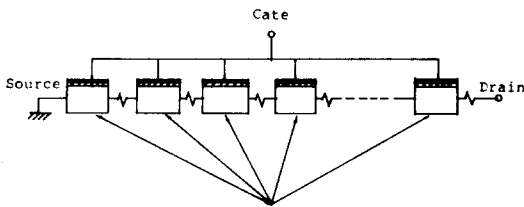
**正會員, 漢陽大學校 電子工學科 (Dept. of Elec. Eng., Hanyang Univ.)

接受日字: 1986年 7月 31日

각의 有限素 δy 는 直列抵抗 δR 을 갖고 있는 단결정 반도체의 有限素와 같다고 생각할 수 있으며, 다결정 TFT를 직렬연결 저항 δR 을 갖고 있는 유한소 트랜지스터로써 分解할 수 있다(그림1).



(a) 다결정 TFT



(b) 단결정 TFT로 분해한 다결정 TFT

그림 1. 다결정 반도체의 등가표현⁽¹⁾
Fig. 1. Equivalent representation of polycrystalline semiconductor.

그림 1에서 y 와 $(y+\delta y)$ 사이의 채널에서 전압의 有限素 變化 δV 는

$$\delta V = V(y+\delta y) - V(y) = I_b \delta R + \delta V_{ds} \quad (1)$$

이다. 한편, 일반적인 단결정 TFT의 전류식⁽²⁾

$$I_b = \frac{C_i W \mu_{eff}}{L} \left[(V_G - V_T) V_D - \frac{1}{2} V_D^2 \right] \quad (2)$$

에서 $V_G \rightarrow V_{gs}$, $V_D \rightarrow \delta V_{ds}$, $L \rightarrow \delta y$ 로 置換하면

$$I_b = \frac{W \mu_{eff} C_i}{\delta y} \left[(V_{gs} - V_T) \delta V_{ds} - \frac{1}{2} \delta V_{ds}^2 \right] \quad (3)$$

이 된다. 그리고 거리 y 에 위치한 유한소 트랜지스터에 對해서 $V_{gs} = V_{gs} - V(y)$ 의 관계가 성립하므로 식(1)을 식(3)에 대입하면

$$I_b = \frac{W \mu_{eff} C_i}{\delta y} \left[(V_{gs} - V_T - V(y)) (\delta V - I_b \delta R) - \frac{1}{2} (\delta V - I_b \delta R)^2 \right] \quad (4)$$

로 된다. $(\delta V - I_b \delta R) \ll (V_{gs} - V_T - V(y))$ 를 고려하면 식(4)는 다음과 같이되며

$$I_b = K (V_{gs} - V_T - V(y)) \left(\frac{\delta V(y)}{\delta y} - I_b \frac{\delta R}{\delta y} \right) \quad (5)$$

$R_0 = \frac{\delta R}{\delta y}$ 를 다시 代入하면

$$I_b = K (V_{gs} - V_T - V(y)) \left(\frac{\delta V(y)}{\delta y} - I_b R_0 \right) \quad (6)$$

으로 表現된다.

式(6)을 置換積分하면 최종적인 드레인 電流式은 다음과 같이 된다.

$$I_b = \frac{1}{R_0 L} \left[V_D + \frac{1}{K R_0} \ln \left(1 - \frac{V_D}{V_{gs} - V_T + \frac{1}{K R_0}} \right) \right] \quad (7)$$

이 境遇의 式(7)의 有效範圍는 $0 \leq V_D \leq V_{gs} - V_T$ 이다. 만약, V_D 가 이 범위를 벗어나게 되면 式(7)은 適用할 수 없게 된다.

한편, $\partial I_b / \partial V_D |_{V_D = V_{DS}} = 0$ 으로 부터 포화드레인 전압값은 $V_{DS} = V_{gs} - V_T$ 로 되며, 이 값을 式(7)에 代入하면 포화드레인 전류식은 다음과 같이 된다.

$$I_{DS} = \frac{1}{R_0 L} \cdot \left[V_{DS} + \frac{1}{K R_0} \ln \left(1 - \frac{V_{DS}}{V_{DS} + \frac{1}{K R_0}} \right) \right] \quad (8)$$

III. InSb TFT의 제작과정

1. 實驗準備 過程

基板으로서는 슬라이드 유리를 사용하였는데 基板의 諸元은 $76 \times 26 \text{mm}^2$ 이고 두께는 1mm 이다. TFT 製作에 必要한 金屬 마스크는 모두 4장으로 번호를 붙이면 다음과 같다.

- # 1; 半導體 層용 마스크 (semiconductor layer mask)
- # 2; 소오스-드레인 電極용 마스크 (Source-Drain electrode mask)
- # 3; 절연층용 마스크 (Insulator layer mask)
- # 4; 게이트 전극용 마스크 (Gate electrode mask)

2. 진공증착 과정

本 研究에서 사용한 증착시스템은 BALZER社에서 제작한 BAL370모델에 BSV203制御시스템을 附着시켜 구성했다. 증착제어를 하는 BSV203 모델은 最大 入力 電源이 2.2KVA인 제어장치로, 이것은 보우트나 필라멘트의 갯수와 試料의 特性에 따라 入力 電流를 調節할 수 있다. 그 外에 SiO_2 와 Al_2O_3 는 용융점이 매우 높기때문에 電子銃 (E-Gun)을 사용하여 증착시켰다. 한편, 증착된 시료의 두께는 크리스탈 호올더에 石英 結晶체의 박막으로된 센서를 부착하여 측정하였다. 본 실험에서 사용한 증착시스템의 眞空度는 $2 \times 10^{-6} \sim 4 \times 10^{-6} \text{mbar}$ 이다.

3. InSb 박막 제조과정

유리기판에 InSb 박막을 증착하기 전에 텅스텐보우트(BD 482 010)에 남아있을지 모르는 有機물질 혹은 不純物을 除去하기 위하여 超音波 洗滌器에 알코올을 담아 15분간 세척하였다. 그 후 유리기판을 6[A]에서 30분간 가열한 후에 텅스텐 보우트에 In과 Sb를 각각

1mol. 씩 섞고 가열하여 증착시켰다. 이때 BSV 패널에는 7(A)로 표시되며, 증착율은 4Å/sec이다. 이러한 증착방법에서의 問題點은 침전물의 구성을 조절하기 어려운 점에 있었는데 그 理由는 Sb의 부분적인 증기압력(600°C에서 6×10^{-1} mbar)은 In의 증기분압(100°C에서 6×10^{-1} mbar)보다 높기때문에 상대적으로 완전한 化合物의 증발은 In의 우선적인 분해 증발을 가져오기 때문이다.

이의 解決 방법으로 本 研究에서는 증착된 InSb의 박막을 6(A)의 電流源으로 1시간동안 加熱하여 가능한 限 높은 온도에서 증착된 입자들의 凝集이 일어나게 하였는데 大略 온도는 350°C~520°C 정도였다. 한편, 다결정 InSb의 구조적 성질은 InSb박막의 物理的 성질과 전기적 성질에 重要的 영향을 끼치기때문에 이러한 性質을 알아보기 위하여 진공증착에 의한 InSb박막의 구조를 TEM(Transmission Electron Microscope)으로 照射하여 각각 그림2, 3에 나타내었다.

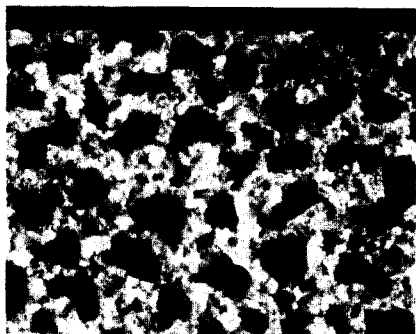


그림 2. InSb 박막의 TEM 사진
두께 : 1000Å, 배율 : ×30,000
Fig. 2. Transmission electron microscope micrograph of InSb films.
thickness : 1,000Å, magnification : ×30,000.

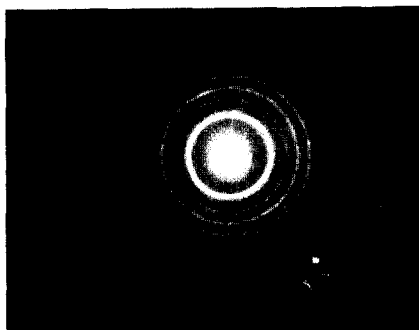


그림 3. InSb 박막의 TED패턴 (1000Å)
Fig. 3. Transmission electron diffraction patterns of InSb films (1000Å).

그림 2에서는 시커먼 그레인딩어리가 형성되었음을 확인할 수 있었으며, 그림 3은 TED(Transmission Electron Diffraction) 패턴을 나타낸 것으로, 이 사진에서 典型的인 圓의 形相과 초점이 있으므로 이 샘플이 진공증착된 InSb박막임을 알 수 있었다.

4. TFT 제작과정과 測定

본 실험에서는 TFT의 구조로서 高温에서 유리기관에 直接증착될 수 있는 장점을 갖고 있는 코플래너 전극 TFT구조를 채택하였으며(그림 4), 절연체로서는 SiO₂와 Al₂O₃를, 소오스와 드레인電極은 Sb, 게이트 전극은 Al을 사용하였다. TFT의 제작과정을 표 1에 정리하여 나타내었다. 그리고 제작한 TFT의 드레인 전류-전압특성은 액체질소온도(77°K)에서 측정하였으며 측정결과는 그림 5와 같다.

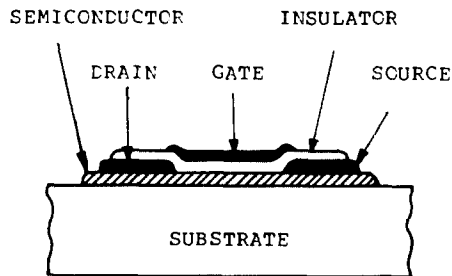


그림 4. 코플래너 구조
Fig. 4. Coplanar structure.



그림 5. 드레인 전류-전압 특성
Fig. 5. The characteristics of drain current-voltage (InSb; 1,500Å, L; 80μm, W; 2mm, SiO₂; 1,000Å).

IV. TFT의 파라메타 抽出

1. Curve fitting에 의한 파라메타추출
式(7)에서 $V_D < (V_{GS} - V_T - 1/KR_0)$ 일때 polynomial로 전개하면

표 1. TFT의 증착순서
Table 1. Evaporation process of TFT.

	증착원	압력 (mbar)	전류 혹은 전압	증착률	두께	마스크
InSb	팅스텐 보우트 BD 482 010	$2 \times 10^{-4} \sim 4 \times 10^{-4}$	7(A)	4A ² /sec	1,500A ² , 2,000A ² , 5,000A ²	# 1
소오스 & 드레인 (Sb)	팅스텐 보우트 BD 482 009	"	4(A)	10A ² /sec	1,500A ² , 3,000A ²	# 2
SiO ₂	Electron gun	"	110(V)	1A ² /sec	800A ² , 1,000A ²	# 3
Al ₂ O ₃	Electron gun	"	150(V)	1A ² /sec	1,000A ²	# 3
게이트 (Al)	팅스텐 와이어 BD 482 039	"	4(A)	2A ² /sec	1,500A ² , 3,000A ²	# 4

$$I_b = \frac{1}{R_0 L} \left[V_D + \frac{1}{KR_0} \left(\frac{-V_D}{V_{GS} - V_T + \frac{1}{KR_0}} - \frac{1}{2} \cdot \frac{V_D^2}{\left(V_{GS} - V_T + \frac{1}{KR_0} \right)^2} - \frac{1}{3} \cdot \frac{V_D^3}{\left(V_{GS} - V_T + \frac{1}{KR_0} \right)^3} + \dots \right) \right] \quad (9)$$

이 된다. 그러나 I_b의 표기를 간단히 하기 위해서 보통 V_D 이상의 항들은 무시한다. 따라서 A₁ = 1/R₀L, A₂ = 1/KR₀, A₃ = 1/(V_{GS} - V_T + 1/KR₀)이라 하면

$$I_b = A_1 \left[(1 - A_2 A_3) V_D - \frac{1}{2} A_2 A_3^2 V_D^2 - \frac{1}{3} A_2 A_3^3 V_D^3 \right] = a_1 V_D + a_2 V_D^2 + a_3 V_D^3 \quad (10)$$

(단, a₁ = A₁(1 - A₂A₃), a₂ = -1/2 A₁A₂A₃²,

a₃ = -1/3 A₁A₂A₃³)

이때 식(10)을 실험치와 curve fitting시켜 a₁, a₂, a₃를 구하고 다시 연립방정식을 풀어 각각 A₁, A₂, A₃ 값을 구한다.

2. 最適化技法에 의한 파라메타 추출

위 방법과는 달리 간결하면서도 정확하게 InSb TFT의 파라메타를 추출하기 위하여 실험치를 바탕으로 하여 最小 2乘法 近似를 행하였다.

$$f(R_0 L, \beta, V_T) = \sum_{i=1}^N W_i (I_T - I_i)^2 \quad (11)$$

式(11)에서 N은 觀測點의 개수, W_i는 weight 함수, I_i는 實驗值이고, I_T는 理論值이다. 式(11)을 最小化시키는 알고리즘으로는 Davidon-Fletcher Powell 알고리즘¹⁶⁾을 채택하였고, 이의 順序圖를 그림 6에 상세히

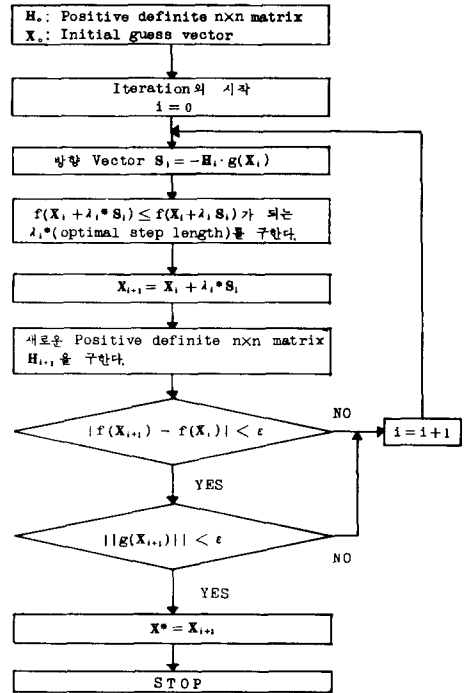


그림 6. Fletcher-Powell 알고리즘의 順序圖
Fig. 6. The flow chart of Fletcher-Powell algorithm.

나타냈다. 순서도상에서 함수 f(x)는 式(11)에 해당하고, 독립변수 x는 R₀L, β, V_T의 集合에 해당한다.

V. 結果 比較

表 2와 같은 諸元을 갖는 3개의 샘플 디바이스의 | -V_T특성을 도대로 파라메타를 추출하기 위하여 Davidon Fletcher Powell 알고리즘을 분순물 분리이론에 적용시켰다. 이와같이 구한 파라메타(R₀L, V_T, β) 값을 표 3에 나타냈으며 이를 式(7)에 대입한 전류-전압값과 실제의 실험치를 각각 그림 7, 8, 9에 나타내었다.

표 2. InSb TFT의 諸元
Table 2. Dimensions of InSb TFTs.

	디바이스 폭 W(mm)	소오스-드레인간격 L(μm)	InSb 두께 h(A°)	절연층의 종류와 두께 d(A°)	캐패시턴스 C _i (F·cm ⁻²)
샘플 A	1.5	200	2,000	SiO ₂ (1000)	3.24 × 10 ⁻⁴
샘플 B	3	200	5,000	Al ₂ O ₃ + SiO ₂ (1000 + 800)	28.2 × 10 ⁻⁴
샘플 C	2	80	1,500	SiO ₂ (1300)	3.45 × 10 ⁻⁴

표 3. 추출된 InSb TFT의 파라메타

Table 3. Extracted parameters of InSb TFTs.

	그 레 인 경계저항 $R_{oL}[\Omega]$	문턱電壓 $V_T[V]$	$\frac{W \mu_{eff} C_i}{L}$ β	유효이동도 $\mu_{eff}[\text{cm}^2/V\text{-Sec}]$	캐리어 밀도 $\frac{C_i V_T }{qh}$ $=N[\text{cm}^{-2}]$	그레인 경계의 평균고유저항 (WhR_o) $\rho_{eb}[\Omega\text{-cm}]$	다 결 정 고 유 저항 $\left(\frac{1}{qN \mu_{eff}}\right)$ $\rho_p[\Omega\text{-cm}]$	단 결 정 고 유 저항 $\left(\frac{1}{qN \mu_s}\right)$ $\rho_s[\Omega\text{-cm}]$
샘플A	195	-17.44	0.1756×10^{-3}	722	1.7634×10^{17}	2.925×10^{-2}	4.9×10^{-2}	4.538×10^{-4}
샘플B	186	-11.4	1.8×10^{-4}	425.5	4.013×10^{16}	1.395×10^{-1}	3.66×10^{-1}	1.994×10^{-3}
샘플C	184.8	-2.7	0.4182×10^{-3}	484.87	3.876×10^{16}	9.93×10^{-2}	3.32×10^{-1}	2.064×10^{-3}

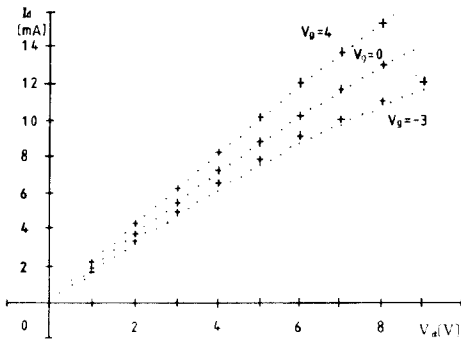


그림 7. 실험치와 이론치의 비교 (Sample A)^[8]

+ : 실험치, ... : 이론치

Fig. 7. Comparison of experimental and theoretical values.

+ : experimental values

... : theoretical values

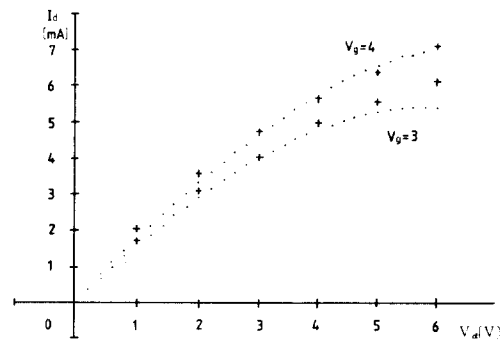


그림 9. 실험치와 이론치의 비교 (Sample C)

Fig. 9. Comparison of experimental and theoretical values.

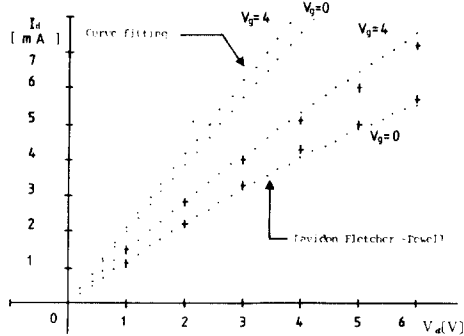


그림 8. 실험치와 이론치의 비교 (Sample B)^[9]

Fig. 8. Comparison of experimental and theoretical values.

그림 7의 실험값은 참고문헌^[8]의 데이터를 참고한 것이며, 그림 8은 참고문헌^[9]를, 그리고 그림 9는 실제로 제작하여 측정한 실험치이다. 특히, 샘플A, 샘플

B의 실험치에 對하여 본 논문에서 적용한 방법으로 얻은 파라메타값과 참고문헌에서와 같이 curve fitting으로 구한 파라메타값은 차이가 많이 났으며, 실제로 이들 파라메타값을 식(7)에 대입하여 실험치와 比較하여 보았을 때 本論文에서 제시한 最適化法으로 구한 파라메타값이 훨씬 더 정확함을 알 수 있었다.

이는 本論文에서 제시한 방법으로 파라메타를 추출하는 것이 훨씬 有用함을 보여주는 것이라 하겠다.

샘플C의 경우 그림 9에서 $V_g = 3[V]$ 일때 $V_g = 5[V]$ 以前까지는 실험치와 잘 일치한 反面 $V_g = 5[V]$ 以後부터는 실제의 실험치와 이론치의 誤差가 조금씩 더 커지게 되나 전체적으로 보면 그리 큰 오차는 아니라 생각한다.

또한, 표 3에서 볼 수 있는 바와 같이 모든 샘플A, B, C에 대하여 $\rho_p > \rho_{eb} > \rho_s$ 로 되는 것을 알 수 있었다.

VI. 結 論

InSb TFT를 진공증착법을 使用하여 製作하였고, 이로부터 전류-전압 特性을 얻었다. 이를 불순물 분리理論에 適用시켜 有効 移動度, 문턱전압 및 그레인

境界 저항값을 구했으며, 파라메타를 구하는 과정에서 보다 正確性을 기하기 위하여 最適化技法을 使用하였다. 결론적으로 本 論文에서 유효 이동도, 문턱 전압 및 그레인 경계 저항값을 구하는 方法은 InSb TFT 에 잘 適用되었으며, 아울러 CdSe와 다른 III-V 族 化合物 系統의 디바이스에도 잘 적용할 수 있을 것으로 생각된다. 디바이스의 精確한 파라메타算出은 數萬 個의 디바이스가 들어있는 VLSI에 重要하기 때문에 本 論文의 意義가 있다고 사료된다.

參 考 文 獻

- [1] P.K. Weimer, "The TFT-a new thin film transistor", Proc. IRE, vol. 50, pp. 1462-1469, June 1962.
- [2] S.M. Sze, *Physics of Semiconductor Devices*. John Wiley & Sons, 1st Ed. New York London, 1969.
- [3] M.E. Cowher and T.O. Sedhwick, *Chemical Vapor Deposited Polycrystalline Silicon*. Electrochemical society Active Member 119, pp. 1565-1570, Nov. 1972.
- [4] A.L. Flipp. "Dependence of resistivity on the doping level of polycrystalline silicon", *J. Appl. Phy.*, vol. 46, no. 3, pp. 1240-1244, March 1975.
- [5] T.I. Kamins, "Hall mobility in chemically deposited polycrystalline silicon", *J. Appl. phy.*, vol. 42, pp. 4357-4365, Oct. 1971.
- [6] R. Fletcher and M.J.D. Powell, "A rapidly convergent descent method for minimization", *Comput. J.* vol. 6, pp. 163-168, 1963.
- [7] S.S. Rao, *Optimization theory and Application*. Wiley Eastern Limited, 1978.
- [8] H. Baudrand et al., "An experimental and theoretical study of polycrystalline thin film transistor", *Solid state Electron*, vol. 24, no. 12, pp. 1093-1098, 1981.
- [9] Elzaky Hamadto, *Contribution a l'etude du Transistor a Effect de Champ a Couch Mince Polycrystalline d'antimoniure d'indium*, Ph.D Thesis, Toulous Univ. (1980). pp. 118-120.