

통신용 반도체 설계에서의 고려사항

黃 景 雲
(正 會 員)

三星半導體通信(株) 半導體研究所

I. 서 론

최근들어 통신 시스템의 성장이 수요나 기술수준에서 폭발적으로 이루어지고 있다. 데이터 전송, 인식, 변환, 네트워킹, 처리 등에 있어서는 복잡한 특성을 가진 시스템이 필요하게 된다. 따라서 저가격, 소형, 저소비전력과 고성능이 요구되며 대부분의 경우 이들 모든 요소를 동시에 만족시켜야 한다. 이들 특성을 동시에 만족시키기 위해서는 집적회로의 선택이 필수적이다.

본고에서는 집적회로 선택시 경제적인 고려사항 및 기본적인 설계 고려사항을 살펴보기로 한다.

II. 주문형 (Custom) 통신용 VLSI의 설계 고려사항

현대의 통신 산업을 고무하는 기본 기술은 다음과 같다.

Software - architecture, protocol 등

Hardware - 광섬유, 반도체

통신에 관한 반도체 제품은 VLSI화 와 함께 증가추세에 있으며 주문형이 한몫을 차지하고 있다. 통신 시스템 설계자들은 표준 반도체 제품 대신에 하드웨어 비용, 사이즈, 소비전력, 특수기능에 대한 회로 기밀 유지에 유리한 ASIC(application specific I.C.)들이 향후 압도적 위치를 차지할 것으로 전망하고 있다. 그러나, 한편으로는 막대한 설계비와 예측불허의 시기 문제 등이 저해요인이 되어, 실제로 시스템에 필요한 한개의 칩(chip)이나 일군의 주문형 VLSI를 만들때 투자시기를 맞추기가 매우 어렵다. 반도체 업계에서는 통신에 관한 ASIC 시장의 요구를 인식하여 시스템 업체와 연계, 협의, 노력하고 있지만 많은 혼란이 발생하고 있다. 주문설계에 있어서 설계의 중요 단계인 초기 계획에서는 시스템 설계자와 반도체 설계자간의 설계 규격 등에 관해 충분한 협의 및 사전 검토가 매우 중요하다.

대부분의 통신 제품 관련자들은 제품개발 착수에서부터 양산까지의 순조로운 진행과, 그 제품이 오랫동안 경쟁력을 가질 수 있게 되기를 희망하지만, 이를 위해서는 반도체 기술의 발전과 관련 시스템 업계의 향후 변화 및 수요량을 예측하여 제품을 개발하는 철저한 계획이 필요하다.

그림 1은 통신용 반도체 개발 방법에 대해 나타내고 있다.

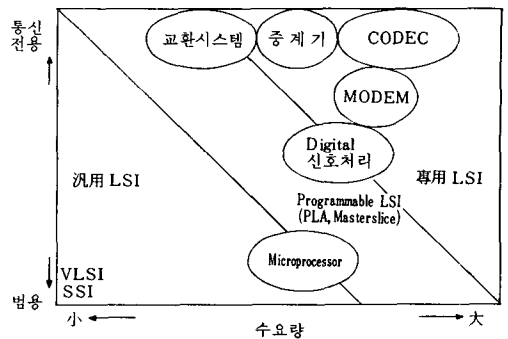


그림 1. 통신용 LSI의 개발방법

음성대역여파기(filtering)에 있어 아날로그 신호처리는 switched capacitor 회로 기술에 의해 대부분 행하여지고 있다. 이것은 NMOS 기술로 실현될 수도 있으나 double poly CMOS 기술을 이용하는 것이 더욱 유리하다. 바이폴라 기술은 여전히 저잡음, 고속 및 우수한 부하구동능력의 장점을 유지하고 있으나 전력소모가 큰 단점이 있다. 디지털 신호처리용 집적회로는 저가격, 중전력의 NMOS에서 저전력의 CMOS로 바뀌고 있다.

광섬유 전송시스템은 GaAs의 초고속, 고전력을 필요

로 하게 될 수도 있으나, 바이폴라에 있어서 oxide isolation과 selfaligned 에미터 기술의 출현으로 1.4GHz 정도의 데이터 전송이 가능하게 되었다.^[1]

표 1은 통신용 IC의 기능별 공정기술을 나타낸다.

표 1. 기능별 공정기술

Telecom기능	공정기술			
	NMOS	CMOS	BIPOLAR	GaAs
아나로그 신호처리	L. C	L. P	L. N	
디지털 신호처리	L. C	L. P	H. S	UH. S, LP
스위칭	L. C	L. P	H. S	UH. S
마이크로 웨이브			H. S	L. N, H. P
외부 인터페이스		H. V	H. V, H. D	

C=cost D=drive L=low N=noise
P=power H=high U=ultra V=voltage

1. 아나로그 대 디지털

아나로그 신호처리와 디지털 신호처리 기술은 병행하여 발전되어 왔다. 아나로그와 디지털의 혼합 시스템에서 정확도, 환경조건에 대한 둔화성, 부품의 열화 특성 및 프로그램 가능성의 장점으로 인해 디지털 부분의 극대화를 선호하고 있으나 칩의 크기가 증가하는 단점이 있다.

반면 MODEM, CODEC과 같이 소비전력이 엄격한 경우나 chip size 면에서는 아나로그 신호처리 기술이 유리하다. 만약에 디지털 제품이 절대적으로 필요하다면 표준형 칩이나 디지털 신호처리 칩의 사용을 검토해야 한다. 일반적으로 디지털 신호처리 칩은 다소 비싼 편이지만 유연한 해결책을 얻을 수 있다.

다음으로는 일정한 규격을 만족할 수 있게 설계된 전용의 특별 신호처리의 칩을 사용할 수도 있다. 그림 2는 디지털 신호처리용 LSI의 발전을 나타낸다.

2. 시스템 분리

시스템 분리는 다음과 같이 하여야 한다.^[2]

- ① 하드웨어가 주 기능이어서는 안된다.
 - ② 반도체 기술과 ALGORITHM은 병행해야 한다.
- 이러한 수평적 분할의 목적은 비록 어떤 경우에는 비능률적이더라도 완벽한 생산 라인을 위한 세트와 일반 칩의 다양한 사용에 있다.

3. 설계 규칙

칩 가격을 좌우하는 요인은 다음과 같은 사항들이 있다.

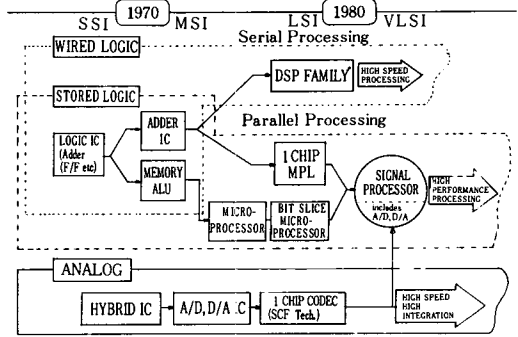


그림 2. 디지털 신호처리용 LSI의 발전

- (1) 칩 구조의 규칙성 및 동일 칩내 동일기술의 사용
 - (2) 불필요한 규격설정 배제
 - (3) 가능한 간단한 공정의 선택
 - (4) 적절한 패키지의 선택
 - (5) 외부핀수의 최소화
 - (6) 바람직하나 꼭 필요하지 않는 트랜지스터나 기능의 회피
- (6) 항에서와 같이 트랜지스터를 추가하는 것이 문제가 되지 않는다는 말은 믿지 말아야 한다. 그 이유로는 트랜지스터의 추가로 인해
- Die 면적이 증가되어 원가가 높아진다.
 - 핀수가 늘어나고 package가 커진다.
 - 설계기간 및 비용이 증가한다.
 - 검사가 어려워진다.

Ⅲ. 개발 비용

경제성 있는 IC를 만들기 위해서는 크게 설계측면과 공정측면에서 어떤 기법과(layout 방법)과 공정(여기서는 최소 가공정도에 의한 구분)을 선택할 것인가에 좌우된다. 각 설계 기법과 공정방법에는 장단점이 있으며 칩의 요구 특성, 복잡성, 개발기간, 비용, 시장 수요량에서 중요도를 결정하여 선택하여야만 경쟁성 있는 제품을 만들 수 있다.

1. 설계 측면

Layout 기법에는 크게 gate array, cell array, functional block, full custom 4 가지로 구분할 수 있다. 또한 구상에서 마스크 제작까지는 회로설계, layout, 검사 프로그램 개발의 순으로 진행되며 경제적인 측면에서 layout이 가장 큰 변수이다.

표 2는 이들을 비교한 것이다.

표 2. 각 설계기법의 비교

GATE ARRAY	CELL ARRAY	FUNCTIONAL BLOCKS	FULL CUSTOM
Fixed Dimension	Variable Dimension	Variable Dimension	Variable Dimension
2 or 3 Customized Layers	All Layers	All Layers	All Layers
Hardware Macros Software Macros	Cells	Blocks	
Utilization Variable <100%	100% Utilization	100% Utilization	100% Utilization
Fixed Length x, y	Fixed Length y Variable Length x	Variable Length x, y	All Optimized
8 Weeks 30K \$ 1c/Gate	15Weeks 50K \$ 0.5c/Gate	15Weeks 60K \$ 0.4c/Gate	2-3 Years 200K \$ 0.3c/Gate

2. 공정 측면

미세가공 기술의 발전에 의해 칩의 고집적화가 이루어지고 있다. 미세가공 기술의 발전은 부수적인 비용의 증가를 가져오기도 하나 최종적으로는 수율의 증가로 최종 제품의 생산비용은 급격히 감소하게 된다.

표 3은 미세 가공화에 따른 제품의 각 항목별 상호관계를 나타낸다.

세부적으로 각 항목에 대해 설명하면 다음과 같다.

(1) 생산비(고정비 포함)

생산비의 큰 부분은 생산장비가 차지하며 미세가공화가 될 수록 웨이퍼의 생산비용은 증가하나 단위 die의 생산비용은 급격히 감소한다. (표 3 참조)

전체 생산비 산출공식 C는

$$C=8+5.3(5/f)^{0.4}+8L(M\$/Year)$$

여기서 L=부하상수로 1이 최고 생산능력

f =최소가공능력(Microns)

로 표시된다.

(2) 연간 웨이퍼 생산량

연간 웨이퍼 생산량 O는

$$O=120L(5/f)^{0.4}(K\ wafers/Year)$$

로 표시된다.

미세가공화 할 수록 연간 웨이퍼의 생산량은 감소한다. (표 3 참조)

생산비와 연간 웨이퍼 생산매수에 의해, 미세가공화함에 따라 웨이퍼당 단가는 증가하며 미세가공 정도가 1/2이 될 경우 웨이퍼당 단가는 약 1.5배 정도 증가한다. 그림 3은 미세가공화에 대한 웨이퍼 생산비용을 나타낸다.

(3) 수율

수율은 웨이퍼당 양호한 die가 얼마인가를 나타내며 미세가공화 할 수록 die의 크기가 감소하므로 수율은 급격히 증가한다. (표 3 참조)

수율 Y는

$$Y=\left(1+\frac{Ad}{3}\right)^{-3}$$

여기서 A : 실제 사용되는 면적

d : cm²당 흡집수

로 표시한다. 그림 4는 미세가공화와 수율 및 die 수의 상관 관계를 나타낸다.

(4) Die 비용

Die 비용 D는

$$D=\text{웨이퍼 단가/수율} \times (\text{Die 수량})$$

로 표시한다.

미세가공화가 될 수록 die의 크기 감소 및 수율의 증가로 die의 비용은 급격히 감소한다. 예를 들어 미

표 3. 미세가공 정도에 따른 각 공정비용

미세가공도 (μ)	부하	생산비 (M/yr)	웨이퍼생산량 (K/yr)	웨이퍼 비용	Die Size	수율 (%)	총 Die 수	양호die/웨이퍼	die 비용	페이지 비용
5.00	1	\$ 21.30	120.00	\$177.50	100.00	14.58	160.86	23	\$ 7.57	\$ 3.70
4.00	1	\$ 21.79	107.33	\$203.06	65.58	24.87	245.27	61	\$ 3.33	\$ 3.01
3.00	1	\$ 22.50	92.95	\$242.08	38.82	40.70	414.41	169	\$ 1.44	\$ 2.48
2.00	1	\$ 23.65	75.89	\$311.57	19.70	61.29	816.69	501	\$ 0.62	\$ 2.09
1.50	1	\$ 24.58	67.73	\$373.95	13.00	71.75	1236.97	887	\$ 0.42	\$ 1.96
1.00	1	\$ 26.09	53.67	\$486.15	8.22	80.72	1955.93	1579	\$ 0.31	\$ 1.86
0.75	1	\$ 27.32	46.48	\$587.83	6.55	84.21	2455.44	2068	\$ 0.28	\$ 1.83

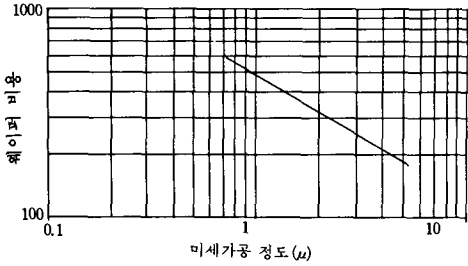


그림 3. 미세가공 정도에 따른 웨이퍼 비용

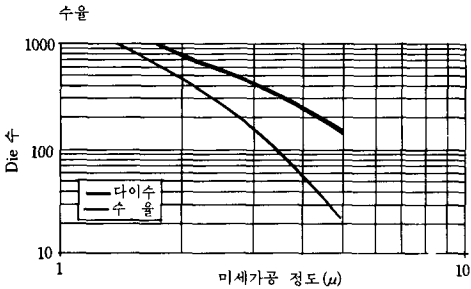


그림 4. 미세가공 정도와 수율 및 Die 수의 관계

세가공 정도 3 μ 의 die 비용은 5 μ 에 비해 약 1/5밖에 되지 않는다. (표 3 참조)

(5) 패키지

IC 패키지는 여러가지 즉 저가격, 기계적 강도, 높은 패키지 밀도, 밀봉정도, 낮은 기생저항, 낮은 열저항 및 test와 사용하기 편리해야 하는 조건을 만족해야 한다.

어떤 패키지도 이상의 모든 조건을 만족할 수는 없다. 따라서 제품의 특성에 따른 패키지 특성의 상호 관계를 고려하여 선택해야 한다. 일반 IC에서는 통상 dual-in-line 패키지, metal can, flat pack이 사용된다. Dual-in-line 패키지가 저가격 및 사용의 편리한 장점 때문에 가장 많이 사용된다.

DIP는 plastic, black ceramic, combined metal-cermic 또는 side-brazed 패키지가 있다. Plastic DIP 패키지는 저가인 반면 최대 동작 보증 온도가 85 $^{\circ}$ C이며 밀봉도가 나쁜 편이다.

반면 Cerdip이나 side-brazed DIP는 고가인 반면 고밀봉도이면서 최대 동작 보증 온도가 -55 $^{\circ}$ C~+125 $^{\circ}$ C이다. Metal can 패키지는 To-99형 및 To-3형이 있으며 고밀봉도 및 우수한 열특성, 기계적 강도 및 고신뢰성을 갖는 반면 아래와 같은 단점이 있다.

- 1) 핀수의 제한이 있다.
- 2) Lead가 쉽게 구부러지며 사용이 불편하다.
- 3) 가격이 비싸다.

Flat pack 형의 패키지는 크기, 무게가 작아지는 장점으로 인해 개발되었다. Flat pack형의 패키지는 일반 DIP 패키지에 비해 크기와 무게가 약 1/5인 장점이 있는 반면 고가이며 사용이 불편한 단점이 있다.

표 4는 각 IC 패키지별 열저항과 허용 소모전력을 나타낸다.

표 4. 패키지별 열저항 및 허용 소모전력

Package Type	Thermal Resistance ($^{\circ}$ C/W)			Allowable Power Dissipation at TA=25 $^{\circ}$ C (W)	Derating Factor for TA>25 $^{\circ}$ C (mW/ $^{\circ}$ C)	
	Junction to Case	Case to Ambient	Total			
Dual in line (DIP) 14/16-pin plastic	70	100	170	0.750	6	
Dual in line (DIP) 14/16-pin ceramic (CERDIP)	40	100	140	0.90	7	
Metal can	To-99	50	100	150	0.8	6
	To-3	10	30	40	3.0	25
Flat pack	100	150	250	0.5	4	

3. 검사

반도체의 완성된 제품이 나오기까지는 최소한 2번의 검사 과정을 거쳐야 한다. 첫번째 검사로는 웨이퍼 제조후에 각 die를 분리하기 전에 각 die에 대한 전기적 특성 검사이다. 이 과정에서 불량 die에는 잉크로 표시하며 분리단계에서 분리하여 양호한 die를 조립한다. 두번째 검사로는 조립된 die에 대한 전기적 특성을 검사한다.

집적회로의 검사 형태는 아래 3가지로 나눌 수 있다.

- 1) 직류검사: 회로의 동작전압, 전류, 각 핀의 전압 등을 검사하며 통상 전압이나 전류를 인가하여 각 단자의 전압이나 전류를 감지하여 검사한다.
- 2) 교류검사: 회로의 교류 동작 상태를 검사한다.
- 3) 동 특성검사: 검사회로 상태나 실제 응용회로에서 복합파형, 펄스, 진폭 및 시간 특성 등의 동작특성을 검사한다.

검사조건 작성에서 주의할 점은 불필요한 항목을 삽입하지 말아야 한다. 불필요한 항목이 추가되므로 검

사시간의 증가 및 수율이 감소하므로 제품의 총 원가가 상승한다는 사실을 유념해야 한다.

IV. 결 론

집적회로의 선택시 경제적인 고려사항 및 기본적인 설계의 고려사항에 대해 고찰하였다. 반도체 기술은 통신, 컴퓨터 등의 첨단 전자산업 분야의 기초 핵심부품기술으로써 시스템의 고기능화, 저가격화, 소형화, 경량화 및 저소비전력화를 만족하기 위해서는 필수적이다.

반도체의 설계에는 막대한 설계비용과 시간이 소요되므로 정확한 향후 변화 및 수요량을 예측해야 하며, 최소의 비용으로 성공적인 성능의 반도체 설계를 위해서는 설계 초기부터 시스템 설계자와 반도체 설계자간의 긴밀한 협조를 통해 제품의 특성에 맞는 적합한 설계방법 및 공정을 선택하여야 한다.

參 考 文 獻

[1] K. Woerner and A. Colquhoun, "High-speed Si Bipolar and GaAs technologies,"

IEEE Jour. on Selected Areas in Communication, vol. SAC-4, no. 1, pp. 24-31, Jan. 1986.

[2] B.P. Agrawal and N. Janakiraman, "Design examples of system partitioning and performance allocation for VLSI implementation," *IEEE Jour. on Selected Areas in Communications*, vol. SAC-4, no.1, pp. 4-14, Jan. 1986.

[3] C.F. Fey and D. Paraskevopoulos, "A model of design schedules for application specific IC's," Proc. of the IEEE 1986 Custom Integrated Circuits Conference, pp. 490-496, 1986.

[4] C.F. Fey and Paraskevopoulos, "Studies in LSI technology economics II: Comparison of product costs using MSI, gate arrays, standard cells and full custom VLSI," *Jour. of Solid State Circuits*, vol. SC-21, no. 2, pp. 297-303, Apr. 1986.*

學會 팩시밀리 設置

本 學 會 에 서 는 팩 시 밀 리 를 10 月 12 日 (月)
부 터 설 치 · 가 동 중 에 있 습 니 다 .

회 원 여 러 분 의 많 은 利 用 있 기 를 바 람 니 다 .

FAX : (02) 552-6093

