

GaAs 집적회로의 개발동향 및 전망

朴 亨 茂
(正 會 員)

韓國電子通信研究所 基般技術硏究部
化合物半導體硏究室

I. 머릿말

GaAs 단결정이 가지고 있는 우수한 물성을 활용하여 보다 고성능의 고속소자, 초고주파소자, 광소자에 대한 연구, 개발이 국내외에서 활발히 진행되고 있으며, 매년 눈부신 발전을 거듭하고 있다. 다가올 2000년대에 ISDN으로 대표되는 정보화 사회를 구현하기 위하여 대량정보를 전송하고 교환하며 처리하기 위한 보다 대용량, 고속시스템에 대한 필요성이 높아지고 있으며 이러한 시스템을 앞서 개발하기 위한 경쟁이 각국에서 치열하게 전개되고 있다. H/W적으로는 구성 집적회로의 고속화를 바탕으로 광대역 정보전달이 가능한 초고주파, 밀리미터파, 광집적회로의 개발이 요구되고 있다. GaAs 집적회로는 이러한 시스템 요구를 동시에 만족시킬 수 있는 기술로써 근래에 GaAs 집적회로에 대한 연구, 개발이 열기를 더해 가고 있는 것도 이러한 기대 때문이다.

GaAs 집적회로는 현재 세가지 응용분야에서 독자적으로 연구가 수행되고 있으나 장래에는 세가지 기능이 on-chip에서 수행되는 집적회로가 개발되리라 기대되며 이렇게 함으로써 GaAs 단결정이 가지고 있는 물성이 집적회로 규모에서 충분히 활용되리라 생각된다. 집적도면에서는 고속 IC의 경우 소자수 10만개/chip 미만, 초고주파 IC 광 IC의 경우 100개/chip미만의 집적회로가 연구되고 있다.

GaAs 집적회로는 잠재적인 우수한 특성에도 불구하고 연구경력이 짧고 대량생산을 위한 몇가지 문제점들 때문에 고가 첨단 시스템을 위한 주문생산이나 자체개발이 대부분이어서 그 사용범위가 극히 제한적이었으나 최근 2~3년 동안 눈부신 발전을 거듭하여 표준논리회로, MSI, 일부 LSI 규모에서 일반 시스템 설계자들이 응용할 수 있는 제품들이 등장하기 시작하였다. 이 분야의 기술발전에 신속히 대처하기 위하여 대한전

자공학회에서는 87년 2월 전자공학회에서 화합물 반도체 소자 특질을 발간하여 전반적인 연구방향에 대해 기술한 바 있다.¹⁾ 본란에서는 GaAs 집적회로의 실용화를 위한 기술현황 및 문제점들을 살펴봄으로써 GaAs 집적회로의 현위치를 분명히 하고 앞으로 나아갈 방향을 모색함으로써 국내 관련분야 산업발전 및 연구방향 정립에 조그만 도움이 되기를 기대한다.

II. 제품으로 본 GaAs 고속집적회로 특성

GaAs 고속집적회로의 경우 논문에서 발표되는 성능과 실제 system에서 사용될 수 있는 성능과는 큰 차이가 있으며 GaAs 기술이 단단한 뿌리를 갖고 정착하기 위해서는 시스템에서 폭 넓게 사용되어 그 성능을 평가받아야 한다. 이러한 평가를 통해서 보다 고성능의 집적회로 개발이 촉진되리라 생각된다. 현재 제품화되어 있는 IC로서는 NAND, NOR 등의 표준논리 IC, f/f, 카운터, 분주기, MUX, DMUX, shift register, LD 구동기, D/A 변환기, 1000 gate 규모의 gate array, 1K SRAM 등으로 SSI에서 LSI에 걸쳐 거의 동시에 제품화 되었으며, 현재 고속 IC의 대표격인 Si ECL IC와 호환성을 주기 위해 전원 및 신호레벨에서 ECL 방식을 채택하고 있다. 여기서는 이러한 IC들의 특성 및 응용분야에 대해 살펴본다.

(1) 표준논리회로, flip flop (f/f)

표준논리회로, f/f은 집적도가 낮기 때문에 소비전력이 커지더라도 고속성이 월등히 뛰어난 SCFL(source coupled FET logic)이나 BFL(buffered FET logic)을 사용하고 있다. NOR를 기본으로 하고 있고 300~500 psec의 전달지연시간, 2~3.5GHz 주파수 특성을 갖고 있다. 표 1에 정리하였다.

(2) 카운터, 분주기, shift regisfer (S/R)

카운터와 분주기 S/R는 각종 계측기, 무선통신기기

표 1.

품 명	Type	속 도	소비전력	제 작 자
플 립 플 립	D	3.5GHz (최소)	105mA (최대)	NEC
	Dual D	2 GHz	-	TriQuint
	Dual D T	2.3GHz (최소) 3 GHz (최소)	1.1W (최대) 90mA (최대)	GBL NEC
논 리 게이트	3 입력 OR/NOR	400ps (최대)	75mA (최대)	NEC
	쿼드 3 입력 NOR	320ps (최대)	875mW (최대)	GBL
	쿼드 2 입력 NOR	320ps (최대)	875mW (최대)	GBL
	5 입력 NOR/OR	500ps (표준)	0.85W (표준)	Harris

등에 폭 넓게 활용되는 범용소자로서 휴대용 기기에 사용되기 위해서는 고속성과 아울러 저소비전력 특성도 요구된다. 따라서 응용목적에 따라 회로방식도 SCFL, BFL을 비롯하여 normally off 방식인 DCFL (direct coupled FET logic)도 사용하고 있다. 2,4,7 bit ripple counter, 4/5, 10/11, 40/41, 64/65, 80/81, 128/129, 256/257 2 modulus 분주기, 4, 8bit S/R 등이 있고 주파수 특성은 1~3GHz, 소비전력은 30mW에서 2.5W에 걸쳐서 다양하게 구비되어 있다.

표 2.

품 명	Type	속 도	소비전력	제 작 자
Counter	4 bit ripple	3GHz	1.6W	TriQuint
	4 bit up/down	1GHz	2.0W	TriQuint
	7 단 ripple	2.3GHz	850mW (최대)	GBL
	2 단 ripple	3GHz (최소)	350mW (최대)	GBL
	4 동기 programmable	1.3GHz (최소)	2W (최대)	GBL
Prescaler	1/2, 1/4, 1/8 binary	1.8GHz (최소)	2.63W (표준)	Harris
	1/8	2.0~6.5GHz	90mA (표준)	Fujitsu
분 주 기	1/4	1.0~4.2GHz	70mA (표준)	Fujitsu
	64/65, 128/129	1.1GHz (표준)	5mA (표준)	Fujitsu
	128/129, 256/257	2.3GHz (표준)	15mA (표준)	Fujitsu
	128/129	1GHz (최대)	5 또는 7mA (표준)	Mitsubishi
	128/129 또는 64/65	0.8GHz (최대)	3mA (표준)	Mitsubishi
	128/129 또는 64/65	1GHz (표준)	200mA (표준)	OKI
	1/2	2.2GHz (최소)	1.11W (표준)	Harris
register	4/5	2GHz	-	TriQuint
	40/41, 64/65, 80/81	2GHz	-	TriQuint
	가변 modulus	1.5GHz (최소)	850mW (최대)	GBL
	10/ 11	1.8GHz (최소)	2.54W (최대)	Harris
register	Octal shift	1.5GHz (최소)	1.9W (최대)	GBL
	4-bit shift	1.5GHz (최소)	1.9W (최대)	GBL
	Universal shifter	1GHz (최소)	2.85W (최대)	Harris

(3) MUX, DMUX, LD 구동기, D/A 변환기, SRAM
MUX, DMUX는 여러 개의 신호를 다중화시킬 때 필요한 집적회로로서 통신기기, 테스터 등의 계측기기에 사용된다. 특히 LD 구동기와 함께 1.2 GBPS나 1.6 GBPS 광통신시스템 개발에 크게 기여하리라 기대된다. 2:1, 4:1, 8:1, 16:1 등으로 1~2 GBPS의 특성을 보이고 있다. D/A 변환기는 디지털, 아날로그 신호의 출입구로서 8 bit 변환에 600~1GHz의 샘플주파수 특성을 보이고 있다. 1GHz대의 A/D 변환기가 개발되면 각종 계측기기, 신호처리 기기에서 많이 사용될 전망이다. SRAM은 256×4bits 구성을 1K 규모로서 현재까지 나온 제품중에서 가장 집적도가 높다. 초고속 컴퓨터, 제어기의 cache 메모리로서 그 용도가 다양하나 기대되었던 속도인 1.0 nsec access 시간보다는 낮은 3.0 nsec 특성을 보이고 있다. (표3)

표 3.

품 명	Type	속 도	소비전력	제 작 자
멀티플렉서	4:1	2GHz (최소)	150mA (표준)	NEC
	2:1	1GHz (표준)	200mA (표준)	Mitsubisi
	8:1/16:1	2Gbit/s	1.9W (표준)	TriQuint
	4:1	2Gbit/s	2.7W (표준)	TriQuint
	쿼드 2:1	1.5GHz (표준)	800mW (표준)	GBL
더멀티플렉서	8:1	1.5GHz (최소)	1.7W (최대)	GBL
	1:4	2GHz (표준)	150mA (표준)	NEC
	1:2	1GHz (표준)	280mA (표준)	Mitsubisi
	1:8/1:6	2Gbit/s	2.3mA (표준)	TriQuint
	1:4	2Gbit/s	2.7W (표준)	TriQuint
구 동 기	1:4, 1:8	2GHz (표준)	1.5W (최대)	GBL
	1:8	1.5GHz (최소)	1.7W (최대)	GBL
	L-D구동기	1GHz (최소)	90mA (표준)	NEC
SRAM	L-D구동기	1ns (표준)	190mA (표준)	NEC
	256×4	(cycle 시간) 3rs (최소)	3.4W (최대)	GBL
D/A변환기	8-bit	6C0-1 Gsample/s	3.5W (1 Gsample/s)	TriQuint

(4) Gate Array

1K SRAM과 더불어 제품화된 LSI로서 1K 규모의 gate array가 있다(표4). 신호 레벨은 ECL(emitter coupled logic) 혹은 CML(current mode logic) 레벨로서 F.O이 3 이고 배선길이 1.5~3.0mm인 부하조건에서 전달지연시간 200~300 psec의 고속 특성을 보이고 있다. 소비전력은 gate당 0.7~2.0mW이다.

이상에서 제품화된 GaAs 집적회로를 살펴보면 제품화 경향으로는 SSI, MSI의 경우에는 더욱 고속성

표 4. 상품화된 Gate Array

규 모	τ_d (ps)	PD (mW/gate)	Fanin Fanout	입·출력 level	AI 배선 길이(mm)	전원전압 (V)	기 본 gate	동작온도 범위(°C)	제 작 자
1K gate	280	1.5	F1=1 FO=3	ECL CML	3	-3.3 -1.6	-	-	Mathushida
1K gate	280	2	-	ECL	-	-5.2	1 입력 4 출력	-	Texas
1K gate	215	0.7	FO=3	ECL	1.5	-2 -3.5	4 입력 NOR	0-70	Ford

을 추구하여 현재 1.0~3.0GHz의 주파수 특성에서 5 GHz 이상으로 발전되리라 예상되며 LSI 규모에서는 현재의 전달지연 시간을 유지하면서 1K gate의 집적도에서 3~5K gate의 집적도를 가진 제품이 나오리라 예상된다.

III. GaAs 고속집적회로 연구 방향

실험실에서 개발이 진행중인 LSI/VLSI 규모의 고속집적회로로서는 SRAM, gate array, CPU가 대표적이다. 이러한 연구는 주로 미국과 일본에서 수행되고 있으며, 국가 주도의 초고속 system 개발의 핵심 과제로서 system의 성능에 낮추어서 성능사양이 결정되어 있다. 일본에서는 과학기술용 컴퓨터 개발 프로젝트의 일환으로 논리부를 위한 3K gate 이상의 array와 cache 메모리부를 위한 4K bit 이상의 SRAM이 집중적으로 연구되고 있으며 미국에서는 AOSP(advanced onboard signal processor) 개발계획에 의해 32 bit CPU를 중심으로 SRAM, gate array, floating point coprocessor, bus & memory interface, multiplier 등이 개발되고 있다.^[2,3,4,5] 이러한 GaAs LSI/VLSI 개발을 위해 3" 웨이퍼 100장/week 이상을 처리할 수 있는 pilot line을 가동시키면서 개발에 필요

한 기본 자료들을 정비하고 있다.

GaAs MESFET는 구동능력이 작기 때문에 gate array를 이용하는 것보다는 표준 cell이나 완전주문형 방식에 의한 설계가 바람직하다. 그러나 논리회로인 경우 소량다품종이 필요하고 개발기간에 제약이 있으므로 시제품 개발을 위해 gate array를 많이 사용한다. 한편 CPU나 SRAM 등의 범용 LSI/VLSI인 경우는 성능을 최대로 발휘하기 위해 완전주문형 방식에 의한 개발이 진행되고 있다.

(1) 승산기, floating point coprocessor

승산은 수치계산의 경우 계산시간의 상당부분을 차지하는 기능으로써 승산시간의 단축은 실시간제어기, 과학계산용 컴퓨터 등에서 매우 중요한 요소이다. 16bit의 경우 실험실에서 6.8nsec의 승산시간이 발표되고 있으며, 32 bit coprocessor의 개발이 진행중이다. 표 5에 5, 8, 12, 16 bit 승산기의 특성을 보인다.

(2) SRAM

SRAM은 4K와 16K 2종류가 연구되고 있으며, 특히 16K SRAM은 GaAs로 만들어진 집적회로 중에서 집적도가 가장 크다. Access 시간은 2.5~4.5 nsec의 분포를 보이고 있으나, 이러한 성능은 실험실에서 최

표 5. Multiplier

크 기	승산속도(ns)	전 력 소 모	사 용 기 술	제 작 자	년 도	참고문헌
5 × 5	4.0	0.13mW/gate	SAINT E-MESFET	Honeywell	1986	10
8 × 8	8.6	157mW/total	E/D-MESFET	OKI	-	-
"	12	160 "	Projected from 4 × 4 1.4 μm gate	Toshiba	-	-
"	5.25	2200 "	SDFL	Rockwell	-	-
"	5.3	1000 "	1 μm gate, SDFL	"	-	-
12 × 12	4	-	Fullcustom	-	1984	11
16 × 16	10.5	952mW/total	2 μm gate, DCFL	Fujitsu	-	-
"	6.8	-	Fullcustom	-	-	12

적 조건하에서 측정된 특성으로써 4K 규모에서 system에 활용하기 위한 연구가 일본의 각사에서 맹렬히 전개되고 있다.

(3) Gate array

집적도를 높이기 위한 연구가 계속되고 있다. 6K gates에서 0.5mW/gate의 소비전력(3W/chip)의 특성을 보이는 LSI의 개발이 진행되고 있다. 그러나 소비전력을 줄인 댓가로 전달지연시간은 1.0 nsec/gate로써 꽤 늦어졌다. 이것은 GaAs MESFET의 저구동 능력에 기인하는 것으로서 보다 빠른 특성을 내기 위해서는 완전주문형 설계가 바람직하다. 고속 gate array를 개발하기 위해 MESFET 대신에 HBT(heterojunction bipolar transistor)를 사용한 4K gate array가 발표되었다. 이것은 Si bipolar TR을 GaAs로 바꾼 것으로 0.1nsec/gate로 고속성은 뛰어나나 전력소모 또한 4.0 mW/gate로 무시할 수 없을 정도로 크다. 표 6에 1.5K, 2K, 3K, 4K, 6K gate array의 실험실 특성을 정리하였다.

(4) 32bit CPU

GaAs 집적회로가 실제 고속시스템에서 활용하기 위해서는 CPU의 개발이 무엇보다도 절실하다. 현재 80386이나 68020 등과 같은 Si를 이용한 32bit CPU가 제품화되어 다양하게 사용되기 시작하고 있지만 GaAs 32 bit CPU를 개발하기 위해서는 H/W의 구조가 비교적 간단한 RISC(reduced instruction set computer) 방식이 적합하다.^{14,15)} CPU 개발은 주로 미국에서 이루어지고 있으며 69개의 적은 숫자의 명령어를 갖고 있고 6단 파이프라인을 채택하였으며 200MHz에서 동작하도록 설계되었다.¹⁵⁾ 이러한 고속동작을 가능케하기 위해서는 access time이 1 nsec 정도의 cache memory

가 필요한데 1K bits의 SRAM과 현재 개발중인 GaAs coprocessor를 탑재하여 91 MIPS(mega instruction per second)의 고속특성이 기대되고 있다.

이상으로 GaAs 고속 IC의 개발방향에 대해 살펴보았다. 2장에서 다루었듯이 SSI, MSI 규모에서는 이제 일반 사용자에게 공급이 되기 시작하였으나 본격적으로 사용이 되기 위해서는 LSI 규모에서 시스템에 들어갈 수 있어야 한다. Si IC의 발전과정을 살펴보다라도 반도체 산업이 봄을 이루면서 각광을 받기 시작한 것도 1970년대 초반에 4K DRAM이 본격적으로 공급이 되면서 부터였다. 이러한 의미에서 1K SRAM이 나오기 시작하고 4K SRAM에 대한 대량생산 가능성이 본격적으로 수행되고 있는 앞으로 1~2년 사이가 GaAs 산업기반 형성을 위해서는 매우 중요한 시기가 되리라 여겨진다. 그림 1에 Si과 GaAs의 집적도의 발전추이를 보인다.

GaAs는 Si보다 약 25년 늦게 출발하여 초기에는 Si에서 축적된 풍부한 공정경험 및 설계기술을 충분히 활용하여 빠른 속도로 집적도를 향상시켰으나 '85년도 이후에는 집적도의 향상이 주춤한 것을 알 수 있고 이러한 경향은 당분간 계속될 전망이다. 이것은 '85년도 이후부터는 실험실에서의 집적도 경쟁에서 벗어나 GaAs 산업기반을 형성하기 위한 준비에 더 큰 노력을 기울이고 있다는 것을 반영하고 또 한가지 이유로서는 GaAs IC의 집적도 향상에 제동을 거는 여러 문제점들에 대한 해결이 늦어지고 있다는 것을 의미한다.

따라서 GaAs 집적회로가 계속적으로 발전하기 위해서는 이러한 문제점들을 정확히 파악하여 그 해결책을 모색하는 것이 무엇보다도 중요하다. 여기에 대해서 V장에서 살펴보기로 한다.

표 6. Gate Array

Gate 크기	지연시간	전력소모	사 용 기 술	제 작 자	년 도	참 고 문 헌
1.5K	0.158	2.6mW/gate	HEMT	Fujitsu	1986	13
2 K	0.215	0.5 "	DCFL	Toshiba	1985	14
3 K	1.1	0.1 "	D-MESFET	Honeywell	-	-
"	0.5	0.1 "	E/D-MESFET	"	-	-
"	1.4	2.5/total	Microcell Library	TriQuint	1986	15
"	0.177	2.3mW/gate	Sidewall-assisted SAINT with WSI gate	NEC	1986	16
4 K	0.1	4 mW/gate	GaAs Bipolar IC	Texas Inst.	1986	17
6 K	1.0	0.5mW/gate	D-MESFET	Honeywell	1986	18

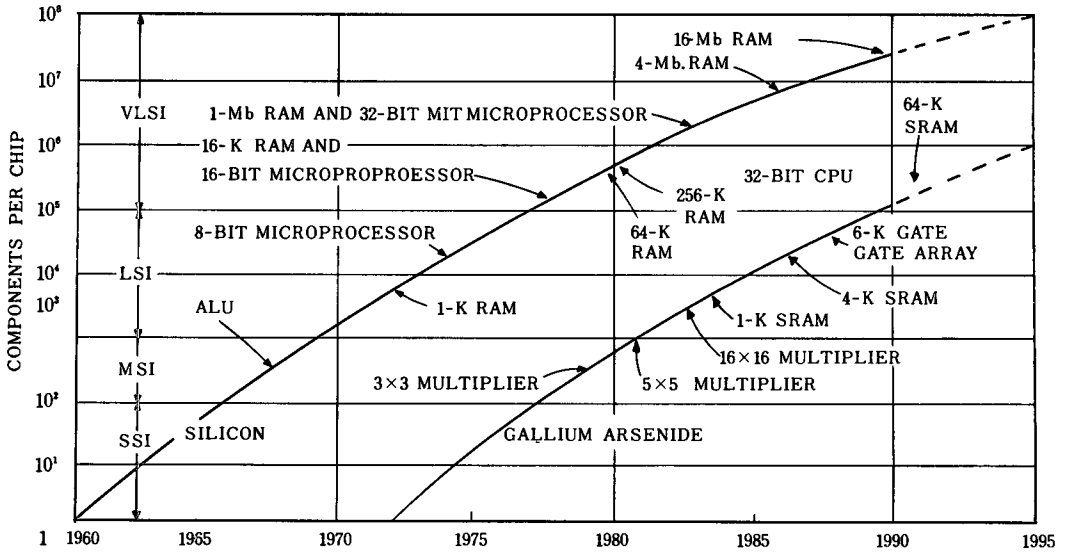


그림 1. GaAs와 실리콘 IC의 발전현황 및 전망

IV. GaAs 초고주파 집적회로 연구현황 및 방향

초고주파, 미리미터파영역(30GHz 이상)에서 GaAs MESFET는 하이브리드 형태로서 통신, 계측장비에서 오래전부터 특히 위력을 발휘해 오고 있다. 근래에 들어서 GaAs 결정성장기술, 공정기술의 발달은 이 분야에도 큰 영향을 미쳐서 하이브리드 형태를 모노리식화하려는 연구가 활발히 진행되고 있다. 모노리식 초고주파 집적회로(MMIC)는 증폭기, 발진기, 혼합기, 위상변화기 등의 아나로그 회로를 구성하며 소자수에 있어서는 100개/chip 미만이기 때문에 현재의 기술로도 충분히 높은 수율의 대량생산이 가능하다. MMIC의 개발에 있어 가장 중요한 것은 설계로서 하이브리드 방식에서 모노리식 방식으로 전환됨에 따라 설계개념에 있어 변화를 요구한다. 즉 하이브리드 IC에서는 될 수 있는 대로 MESFET를 적게 쓰고 정합회로를 구성하는데 기판의 크기 등은 문제가 되지 않았으나 모노리식 IC는 기판 자체가 GaAs이기 때문에 될 수 있는 대로 적은 면적에 설계를 하는 것이 필요하며 면적을 많이 차지하는 L, C수동소자 대신에 MESFET를 풍부하게 활용하는 것이 좋다. 따라서 설계방식도 증폭기를 예를 들면 하이브리드 IC 형태에서는 실현하기 힘들었던 능동회로를 이용한 정합회로 구성법이나 케환 방식 등을 MMIC에서는 적극적으로 활용할 수 있는 설계가 요구된다.^{17,18)} 또한 MMIC의 경우 대량생산에

의한 원가절감, 신뢰성 향상이 중요하기 때문에 값비싼 에피웨이퍼 대신에 이온주입을 이용한 공정이 주류가 되고 있다. 이온주입 공정을 이용함으로써 웨이퍼 내의 소자특성이 균일하게 되며 따라서 같은 특성을 가진 2개의 능동소자가 요구되는 balance 구조가 장점을 발휘할 수 있다.

MMIC도 현재 제품을 본격적으로 공급하는 메이커는 없으며 다양한 개발시스템의 사양에 맞춰서 사내용이나 주문생산 방식으로 개발되고 있다. MMIC에 대한 연구현황을 살펴보기 위해 표 7에 최근에 발표된 대표적인 MMIC들을 정리하였다. 저잡음증폭기는 0.6 GHz부터 30GHz에 걸쳐서 개발되어 있으며 3단 증폭기에서 8~12GHz 대역폭에서 N. F 1.8dB, 이득 30dB가 발표되었다. 또한 27.5~30GHz 대에서 N. F 3.2dB, 이득 23dB가 발표되었다. 전력증폭기의 경우 가장 어려운 문제점이 열방출이기 때문에 집적도를 높이는 MMIC에는 기술적으로 제약이 있으나 열방출이 chip 전체에서 골고루 일어나도록 능동소자, 수동소자의 배치를 적절히 하고 chip 두께를 50cm, 25cm 등으로 얇게 함으로써 문제를 해결해 나가고 있다. 연구 결과로는 2 GHz에서 44GHz에 걸쳐 개발되고 있으며 9.5GHz에서 출력 2.1W, 8GHz~18GHz에서 이득 33 dB, 34GHz에서 효율 21%인 chip들이 개발되고 있다. 이 밖에 혼합기, 발진기, 위상변화기 등도 여러 주파

표7.1 Low Noise Amplifier

연 도	Band (GHz)	Stage	NF (dB)	Gain (dB)	VSWR		Chip size (mils ²)	제 작 자	참고문헌
					input	output			
1982	2.4-8.0	5	4.0	41.5	1.7	1.5	-	Watkins-Johnson comp.	19
1982	12	-	3.6	7.3	-	-	-	Electronic Lab.	20
1983	0.6-6	1	4	6	-	-	-	Plessey Res.	21
1983	11.2-11.7	2	2.8	16	-	-	-	-	22
1983	11.7-12.7	1	2.5	9.5	-	-	-	Microelectronics Res.	22
1983	11.7-12.2	3	3.4	19.5	-	-	-	Toshiba	23
1984	3.7-4.2	2	1.3	21	-	-	22×35	Avantek	24
1984	8-18	2	4.3	8.5	-	-	-	Hughes	25
1984	17	5	3.75	29.5	-	-	-	Marconi	26
1985	8-12	-	3	20	-	-	-	Hughes	27
1985	27.5-30	3	3.2	23	-	-	-	Hughes	28
1985	11.2-12.4	3	2.7	24	1.6	1.8	-	NEC	29
1985	7.25-7.75	3	4.5	28	1.5	1.5	-	Plessey Res.	30
1986	2-14	2	4.5	10	-	-	21×26	Avantek	31

표7.2 Power Amplifier

연 도	Band (GHz)	Stage	Chip size (mm ²)	Gain (dB)	Power (mW)	Efficiency (%)	제 작 자	참고문헌
1981	9.5	-	4.8×6.3	3.3	2,100	-	Raytheon	32
1982	6.5-8.1	4	-	32.2	1,300	-	Texas Inst.	33
1982	9.2-10.5	4	-	28	630	22	Texas Inst.	33
1983	7-18	-	2.5×1.9	8-12	400	-	Raytheon	34
1983	8-9	3	2.6×2.8	10	-	-	Thomson/CSF	35
1983	8-18	3	-	33	650	-	Thomson/CSF	34
1985	3.7-4.2	-	-	9.0-9.5	2,089	10	Comsmat Lab.	36
1985	6.5-16	2	-	35	1,000	-	Texas Inst.	37
1985	16-17	3	-	12	2,000	20	Texas Inst.	38
1986	2-6	3	1.2×2.0	20	251	-	Pacific	39
1986	3-7	3	1.2×1.2	12	500	20	Pacific	40
1986	6-18	5	1.7×3.0	-	1,300	10-13	Hughes	41
1986	29	1	-	4.5	75	17.5	Texas Inst.	42
1986	34	1	0.5×0.5	3.8	200	21	Texas Inst.	42
1986	44	1	0.7×1.2	4	135	15.7	Texas Inst.	42
1986	14	2	0.6×1.0	10	21 (dB)	-	Avantek	43
1987	2-6	2	1.0×0.75	10	125	-	Cleritex	44
1987	2-6	-	0.91×0.91	-	13 (dB)	-	Pacific	45

수 대에 걸쳐 연구가 활발히 진행되고 있으며 앞으로 보다 높은 주파수 대역에 대한 연구와 MMIC의 집적도를 향상시키기 위한 연구가 활발히 진행되리라 예상된다. 이러한 초고주파 대역의 집적회로 개발은 보다 원활한 정보전달을 가능케하여 2000년대 정보화 사회 구현에 큰 역할을 하게 되리라 기대된다.¹⁹⁾

V. GaAs 집적회로 개발을 위한 문제점

GaAs 집적회로 개발을 위해 선행되어야 할 연구분야에 대해 몇가지 분야로 분류를 하여 문제점을 제기함으로써 해결책을 모색해 본다.

1. GaAs 웨이퍼에 기인하는 문제

표7.3 Mixer

연도	method	Band (GHz)	Gain (dB)	NF (dB)	Conversion Loss (dB)	Chip size (inch ²)	제 작 자	참고문헌
1982	balanced	31-39	-	6	-	0.05×0.43	Honeywell	46
1982	dual gate	12	-	6.5	2	-	-	47
1983	-	30-32	-	4.5	7	0.5×0.43	Honeywell	48
1983	diode	8-12	-	-	6	-	-	48
1984	crossbar type	75-110	-	-	9	-	Hughes	50
1984	balanced	94	-	5.6	-	0.076×0.034	Honeywell	51
1985	single-ended	11.7-12.2	2.9	11.6	6.1	-	NEC	52
1985	single-balanced	30	-	-	6	-	GEC	53
1985	balanced	75-110	-	-	4.6	-	-	54
1985	double-balanced	0.1-0.8	6-8	-	-	-	Matsushida	-
1986	double-balanced	27-30	-	-	10.5	-	Hughes	55

표7.4 Oscillator

연도	Design	Band (GHz)	Power (mW)	Efficiency (%)	T. C (ppm/°C)	Pushing (MHz/V)	Chip size (mm ²)	제 작 자	참고문헌
1981	Push pull osc.	2.1-2.5	10	-	-	-	-	H. P	56
1981	V. C. O	12.7-13.1	8	4	-	500	1.8×1.2	Plessey	57
1982	D. R. O	11	32	20	1	0.5	1.2×1.4	LEP	58
1982	V. C. O	11-19	31.6	-	-	-	1.1×1.2	Texas Inst.	59
1982	-	12	32	-	0.3	-	-	-	60
1983	D. R. O	10.67	112	10	1.2	0.2	1.5×1.5	Toshiba	61
1983	V. C. O	12.22	-	-	-	-	-	Texas Inst.	62
1984	D. R. O	60.7	0.6	-	-	50	-	Hughes	63
1984	-	35	1.5	0.5	-	-	-	Univ. California	64
1984	V. C. O	11.5-20	119	-	-	-	1.1×1.3	Texas Inst.	65
1984	V. C. O	2-18	1,000 (7-12) 158 (12-18)	-	-	-	-	Texas Inst.	66
1986	V. C. O	10.5-10.85	11-13	21	-	370-400	1.8×1.3	NEC	67

○ GaAs 웨이퍼는 전위밀도가 약 10,000개/cm²로 크기 때문에 V_{TH}의 균일도가 좋지 않다. 적절한 수율이 보장될 수 있는 집적도는 MESFET 약 30,000/chip로 한정되어 있다.

○ 웨이퍼 크기가 3"로 작기 때문에 가격면에서 대량 생산에 의한 잇점이 발휘되기 힘들다. 실험실에서는 LEC에 의한 5" 단결정 성장이 연구되고 있다.

○ Ingot 내에서의 앞, 중간, 뒷부분에 따른 웨이퍼와 웨이퍼 사이의 특성이 다르고 서로 다른 ingot 사이에서도 특성이 다르기 때문에 대량생산일 경우 run과 run 사이의 공정의 조절이 필요하며 따라서 철저한 웨이퍼 관리가 요구된다.

○ 결정결함, 불순물들에 기인하는 깊은 준위의 영향에 의하여 소자특성이 달라진다.

이상과 같은 문제점들은 GaAs 단결정 성장기술에 기인하는 것으로서 집적도를 높이기 위해서 반드시 해결되어야 한다. 현재 자장인가법, As 증기압조정법, In 첨가법 등의 새로운 기술들이 계속 시도되고 있어 하루가 다르게 양질의 웨이퍼가 공급되고 있으나 아직 LSI/VLSI 개발수준에는 못미치고 있다.

2. 공정기술의 미숙에 기인하는 문제점

○ 이온주입과 활성화공정

이온주입에 따른 활성화 공정은 GaAs 집적회로공정

표7.5 Phase Shifter

연도	Bit수	Band (GHz)	Phase변화 (°)	Loss (dB)		온 도 영 향 (°/°C)	Chip size (mm ²)	제 작 자	참고 문헌
				Insertion	Return				
1984	2	2-8	180, 90	-	10	0.017	4.8×1.7	Raytheon	68
1984	5	17.7-20.2	11.25, 22.5, 45, 90, 180	0.7	15	-	-	Rockwell	49
1985	6	5-6	analog: 0-11 digital: 11.25, 22.5, 45, 90, 180	8.7	15	0.016 (11.25°) 0.032 (22.5°, 45°) 0.064 (40°, 180°)	-	ITT	70
1985	4	8-12	22.5씩 360° 변화	5	-	0.06	3.7×2.3	GEC Hirst	71
1986	4	2.5-3.5	22.5, 45, 90, 180	3.5	-	0.5	-	Plessey	72
1987	3	16-18	16, 21, 360	1.8 (16, 21°) 4.2 (360°)	-	-	-	Airforce	73

중 가장 높은 열처리를 요구한다. GaAs 단결정의 초기 열분해 온도는 560°C 정도이나 활성화공정은 800°C 이상을 요구하기 때문에 열분해를 방지하기 위한 특별한 수단이 요구된다. 활성화공정은 MESFET의 경우 V_{th} 와 g_m 에 직접적인 영향을 미치기 때문에 전 공정을 통털어서 가장 중요하고 또한 문제점이 제일 많은 공정이다.

○ 내열성 금속게이트 공정

LSI/VLSI 급의 집적도를 달성하기 위해서는 자기 정합에 의한 소스, 드레인 이온 주입공정이 필요하게 되며 주입된 이온의 활성화를 위해서는 게이트를 만든 다음에 열처리 공정이 수행된다. 따라서 800°C 이상에서도 GaAs 기판과 반응하지 않는 내열성 금속게이트의 개발이 필요한데 이에 적합한 금속으로 W, Mo 등의 회토금속류 혹은 회토금속의 silicide들이 많이 연구되고 있다. 이 공정은 열처리 후에 좋은 Schottky 특성을 갖는 것도 중요하지만 금속과 GaAs와의 반응에 의해 활성화 특성에도 직접적으로 영향을 미치기 때문에 문제를 더욱 복잡하게 만든다. RTA(rapid thermal annealing) 등의 새로운 공정이 기대되고 있다.

○ 건식식각공정

집적도가 높아짐에 따라 건식식각의 필요성은 증가일로에 있으나 GaAs의 결합에너지가 Si에 비해서 작기 때문에 이온충돌에 의해 결정결합이 발생되고 소자 특성을 열화시킨다. 저이온에너지 입자를 이용한 ECR 장치 혹은 광식각장치에 의한 공정이 기대된다.

GaAs 공정기술 개발에 있어 가장 어려운 문제는 이러한 공정들이 웨이퍼의 특성에 따라서 소자성능에 미치는 영향이 달라지는데 있다. 따라서 신뢰성있는 공정기술 개발은 GaAs 웨이퍼 특성평가와 함께 추진되어야 한다.

3. CAD Tool의 미비에 의한 문제점

연구경력이 짧기 때문에 소자의 성능을 예측할 수 있는 simulator에 대한 연구가 미비하고 또한 능동소자, 수동소자에 대한 모델링이 미숙하여 신뢰성있는 설계가 제대로 안되고 있다.

4. 표준화의 결여에 대한 문제점

전원전압, 입력출력 신호레벨에 대한 규격이 정해져 있지 않아서 호환성이 결여되어 있다. 현재 Si 고속집적회로인 ECL이나 CML에 호환성이 있도록 설계되고 있으나 GaAs 논리회로 특성을 고려하지 않은 무리한 규격으로 적절한 표준화 작업이 필요하다.

5. 실장기술의 미비

GaAs 집적회로의 특성을 그대로 외부에 전달하여 줄 수 있는 package 및 IC 상호간의 배선기술 분야는 집적회로가 점점 고속화되고 시스템이 고속화됨에 따라 대두되는 문제이다. 여기서는 신호의 반사, 신호상호간의 결합에 의한 잡음여유도의 감소, 신호지연차에 의한 skew 등이 문제가 되며 사용주파수가 높아짐에 따라 초고주파 회로설계에서 주로 사용하는 임피던스

정합, 전송선 이론에 의한 package 및 보드설계 기술이 요구된다.

6. 측정장비의 미비에 의한 문제점들

집적회로의 동기주파수가 수백 MHz~수 GHz로 높아짐에 따라 기존 자동측정 장치의 동작범위를 벗어남으로써 각사에서는 자체적으로 개발한 측정시스템에 의해 거의 수동으로 측정, 검사를 행하고 있다. 수동 측정은 장시간을 요하기 때문에 원활한 제품공급에 장애가 되고 또한 제품의 신뢰성을 저하시키는 요인이 되고 있다. 이를 해결하기 위해서는 고속자동측정기기의 개발과 더불어 built-in-selftest 집적회로에 대한 연구가 필요하다.

이상으로 GaAs 집적회로의 산업화를 촉진시키는데 장애가 되는 문제점들을 결정에서부터 측정에 이르기까지 포괄적으로 살펴보았다. Package나 측정에 관한 문제는 비단 GaAs 뿐만 아니라 고속이라는 새로운 기술을 다루기 위해 해결해야 할 문제점으로서 이러한 문제점들을 하나씩 해결해 나감으로써 GaAs의 우수한 물성이 제대로 활용될 것이다.

VI. 2000년대의 GaAs 집적회로 전망

이상으로 GaAs 집적회로의 현위치 및 연구방향, 당면 문제점에 대하여 정리를 하였다. GaAs는 집적도면에서 1970년대 초반의 Si 집적회로와 비슷하며 앞으로 유사한 발전과정을 거치게 되리라 생각된다. Si의 집적화 과정을 보면 70년대 초반에서 시작하여 집적도가 1000배 증가하는데 15년이 경과하였다. 같은 방법으로 발전하면 GaAs도 2000년대에는 1,000,000개/chip의 VLSI/ULSI 시대로 성장하리라 확신한다. 그러나 chip 내부는 현재의 Si ULSI와 같은 동일소자의 집적화가 아니라 서로 다른 기능이 chip 하나에 모여진 형태로 발전되리라 예측된다.

GaAs는 현재의 MESFET에 의한 집적회로, 기타 발광소자, 수광소자 외에도 초격자 구조에 의한 신소자들이 계속 등장하기 때문에 이러한 이질소자들이 상호간 기능을 보완하는 형태로 집적화가 이루어 질때 외형적인 집적도 이상의 기능을 발휘하는 GaAs 집적회로가 2000년대 정보화사회를 굳건히 지탱할 것을 기대한다.

參 考 文 獻

[1] 대한전자공학회, 전자공학회지, vol. 14, no. 1, 1987.

- [2] Sherman Karp, Sven Roosid, "DARPA, SDI, and GaAs", IEEE Computer, p.17, Oct. 1986.
- [3] Barry K. Gilbert, et al., "The Need for a Wholistic Design Approach," IEEE Computer, p.29, Oct. 1986
- [4] Terrence L. Rasset, et al., "A 32-bit RISC Implemented in Enhancement Mode JFET GaAs," IEEE Computer, p.60, Oct. 1986.
- [5] Eric R. Fox, et al., "Reduced Instruction Set Architecture for a GaAs Microprocessor System," IEEE Computer, p.71, Oct. 1986.
- [6] Veljko Milutinovic, et al., "Issues of Importance in Designing GaAs Microcomputer Systems," IEEE Computer, p.45 Oct. 1986.
- [7] Raymond S. Pengelly, Microwave Field-Effect Transistors Theory, Design and Applications, John Wiley and Sons Ltd. 1982.
- [8] Pieter L. D. Abrie, The Design of Impedance-Matching Networks for Radio-Frequency and Microwave Amplifiers, Artech House, Inc. 1985.
- [9] Robert A. Pucel, Monolithic Microwave Integrated Circuits, IEEE Press, 1985.
- [10] H.K. Chung, et al., "High Speed and Ultra-10W Power MESFET 5x5 Multipliers," p.15, 1986, GaAs IC Symp.
- [11] T. Furutsuka, et al., IEDM Tech. Dig., p.344-347, Dec. 1984.
- [12] H. Shimizu, et al., Annual Meeting IEEE, Japan, p.176, Nov. 1985.
- [13] Yuu Watanabe, et al., "A High Electron Mobility Transistor 1.5K Gate Array," p.80, 1986, IEEE ISSCC.
- [14] Nobuyuki Toyoda, et al., "A 42ps 2K GaAs Gate Array," p.206, 1985, IEEE ISSCC.
- [15] William H. Davenport, "Macro Evaluation of a GaAs 3000 Gate Array," p.19, 1986, GaAs IC Symp.
- [16] Minoru Togashi et al., "A GaAs 16-Channel Digital Time Switch LSI Using 0.5μm Gate Burried p-layer SAINT FETs," p.523, Gallium Arsenide and Related Compounds, 1985.
- [17] Kuroda, S., et al., "New Device Structure

- for 4Kb HEMT SRAM," p.125, 1984. GaAs IC Symp.
- [18] A. Peczalski, et al., "A 6K GaAs Gate Array with fully functional LSI personalization," p.23, 1986, GaAs IC Symp.
- [19] K.B. Niclas, IEEE Trans. MTT vol. MTT-30 pp. 63-70, 1982.
- [20] C. Kermarree, et al., IEEE 1982 Microwave and Millimeter-Wave Monolithic Symp. Dig., pp. 5-10, 1982.
- [21] P.N. Rigby, et al., IEEE MTT-S Microwave Symp. Dig. pp. 41-45, 1983.
- [22] T. Sugiura, et al., IEEE Trans. MTT. vol. MTT-31, no. 12, pp. 1083-1088, 1983.
- [23] S. Hori, et al., IEEE 1983 Microwave and Millimeterwave Monolithic Circuits Symp. Dig., pp. 90-95, 1983.
- [24] S. Moghe, et al., IEEE GaAs Integrated Circuit Symp. Tech. Dig., pp. 181-183, 1984.
- [25] L.C.T. Liu, et al., IEEE Microwave and Millimeterwave Monolithic Circuits Symp. Dig. Papers, pp. 49-51, 1984.
- [26] J.S. Bharji, Microwave Journal, pp.121-127, 1984.
- [27] C.D. Chang, et al., IEEE MTT-35, pp. 46-49, 1985.
- [28] E.T. Watkins, et al., IEEE MTT-S Dig. pp. 321-323, 1985.
- [29] K. Hongjo, et al., IEEE MTT vol. MTT-33, no.11, pp. 1231-1235, 1985.
- [30] C.W. Suckling, et al., IEEE Colloquium on pp. 68-117, 1986.
- [31] N.K. Osbrink, MSN, pp.68-117, 1986.
- [32] R.A. Pucel, "Design Considerations for Monolithic Microwave Circuits," MTT Trans. vol. MTT-29, no.6, 1981.
- [33] H.Q. Tserng, et al., "A Four-stage Monolithic X-band GaAs FET Power Amplifier with Integral bias Networks," GaAs IC Symp. Dig. 1982.
- [34] T. Tsukii, et al., "A 33dB Gain Monolithic X-Ku Band Power Amplifier Module," IEEE ISSCC Dig., 1983.
- [35] D. Pavlidis, et al., IEEE MTT-S International Microwave Symp. Dig., 1983.
- [36] B.D. Geller and J.L. Abita, Microwave Journal, pp. 187-195, 1985.
- [37] S.D. Bingham, et al., IEEE Trans. MTT. vol. MTT-34, no.12, pp.1555-1559, 1985.
- [38] H.M. Macksey, et al., IEEE MTT pp.27-30, 1985.
- [39] R. Genin, et al., GaAs IC Symposium, pp. 74-77, 1986.
- [40] S.B. Moghe, et al., IEEE Trans. MTT, vol. MTT-34, no.12, pp. 1538-1541, 1986.
- [41] R. Carandang, et al., GaAs IC Symp. pp.64-66, 1986.
- [42] B. Kim, et al., GaAs IC Symp. pp. 61-63, 1986.
- [43] N.K. Dsbrink, MSN, pp.68-77, 1986.
- [44] Microwave and RF, p.161, 1987, Feb.
- [45] Microwave and RF, p.306, 1987, May.
- [46] A. Contolatis, et al., IEEE Microwave and Millimeter-Wave Monolithic Circuits, Symp. Dig. pp. 28-30, 1982.
- [47] C. Kermarree, et al., IEEE Microwave and Millimeter-Wave Monolithic Circuits Symp. Dig. pp.5-10, 1982.
- [48] C. Chao, et al., IEEE Trans. Microwave Theory and Tech. vol. MTT-31, no.1, pp. 11-15, 1983.
- [49] A.W. Jacomb-Hood, et al., IEEE Microwave and Millimeter-Wave Monolithic Circuits Symp. Dig. of Papers, p.4, 1983.
- [50] L.T. Yuan, IEEE MTT-S Dig., pp.44-46, 1984.
- [51] P. Bauhahn, et al., IEEE MTT-S, Dig., pp. 47-50, 1984.
- [52] T. Sugiura, et al., IEEE GaAs Integrated Circuit Symp. Tech. Dig. pp. 3-6, 1985.
- [53] S.J. Nightirgall, et al., IEEE MTT vol. MTT-33, no.12, pp.1603-1609, 1985.
- [54] L.T. Yan, et al., IEEE MTT-S, International Microwave Symp. Dig. of Papers, pp.113-115, 1985.
- [55] L.C.T. Liu, et al., IEEE Trans. MTT. vol. MTT-34, no.12, pp. 1948-1552, 1986.
- [56] R.L. Van Tuge, IEEE Trans. Electron Devices, vol. ED-28, pp.166-170, 1981.
- [57] J.S. Joshi, et al., IEEE Trans. Electron Devices, vol. ED-28, 1981.
- [58] C. Kermawec, et al., IEEE Microwave and Millimeter-Wave Monolithic Circuit Symp. Dig. pp. 5-10, 1982.
- [59] B. Scott, et al., IEEE Trans. MTT. vol. MTT-30, pp. 2172-2177, 1983.
- [60] C. Kermarrec, et al., IEEE Microwave and Millimeter-Wave Monolithic Circuits. Symp.

- Dig. pp.5-10, 1982.
- [61] S. Hori, et al., IEEE MTT-31, no.12, pp.1089-1095, 1983.
- [62] W.R. Wisseman, et al., IEEE Proc. vol.71, pp.667-675, 1983.
- [63] D.W. Maki, et al., IEEE Microwave and Millimeter-Wave Monolithic Circuit Symp. pp.62-66, 1984.
- [64] N. Wang, et al., Electron Lett., vol.20, no. 14, pp.603-604, 1984.
- [65] B.N. Scott, et al., IEEE International Solid-State Circuit Conf. Dig. of Tech. Papers, pp.22-24, 1985.
- [66] B.N. Scott, et al., IEEE Microwave and Millimeter-Wave Monolithic Circuits Symp. Dig. of Papers, pp.58-61, 1984.
- [67] M. Madhian, et al., IEEE MTT-34, no.6, pp.707-712, 1986.
- [68] Y. Ayasli, et al., IEEE Trans. Microwave Theory and Tech. vol. MTT-32, no.12, pp. 1710-1714, 1984.
- [69] A. Gupta, et al., IEEE GaAs Integrated Circuit Symp. Dig., pp.197-200, 1984.
- [70] C. Andricos, et al., IEEE Trans. Microwave Theory and Tech. vol. MTT-33, no.12 pp.1591-1596, 1985.
- [71] K. Wilson, et al., IEEE Trans. Microwave Theory and Tech. vol. MTt-33, no. 12, pp. 1572-1578, 1984.
- [72] J. Arnold and D.C. Smith, MSN and T. pp.119-131, 1986.
- [73] C.L. Chen, et al., IEEE Trans. MTT, vol. MTT-35, no.3, pp.315-320, 1987. *

◆ 用 語 解 說 ◆

초전도체 (Superconductor)

초전도성을 나타내는 물질로서 현재까지 Hg, Pb, Nb 등 25종의 금속 원소와 수백종의 합금, 화합물이 알려져 있다

헤테로 접합 (Hetero Junction)

원소 또는 조성이 다른 이종(異種)의 반도체간에 가능한 접합

코히어러 효과 (Coherer Effect)

접점이 점점 피막을 통하여 접촉하여 있는 경우, 점점 전압이 어느 값 이상이 되면 그 피막이 전기적으로 파괴되어 접촉 저항이 급격히 감소하는 현상

Critical Temperature

초전도체를 냉각시킬 때 정상 전도상태에서 초전도 상태로 전이하는 온도, 대표적인 초전도체의 임계 온도는 Hg(α) 4.15K, Pb 7.23K, Zr 0.55K, Nb 9.17K, Sn 3.72K 등이고, 현재 알려진 최고의 임계 온도는 Nb₃Ge의 23K이다.

Diffusion Depth

반도체 내에 불순물을 표면으로부터 확산시키면 일반적으로 표면의 불순물 농도가 높아지고, 속으로 들어감에 따라 낮게 된다. 이 농도가 소재의 불순물 농도와 같게 될 때까지의 깊이를 확산의 깊이라고 한다.

하이브리드 집적회로 (Hybrid I. C.)

반도체 집적회로, 막(膜) 집적 회로 및 개별 부품의 조합에 의한 집적회로를 말한다. 이들을 조합시킴으로써 저항의 범위, 정밀도의 자유도가 크게 되고, 또 인덕턴스를 포함한 회로, 대전력회로, 초고조파 회로 등의 집적 회로화도 가능하다