

광전집적회로의 현황과 전망

權寧世

(正會員)

韓國科學技術院 電氣 및 電子工學科

I. 서론

미래의 정보화 사회를 실현하기 위해서는 다양한 정보들을 고속으로 전송하고 처리하기 위한 새로운 시스템에 대한 요구가 증대하고 있다. 이에 부응하여 선진 각국에서는 최근 광전집적회로에 대한 관심과 연구가 매우 활발하게 일어나고 있으며 시제품도 벌써 개발되었다.

빛은 일반적으로 매질내에서 흡수가 작고 초고속으로 진행한다. 이에 반하여 전자는 유한한 질량과 전하를 띠고 있어서 매질과의 상호작용이 크며 진행속도도 느리다. 그러나 전자는 전하를 띠고 있어서 전계에 의해 쉽게 조절이 되므로 정보처리나 신호처리가 손쉽다. 이와 같이 서로 다른 특징을 갖는 빛과 전자를 상호 제어하도록 해서 그 각각의 장점만을 활용하고자 하는 것이 광전집적회로이다.

즉, 레이저다이오드(이하 LD라 표시)나 발광다이오드와 같은 光源 및 포토다이오드, 포토트랜지스터와 같은 受光소자 등의 光소자와 트랜지스터와 같은 능동전자소자를 monolithic하게 집적화한 것이 바로 광전집적회로이다. 이하 본 논고에서는 이러한 광전집적회로의 overview를 II절에서 논하며 제III절에서는 광전집적회로의 연구현황 및 성과를 일본과 미국을 중심으로 소개하고 IV절에서는 ETRI와 KAIST를 중심으로 하는 국내의 광전집적회로 연구그룹의 최근 성과를 설명하고자 한다. 제V절에서는 이 논고의 결론을 맺고자 한다.

II. 광전집적회로의 개관

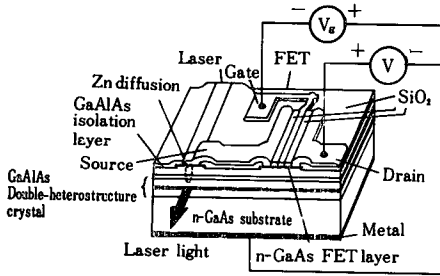
1960년 Maiman에 의해 레이저가 세상에 첫선을 보인 2년 후인 1962년에 반도체 레이저, 즉 LD가 미국의 IBM, G. E. 및 MIT에서 각각 독립적으로 제작되었다. 이후, 1970년대에 이의 광통신에의 응용이 성공

하고 많은 연구가 진행되어 LD의 성능과 효율은 급속히 향상되었다.

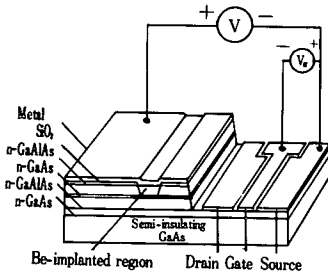
LD와 같은 발광소자는 energy band가 direct band gap인 반도체로만 제작이 가능하며 대표적인 direct bandgap 반도체로는 GaAs와 InP가 있다. 이러한 화합물 반도체는 일반적으로 Si에 비해 전자의 속도가 매우 크며, 반절연성 기판($\sim 10^9 \Omega\text{-cm}$)이 쉽게 얻어지는 잇점이 있다. 이러한 장점을 살려서 고속의 전자소자를 제작하려는 연구가 활발해서 MESFET, HEMT와 같은 전계효과 트랜지스터와 HBT(heterojunction bipolar transistor), RHET(resonance tunneling hot electron transistor)와 같은 bipolar 트랜지스터 및 PBT(permeable base transistor)와 같은 새로운 소자가 GaAs/Al GaAs 화합물반도체로 성공적으로 제작되었으며 이중 MESFET는 동작주파수가 수십 GHz에 이르러서 analog 및 digital용으로 시판도 되고 있다.

이러한 LD와 MESFET는 다같이 GaAs라는 공통의 기판을 사용하고 있으며 각각의 제조방법도 성숙해 있다. 따라서 이 둘을 한 chip 상에 하나의 회로로 구성해서 광통신용의 새로운 집적회로를 제공하려는 아이디어가 70년대 말 Caltech의 A. Yariv에 의해 제안되었다. 초기에는 단순히 집적의 가능성만을 입증하기 위한 연구들이 행해져 1978년 C. P. Lee와 A. Yariv에 의해 Gunn diode와 LD의 집적화가 성공하였고 1979년에는 I. Ury와 Yariv에 의해 MESFET와 LD의 집적화가 성공하였으며 같은 해에 M. Yust와 Yariv에 의해 LD와 MESFET 및 photodiode의 집적화가 성공하였다.

일반적으로 광전집적회로의 구조에는 두가지가 있다. 하나는 반절연성 기판을 사용하며 횡방향으로 전자소자와 광소자를 배치하여 표면으로 배선을 행하는 방식으로 위의 Yariv 그룹이 제안하고 유용성을 입증하였



(a) 종방향 구조



(b) 횡방향 구조

그림 1. 두가지 OEIC 구조

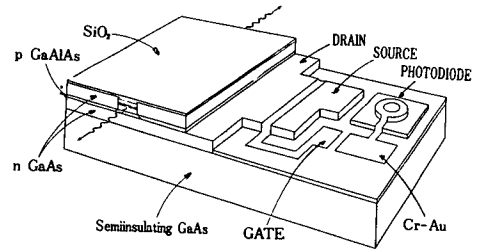


그림 2. ORTEL사와 CALTECH가 공동 개발한 OEIC

다. 또 한가지 구조로는 광소자와 전자소자의 동작영역을 결정의 윗부분과 아래부분으로 나누어서 배치하게 되는데 보통은 위쪽 소자의 전도층과 아래쪽 소자의 전도층 사이에 capacitance가 생겨 고속동작에 제한을 받으며 각 소자간의 절연분리를 위한 절연층 형성에도 어려움이 있다. 따라서 현재의 연구 방향은 주로 반절연성 기판상에 제작하는 것이 일반적인 추세이며, LD의 발전개시 전류를 줄이고자 quantum well 구조도 도입되고 있다.

최근들어 광통신에 주로 사용되는 장파장용 (1.3~1.5 μm) InGaAsP/InP 계통에서도 광전집적회로에 대한 연구가 시작되었으며 여기에 사용되는 전자소자로는 JFET, HBT, MISFET 등이 있다.

III. 세계적 현황

1. 미국

광전집적회로의 전반에 걸쳐 기초연구와 응용연구를 해왔지만 양산기술에 대한 연구는 전무한 실정이다.

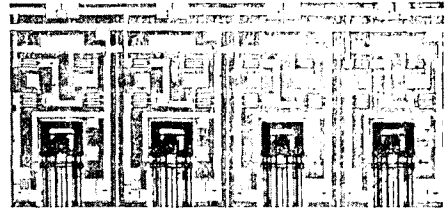
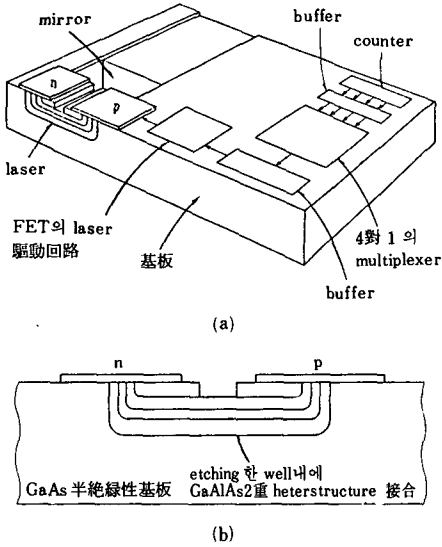
Yariv group은 미국의 Ortel 社와 협력해서 광전송용 송신기와 수신기, multiplexer, de-multiplexer 등의 복잡한 광전집적회로의 개발을 시작하였다. 한가지 예로서 pin photodiode와 전류증폭회로, 증폭된 신호 전류가 구동하는 반도체레이저 등, 광중계기의 기본기

능을 집적한 monolithic IC를 개발하였다(그림2). 반절연성 GaAs 기판을 사용하였고, Mesa etching 후에 P형과 undoped AlGaAs 층을 재성장하여 BH 레이저를 형성하였다. 이때 P형의 AlGaAs층은 BH의 current blocking층으로 동작할 뿐 아니라 photodiode의 P형 window layer로서 기능한다. Undoped AlGaAs 층은 photodiode 부분을 제외하고는 모두 etch 한다. n-channel MESFET은 mesa etching으로 isolation되며 Al gate는 lift-off 공정으로 제조된다. 완성된 MESFET은 gate 길이가 2μm 폭이 250 μm이며 전체 chip의 크기는 325×625 μm²이다.

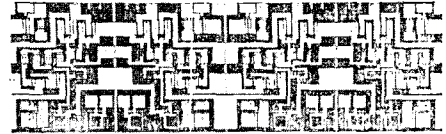
Honeywell Corporate Technology Center에서는 laser-in-a-well 기술을 사용해서 GaAs 회로와 AlGaAs LD를 동일기판상에 집적하는 송신용 광전집적회로를 개발중에 있다. TJS(transverse junction stripe) 레이저, FET레이저 구동회로, 4대 1 multiplexer 등이 집적되어 있다(그림 3 (a)). Multiplexer와 구동회로의 활성영역은 반절연 GaAs 기판에 selective ion implantation으로 형성한다(그림 3 (b)). TJS레이저는 기판중에 etching한 well 내에 epitaxial 층으로 제작한다. 1 GHz에서 동작하는 multiplexer는 depletion mode MESFET의 NOR gate 36개로 구성된다. 구동회로는 병렬접속된 4 개의 MESFET로 이루어져 있으며 앞으로는 수광소자도 포함하며 프로그램 가능한 500 gate의 GaAs gate array를 가지는 특수용도의 custom IC를 연구할 계획을 갖고 있다.

2. 일본

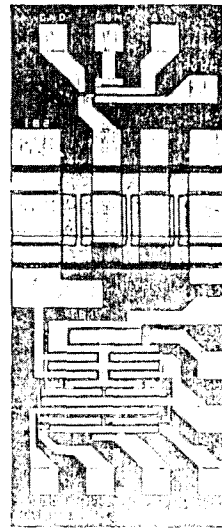
GaAs계의 송신, 수신용 chip은 Fujitsu, Hitachi 가 각각 시험제작에 성공하였다. Mitsubishi는 GaAs 계에서 송신용만을 개발하였다. Matsushita는 광 disc 광원용을 개발하였으며, 또한 Fujitsu는 4 channel을 집적한 송신, 수신용 chip을 시험 제작하였다. InP계의 송신 수신용 chip은 NEC와 Matsushita등이 개발하고 있



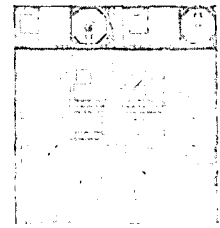
(a) Fujitsu 송신용



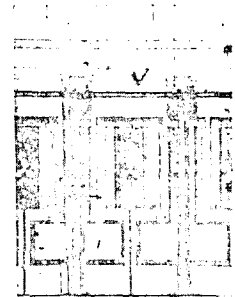
(b) Fujitsu 수신용



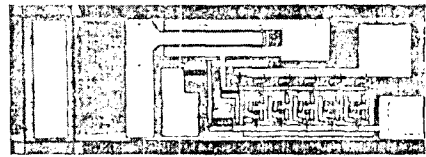
(c) Hitachi 송신용



(d) Hitachi 수신용



(e) Mitsubishi 송신용



(f) Matsushita 광디스크 광원용

그림 4. GaAs계 OEIC 사진

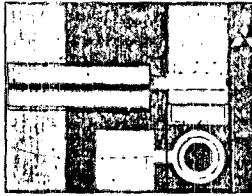
그림 3. Honey Well사의 레이저와 Counter와 Multiplexer를 집적한 OEIC (a), Etching된 Well 내에 레이저를 제작하였다(b)

다. Mitsubishi는 수신용을 InP계로 제작하였다. NTT는 InP 기판상에 송신, 수신 모두의 소자를 집적하였으며 Fujitsu는 InP계의 수신 chip을 Toshiba는 InP 계의 송신, 수신 chip을 현재 시험 제작중에 있다(그림4,5).

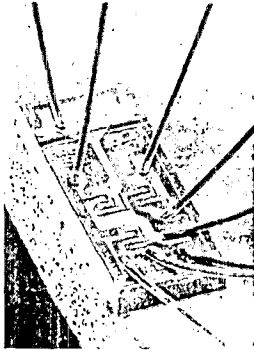
이상과 같은 다양한 회사들은 실은 MITI 대형 프로젝트에 참여해서 개개의 독자적인 부분의 프로젝트를 책임 맡았었다. 예를 들면 Fujitsu는 광섬유로부터의 광신호를 전기신호로 변환하고 교환해서 LD를 구동하는 일을 담당하였으며 Hitachi는 1 Gbit/sec로 data 전송이 가능한 OEIC에 모든 신호전송 기능을 집적화하는 일을 담당했다. Mitsubishi는 광섬유 loop에 연결된 다수의 sensor로부터 data를 수집하는 시스템의 개발을 담당하였으며, Toshiba는 계측제어시스템에 사용하는 WDM(wavelength division multiplexing) 개발을 담당해서 여러 개의 DFB형 LD를 동일 기판상에 집적하였다. 이러한 대형 project가 성공적으로 끝나치게 되자 각사는 독자적으로 광전집적회로에 대한 연구에 박차를 가해서 현재 명실상부한 세계 최고의 광전자 공업국이 되었다.

현재 일본에서 제작되고 있는 OEIC는 거의가 1~2 Gbit/sec에서 동작하며 집적소자의 수는 3~4개이다. Hitachi의 경우 20개의 소자를 가지고 있으며, 크기도 $850 \times 1,900 \mu\text{m}^2$ 로 큰편이다. LD의 발전계시 전류는 10~30mA 정도이며 공진기 길이는 $300 \mu\text{m}$ 정도이다.

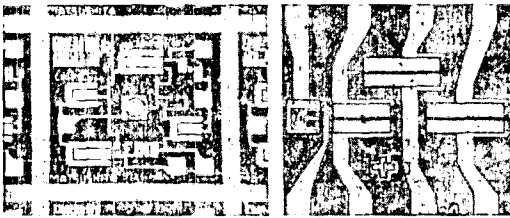
LD의 구동회로는 GaAs계에서는 모든 회사가 MES-FET를 사용한다. InP에서는 FET와 HBT가 모두 사용되고 있다. 결정성장 기구로는 GaAs계에서는 MBE법과 MOCVD법을, InP계에서는 LPE법을 사용하고



(a) Mitsubishi 수신용

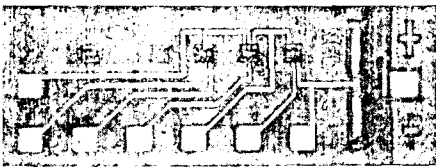


(b) Matsushita 송신용

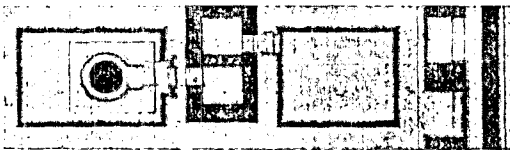


(c) Matsushita 수신용

(e) NEC 수신용



(d) NEC 송신용



(f) NTT 송·수신용

그림 5. InP계 OEIC 사진

있다.

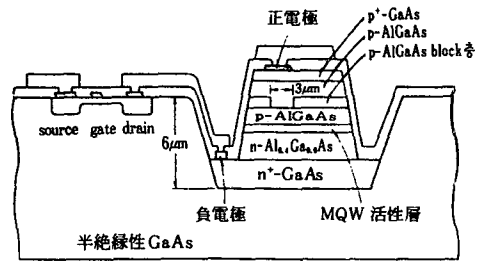
NTT의 chip은 photodiode로 수광해서, 2단의 FET로 증폭한 다음 반도체 레이저로 송신하도록 되어 있다. 입사광과 출력광의 비(gain)는 12dB이고, 대역은

120MHz이고 차단주파수는 370MHz이다.

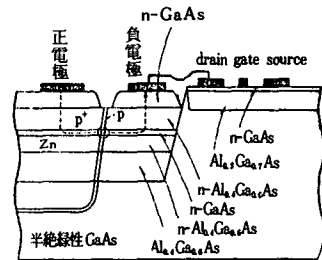
광 disc의 광원용으로 Matsushita가 개발한 chip은 소자수가 44개로 많은 편이다. 레이저 광에 고주파 증첩을 해서 광 disc로부터 되돌아 오는 광잡음을 억제 해주어서 상대잡음강도(RIN)을 10^{-14} Hz^{-1} 로 낮추었다.

일본에서는 광소자와 전자소자의 개별의 성능을 향상시키기 위해 노력할 뿐 아니라, ① planer구조에 가깝게 한다. ② 반도체 레이저의 발전개시전류를 낮춘다. ③ 단면을 etching으로 제작한다. ④ epitaxy 성장 회수를 줄인다 등의 방향으로 광전집적회로에 대한 연구를 진행하고 있으며 광소자와 전자소자가 서로 악영향을 미치지 않도록 구조와 프로세스를 선택하고 있다.

즉, planar화를 실현하기 위해 GaAs계를 제작하는 회사들에서는 기판에 well을 파서 LD를 여기에 묻는 방법을 채택하고 있다. 이중 Fujitsu와 Hitachi는 well에 ridge 형태의 레이저를 형성하였다(그림6 (a)). 그러나 LD의 positive 전극을 ridge상에, negative 전극을 ridge 하부에 두게 되어 FET의 drain과 LD의 negative 전극사이에 step이 발생한다. n⁺-GaAs 층을 표면까지 끌어서 negative 전극으로 하는 방법도 있지만 interface degrading의 영향이 발생할 가능성이 있다. InP계에서는 모두 well이 없이 기판상에 직접 결정성장을 행한다. 전극의 step은 대체로 5μm 이하이지만 0.5μm 이하로 하려는 연구가 활발하다.



(a) Well 내에 성장된 Ridge형 Laser



(b) TJS Laser

그림 6. Chip상의 레이저의 예

Planar화 하기가 좋은 LD의 하나로, Mitsubishi가 채택하고 있는 TJS LD가 있다(그림 6 (b)). Laser의 positive 전극, negative 전극을 동일한 결정표면상에 제작하는 것이 가능하다. 기판에 well을 파서 n층을 성장한 후, 일부에 Zn를 확산해서 p⁺-p 영역을 만든다. 따라서 표면을 따르는 횡방향으로 전류를 흘려주는 횡방향 p-n 접합이 형성된다.

Fujitsu도 최근, 횡방향에서 전류를 주입하는 laser를 발표하였다. Quantum well 구조를 갖는 활성층을 고저항의 AlGaAs층으로 둘러 쌓은 뒤, 표면으로부터 각기 다른 장소에 Si과 Zn를 확산하여 횡방향으로 n층, p층을 만들었다. 이 LD에서는 pn접합의 면적이 활성층의 두께로 결정되며, quantum well을 활성층으로 했기 때문에 두께가 수십 nm로 얇고 parasitic capacitance도 1pF 이하로 된다.

Hitachi에서도 multi quantum well 구조의 레이저를 집적하였다. 하지만 OEIC화 기술이 어려워져서 발진개시전류가 31mA로 약간 높다. 일반적으로 quantum well 구조의 레이저에서는 발진개시전류가 낮아서 광전집적 회로에 적합하다고 생각되고 있다.

MBE법이나 MOCVD법을 사용하면 박막제어성이 뛰어나 quantum well을 제작하기가 쉽다.

프로세스로 볼 때 GaAs계의 회사에서는 1회의 epitaxy 성장으로 레이저를 만드는 것에 대해서 InP 계의 회사에서는 2 회의 epitaxy 성장이 필요한 BH 레이저를 채택하고 있으며 leakage current를 감소시킬 수 있다.

LD 구동용 전자소자는 GaAs 계에서는 MESFET가 거의 사용되고 있으며 InP계에서는 MISFET, JFET, HBT가 서로 결합하며 사용되고 있다. MISFET는 만들기가 쉽지만 threshold voltage의 조절이 어려우며, JFET는 열확산에 의해 gate 길이가 길어져 고속동작이 어렵다. 이에 반하여 HBT는 전류구동능력이 크고 고속동작이 가능하며 반도체 레이저와 구조가 비슷해서 step height를 줄일 수 있어 주목받고 있다.

현재, Matsushita와 NEC가 HBT를 집적한 OEIC를 제작하고 있으며 Matsushita에서는 BH 레이저의 매립층에 HBT를 제작하므로 2 회의 eqi 성장이 필요하나, 표면은 planar하다.

이상을 분석해 볼 때 일본에서는 광전집적회로의 필요성과 응용성을 확실히 인식하고 이에 대한 연구를 조직적으로 행하고 있음을 알 수 있고 미국에서는 산발적으로만이 연구가 진행되어 상업적 성과를 얻기가 어려운 실정이라고 할 수가 있겠다.

IV. 국내 연구 현황

1. ETRI OEIC 연구 현황

한국전자통신연구소에서는 InGaAsP/InP계 물질을 사용한 장파장 영역의 광전집적회로를 연구하고 있다. 1.3μm 영역의 통신용 레이저 다이오드 개발을 경험을 바탕으로, 레이저 다이오드와 트랜지스터를 단일 칩위에 집적시킨 광송신기의 새로운 구조를 제안하고 광전집적회로의 성능을 예측하기 위한 회로 해석을 수행하였다. 그림 7은 ridge wave-guide 레이저 다이오드와 이중 접합 바이폴라 트랜지스터(HBT : heterojunction bipolar transistor)로 이루어진 단일 칩 광송신기이다.

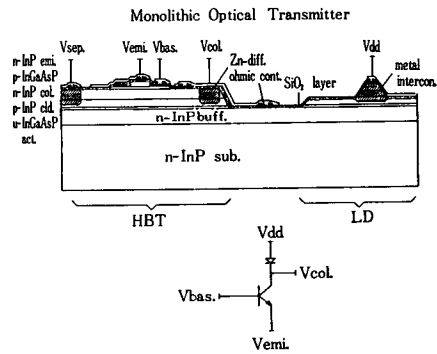


그림 7. LD와 HBT로 이루어진 단일 칩 광송신기의 구조

이 광전집적회로는 다음과 같은 특징을 가지고 있다.

- 1) 단 1 회의 epitaxy로 레이저 다이오드와 HBT층간의 독립적 최적화를 이룰 수 있다. 지금까지 발표된 대부분의 OEIC들은 2 회 또는 3 회의 epitaxy 공정이 필요하지만, 본 구조에서는 LD층과 HBT층을 수직으로 성장시키면서 많은 부분을 공유시키기 때문에 1 회의 epitaxy면 충분하다. 그리고 공유되는 층들도 LD 혹은 HBT 어느 한 쪽에 의해서만 특성을 결정하도록 하였기 때문에 구조의 독립적 최적화를 이룰 수 있다.
- 2) 에칭 공정이 많이 들어가지만 대부분에 InP층과 InGaAsP층 간의 선택 에칭이므로 에칭제어가 쉽다.
- 3) 단 1 회의 Zn 확산으로 LD의 접촉 저항 특성 개선과 HBT간 분리를 동시에 이룰 수 있다.
- 4) 이 경우는 기판을 n형으로 하였지만 구조의 변화없이 반절연 기판으로 쉽게 교체할 수 있다.
- 5) LD와 HBT 사이의 전기적 분리를 위한 mesa 에칭이 비교적 큰 표면 단차를 주지만 이 부분의 패턴이 매우 크므로(~100 μm) photolithography에 영향을 주지는 않는다.

이 광전 집적회로는 제작에 앞서, 구성 소자의 제반 특성이 회로의 성능에 미치는 영향을 알아냄으로 회로의 성능을 예측하고, 설계시 고려되어야 할 중요 변수들을 추출해 내기 위해 회로 해석을 수행하였다. 그림 8은 바이어스 전류에 따른 진성 레이저 다이오드의 -3dB 차단 주파수를 나타낸 것이다. f_{3dB} 가 10GHz 이상이 되기 위해서는 I_0/I_m 가 3 이상이 되어야 함을 알 수 있다. 여기에 레이저 다이오드의 구조변수인 기생 용량 C_s 와 저항 R_s 가 변조 특성에 미치는 영향을 살펴보았다. 그림 9는 R_s 및 C_s 값에 따른 외인성 레이저 다이오드의 f_{3dB} 등가곡선이다. R_s 가 5Ω 일때 10GHz 이상의 변조특성을 얻기 위해서는 C_s 가 3pF 이하가 되어야 하며, 이 정도의 C_s 값을 얻기 위해서는 절연층에 의해 전류 구속을 하는 구조의 레이저 다이오드여야 한다.

다음으로 이러한 외인성 레이저 다이오드에 배선에 의한 임피던스를 추가하여 주파수 특성을 살펴보았다. 그림 10은 n형 기판, 반절연 기판 및 하이브리드형 배선 연결 레이저 다이오드의 차단 주파수를 배선 길이에 따라 도시한 것이다. 하이브리드형인 경우는 배선 길이가 $200\mu m$ 이상이 되면 차단 주파수가 급격히 감소하기 시작하여 1mm에서 2GHz 정도가 된다. 단일 칩 집적인 경우는 n형 및 반절연 기판 모두 배선에 의한 차단 주파수의 감소가 나타나지 않으며, 오히려 차단 주파수가 증가하는 현상을 볼 수 있다. 이것은 임피던스 부정합에 의한 배선에서의 공진 현상에 의한 것으로 이 영역에서는 레이저 다이오드의 동작이 매우 불안정하여 펄스의 자기 발진이 심하게 나타난다. 그러므로 n형인 경우는 배선 길이를 2mm 이내로, 반절연 기판인 경우는 0.5mm 이내로 하여야 한다.

이상에서 해석한 레이저 다이오드에 HBT를 연결한 광전집적회로를 n형 기판과 반절연 기판에 대해 해석하였다. 그림 11은 주파수 특성 곡선이다. 광전 집적회

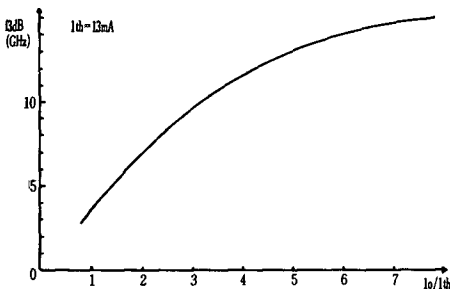


그림 8. 바이어스 전류에 따른 -3dB 차단 주파수의 변화

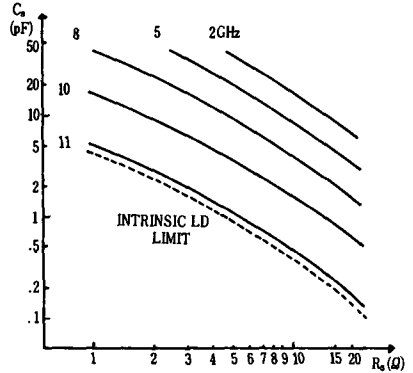


그림 9. R_s , C_s 값에 따른 Extrinsic LD의 -3dB 차단 주파수 등가 곡선

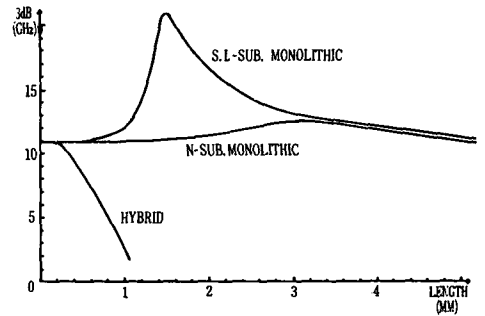


그림 10. 배선 길이에 따른 여러가지 Interconnected LD의 -3dB 차단 주파수 변화

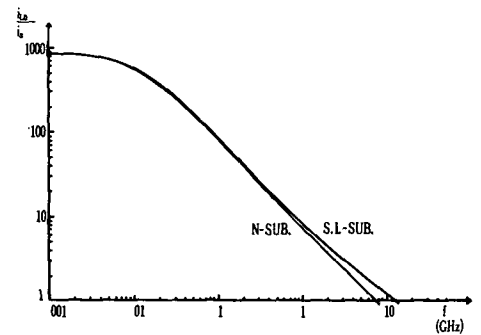


그림 11. n형 및 반절연 기판 광전집적회로의 주파수 특성 곡선

로의 유용 차단 주파수 f_u 를 진성 레이저 다이오드의 전류 i_m 와 구동용 트랜지스터의 베이스 전류 i_b 가 같아질 때라고 정의하면, n형 기판의 f_u 는 7.5GHz이며 반절연 기판의 경우는 11.3GHz로 반절연 기판이 더

우수한 변조 특성을 보여준다.

2. KAIST OEIC 연구 현황

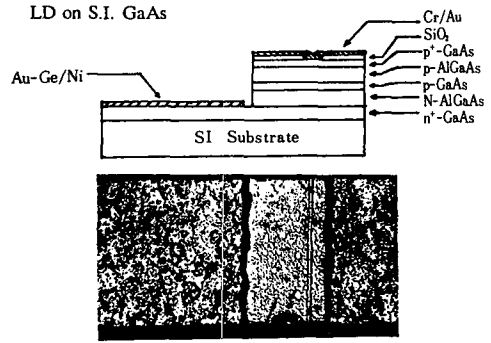
한국과학기술원 학사부의 광전자 연구실에서는 OEIC 및 OIC의 개발을 목표로 하여 1979년~1983년까지 박막 광도파로에 대한 연구를 주로 행하며 GaAs/AlGaAs 用 LPE 장비를 설치 가능하였다. 1984~1986년 사이에는 GaAs/AlGaAs LED, stripe geometry LD 및 BH LD를 제작하였고 GaAs MESFET도 제작하였다.

한편 1984년 반절연성 기판상에 LD를 제작하여 횡방향 구조의 광전집적회로의 기틀을 마련하였다. 제작된 LD의 단면 및 표면은 그림12(a)와 같다. 2회의 epitaxy 성장을 행하였으며, epi 성장 후 표면에 SiO₂를 덮고 10 μm 정도의 stripe을 만든 후 Cr/Au를 진공 증착한다. 이후 stripe을 포함해 약 100 μm을 PR로 가려준 뒤 Cr/Au와 GaAs/AlGaAs를 etching 하여 아래의 n⁺-GaAs층을 노출시킨다. n⁺-GaAs층에 Au/Ge-Ni을 증착하여 ohmic contact을 형성한 뒤 cleaving하여 특성을 측정하게 된다. 전형적인 광출력-전류 특성은 그림12(b)와 같다. 발진개시전류는 약 200mA 이었다.

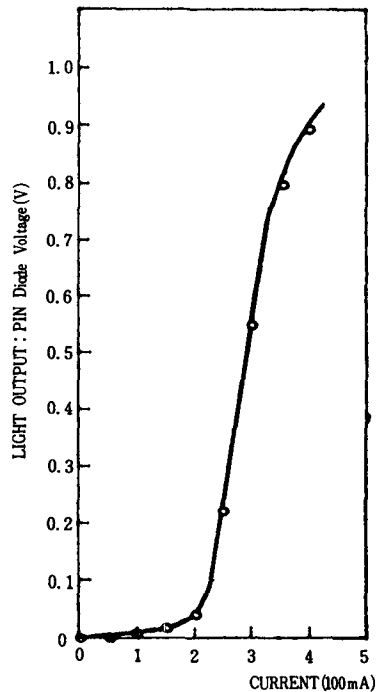
1985년~현재까지는 광전집적회로용 LD 및 transistor를 연구하고 이의 집적화에 대한 노력이 본격화되었다. 그림13에서 보는 바와 같이 GaAs는 이등방성이 커서 다양한 형태로 식각되거나 성장된다. 이러한 이등방성 etching과 growth를 활용하여 LD와 waveguide를 제작하려는 연구가 85년부터 계속되었다.

광전집적회로에 사용되는 레이저는 발열을 줄이고 전자소자와의 matching을 쉽게 하기 위해서 발진개시전류가 낮아야 한다. 이를 위해서는 빛과 전자를 좁은 영역에 제한해서 높은 양자효율을 얻도록 하는 것이 필요하다. 종래에는 이러한 조건을 만족시키기 위해서 두번의 결정성장을 통해 BH 레이저 등을 제작하였다. 그림14에 과학기술원에서 제작 및 연구중에 있는 한 예가 나타나 있다. 그러나 Zn확산과 선택적 액상성장법을 이용하여 한번의 결정성장으로 embedded heterostructure LD를 제작하는 방법이 제안되고 있다. 또한 surface kinetics limited process의 경우 성장층의 두께를 얇게 할 수 없어서 레이저 다이오드의 제작이 어려워지만 wafer 표면의 mask pattern을 변화시켜 이를 해결하였다.

먼저 n⁺-GaAs(100) wafer 상에 SiO₂로 폭이 15 μm이며 15 μm 사이로 떨어져 있는 두개의 stripe pattern을 <011>방향으로 형성해 준다. 이러한 두개의 stripe pattern은 200 μm마다 반복된다. 이후 진공 ampoule 속



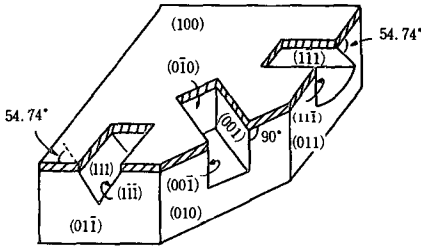
(a) 단면 및 표면



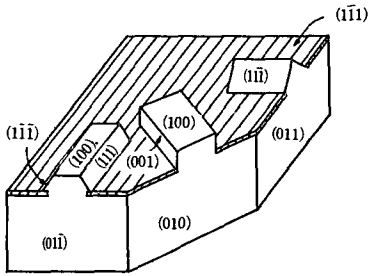
(b) L-I 특성

그림12. 반절연성 기판상의 레이저 다이오드

에 넣고 Zn 확산을 700℃에서 약 1 μm 길이로 행한다. 다시 SiO₂를 증착한 뒤 Zn가 확산된 부분만을 가리고 전면의 SiO₂를 제거한다. Wafer에 다시 종래의 LPE 방법으로 5층을 성장한다. 성장된 5-layer의 단면사진이 그림15에 있다. 윗면에 다시 SiO₂를 얻고 LD 중앙부에 stripe pattern을 형성시킨 뒤 Cr/Au를 증착하고 그 뒷면에 Au/Ge-Ni을 증착하여 RTA로 400

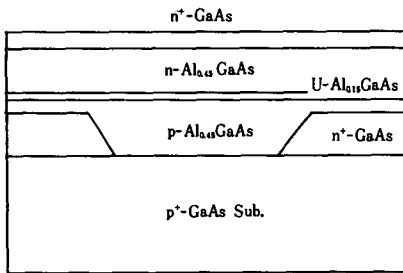


(a) Selective Etching

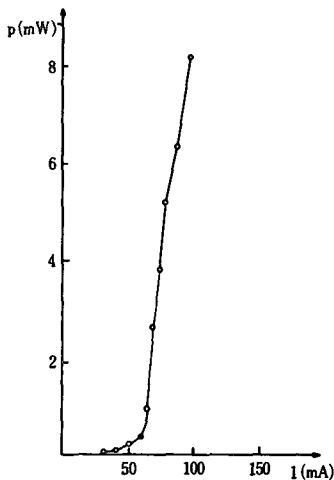


(b) Selective Growth

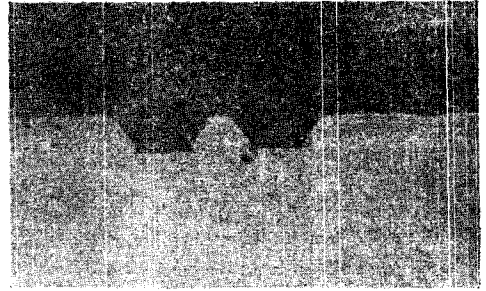
그림13. GaAs의 이등방성 성질



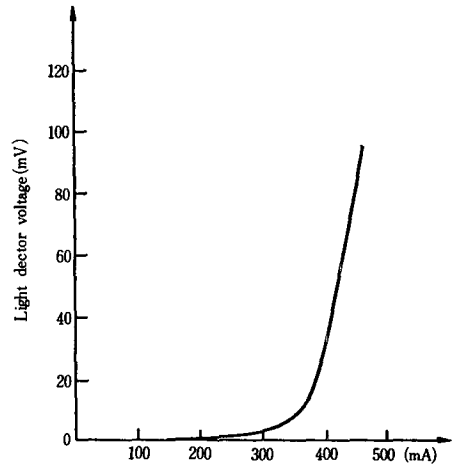
(a) SEIS (selective epitaxy inner-stripe) 구조의 단면도



(b) SEIS 레이저의 전류-광출력 특성
그림14.



(a) 단면사진

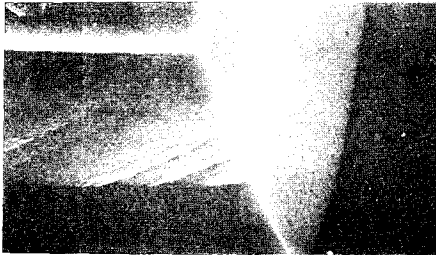
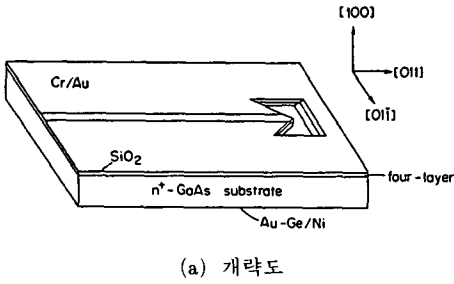


(b) L-I 특성

그림15. Embedded Heterostructure LD

℃ 2min간 alloying해 준다. 이후 약 250 μ m 길이로 cleaving하여 L-I 특성을 측정해 보면 그림15의 (b)와 같다. 발진개시전류는 약 350mA로 다소 큰편이나 lithography를 개선하여 stripe 폭을 줄이면 발진개시전류는 매우 낮아지리라고 예상된다.

광전집적회로에는 많은 수의 전자소자가 집적되는 것이 필요하다. 하지만 LD의 거울면을 cleaving으로 형성한다면 전체 chip의 한변의 길이가 레이저 공진기 길이인 약 300 μ m으로 제한되므로 집적가능한 전자소자의 수도 또한 제한된다. 이러한 난점을 극복하기 위해서는 cleaving을 하지 않고서 거울면을 wafer 중앙에 형성하는 기술이 필요하다. 이러한 방법에는 그림13에서와 같이 GaAs의 이등방성을 활용하는 방법이 있다. 즉 선택적 epi 성장과 선택적 etching을 통해 수직 mirror를 제작할 수가 있게 된다.



(b) Mirror의 SEM 사진

그림16. Roof Top Mirror LD

Roof-top 형태의 mirror를 부착한 LD를 선택적 etching 방법으로 제작이 가능하며(그림16) 이의 L-I 특성은 그림17과 같다. 제작방법은 대단히 간단해서 종래의 4-layer epi성장 후 SiO₂를 증착한뒤 stripe 형태로 etching한다. 이후 Cr/Au를 lift-off하여 roof-top 거울면이 etching될 부분에 metal을 제거한다. 그 후 H₂SO₄:H₂O₂:H₂O=1:8:1 용액에 etching을 하면 etching되어 노출된 (100)면은 깨끗한 mirror 면을 형성하게 된다. 그림17에서 보면, 동일한 wafer로 RT mirror LD를 만든 경우 Fabry-Perot type에 비해 양자효율이 다소 떨어짐을 알 수 있다. 또한 실선으로 표시된 것은 cleaving된 면으로 방사되는 빛의 세기로서 RT-mirror 쪽으로 방사되는 세기에 비해(점선) 대단히 큼을 확인할 수 있다.

광전집적회로용의 트랜지스터로는 MESFET, HBT 그리고 PBT와 SIT 등이 검토되고 있다. 이중 MESFET에 대한 연구가 제일 오랫동안 이루어져 왔으며 최근에는 삼중 photoresist 기법을 사용하여 gate length를 3μm 이하로 줄이고 있다. 제작된 4μm gate MESFET의 extrinsic trans conductance는 약 74ms/min이었다.

FET뿐 아니라 HBT 또한 연구되고 있으며, 초기의 HBT는 p-n-M의 Cr metal schottky diode를 collec-

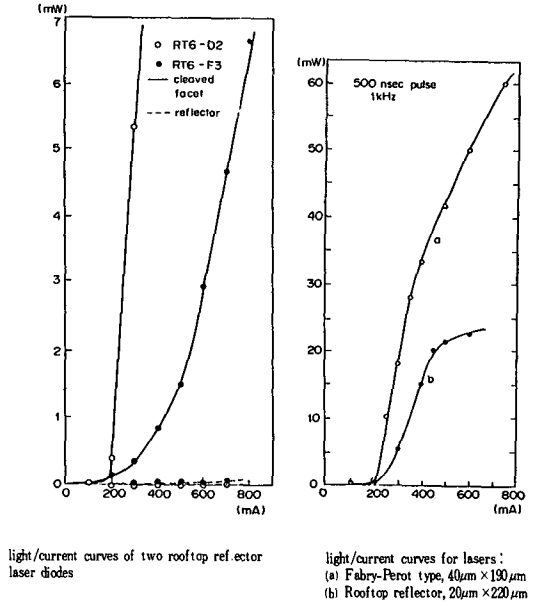


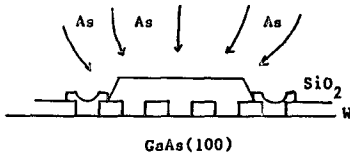
그림17. RT Mirror LD의 L-I 특성

tor로 갖는 inverted type이다. 이러한 구조는 photo transistor에 적합할 뿐 아니라 IC화가 용이한 구조로서 레이저 다이오드와 구조가 비슷해서 현재 계속 연구중에 있다.

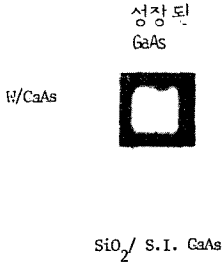
PBT와 SIT에 관한 연구도 행해지고 있다. W은 고온에서도 열화가 작아서 LPE 성장과정에서도 특성의 변화가 그리 크지 않다. 따라서 W을 inter digit으로 증착한 후, GaAs를 성장하고자 하는 면을 제외한 면에 SiO₂를 덮어 준다. 이후 종래의 LPE 방법으로 결정성장을 행하면 As oversaturation에 의해 W위에도 GaAs가 성장된다. 그림18에 이러한 성장원리와 성장된 wafer의 표면을 보인다.

트랜지스터의 구조상, 즉 전하반송자가 이동하는 경로상으로 분류해 볼 때 수직형과 수평형 구조가 있음을 안다.

수평형에 비해 수직형은 active region의 critical dimension이 photolithography에 의해 결정되지 않고 성장층의 두께에 의해 지배 받으므로 고속소자의 제작이 용이하다. FET의 경우 수직형은 multichannel이 쉽게 제작되며 drain의 doping을 낮출 수가 있어 고출력을 얻기가 쉽다. 또한 광전집적회로를 제작할 때 레이저 다이오드의 임계전류와 트랜지스터의 동작전류를 matching시켜 줄 필요가 있다. 이때 수직형 트랜지스터의 상층 또는 하층이 레이저 다이오드를 돕으로써



(a) 성장원리



(b) 성장된 표면

그림18. GaAs on W

이러한 전류 matching이 자연히 해소된다. 즉 수직형 광전집적회로에 수직형 트랜지스터를 채택함으로써 광학 소자와 전자소자의 제작공정을 공통화시킬 수 있으며 제작도 용이해짐을 알 수 있다. Embedded heterostructure 레이저의 아래 부분은 vertical JFET 구조로 되어 있다. 즉 Zn 확산된 부분이 gate이며, LD 부분이 drain이고 기판은 source 전극으로 사용될 수 있다. 이러한 구조의 단면과 equivalent 회로도가 그림 19에 있다. Gate 전극의 폭은 $100\mu\text{m}$ 이며 소자 전체의 길이는 약 $300\mu\text{m}$ 이다. Gate-source diode는 전형적인 GaAs homojunction 특성을 보여주며, reverse breakdown 전압이 약 -4V 이다. FET의 channel은 n^- -GaAs로 되어 있지만, 제작공정상 gate 전극 아래 부분이 n^+ -GaAs로 되어 있어서 breakdown 전압이 낮아졌다. 이는 에피택시를 두번하여 gate 전극 아래 부분을 n^- -GaAs로 해준다면 해결될 것이다.

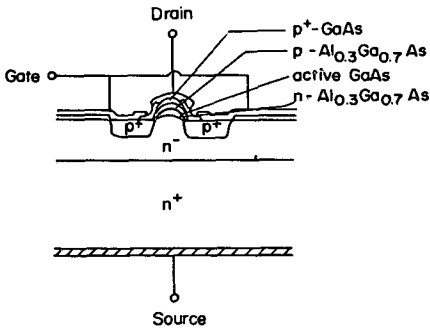
앞에서 언급한 것과 같이 광전자연구실의 OEIC 개발전략은 짜여져서 연구가 진행되고 있으나 이의 활용을 위하여는 각 소자의 특성향상에 보다 더 노력을 기울여야 할 것이다.

V. 결 론

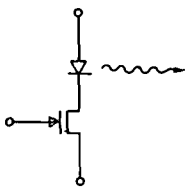
광전집적회로의 배경과 연구현황을 살펴보았다. 최근들어 광전집적회로의 위치를 새로이 정립하려는 노력도 활발하다. 즉 ① 광전송시스템의 단말기의 성능을 향상시키려는 노력-현재 광전송기의 고성능화, ② VLSI chip상의 또는 chip 간의 배선을 광으로 하려는 광 I/O의 노력-광배선에 의한 전자소자의 고성능화 ③ 새로운 광기능 소자의 개발에 따른 광논리 소자, 광학 연산장치의 개발-광정보처리가 바로 그것이다. 현재 미국과 일본에서도 아직 개념정립이 채 안되어 있으며, 그 양산기술도 여러가지 문제점을 안고 있다. 하지만 거의 대부분의 사람들이 OEIC의 출현과 응용을 기대하고 있다.

그동안 ETRI와 KAIST에서도 선진 각국의 기술을 따라 잡기 위해 애써왔으며 이제는 서서히 독자적인 원리와 구조로서 연구를 진행하고 있다. 국내의 산업계도 보다 능동적인 참여를 통해 이 분야의 국내 기술 확립에 노력하여야 할 것이며 정부에서도 보다 지속적으로 국내의 모든 관련 학계와 연구소, 기업체가 유기적인 연대로서 연구를 진행할 수 있도록 지원해 주어야 할 것이다.

그동안 본 광전자실험실을 지원해 주신 학계와 산업



(a) 단면 개략도



(b) 회로도

그림19. 수직형 광전집적회로

계 여러분께 감사를 드리며 project를 지원해 주신 과
기처에 사의를 표한다.

参 考 文 献

[1] Naday, Bar-Chaim, Israel Ury and Amnon Yariv, "Integrated Optoelectronics," IEEE Spectrum, pp. 38-45, May 1982.
 [2] Nikkei Electronics 1986, 11. 17 (no.408) pp. 131-143.
 [3] O. Wada, T. Sakurai and T. Nakagami, "Recent Progress in Optoelectronic Integrated Circuits (OEIC's)", IEEE J. of Quantum Electronics, vol. QE-22, no. 6, pp. 805-821, June 1986.
 [4] 권영세, "OEIC Researches at KAIST", 제10차 국내외 한국과학기술자 종합학술대회 논문집 (한국과학기술단체총연합회), 1987년 7월 *

♣ 用 語 解 說 ♣

성장 확산법 (Grown diffusion method)

용융물로 부터 결정이 성장할 때 전도형(傳導形)이 서로 다른 2 종류의 불순물을 동시에 첨가시켜 양 불순물의 확산 계수의 차를 이용하여 pnp 또는 npn의 접합 구조를 가지게 하는 결정 성장법

압전 결정 (Piezoelectric crystal)

수정, 로셀염 (Rochelle鹽), 티탄산바륨 자기 (barium titanate ceramics) 이외는 끌어당기는 방법에 따라서 얻는 용융점이 높은 압전 효과를 내는 결정체의 무리로 LiNbO₃, LiTaO₃, LiGaO₃ 등이 있다. 유전율은 압전자기(磁器)에 비하여 작으나, 고주파용의 변환자, 공진자에 적합하다

Schottky defect

점(點) 결함의 일종으로서 정규 격자점에 있는 원자 또는 이온이 격자점을 떠나 표면등으로 옮겨가게 되어 자국에 생긴 빈 격자점

격자 정합 (Lattice matching)

헤테로 접합의 경계면 양측의 격자 상수는 일반적으로 다르므로 왜곡 및 미스핏 전위 (misfit dislocation)가 발생하여 레이저의 효율 및 수명에 영향을 준다. 그리고 반도체의 혼성 조성(混晶組成) 및 화학양론(量論)적 조성의 조정, 불순물 원자의 효과등으로 양측(兩則)의 격자 상수를 일치시키는 것을 격자 정합이라 한다

경사접합 (傾斜接合 : Graded junction)

p형 반도체와 n형 반도체의 경계 부분에서 어떤 밀도 기울기 (gradient)를 가진 불순물이 분포되어 있는 접합

Glass Capacitor

유리 필름 (film) 또는 유리 분말을 유전체로 하고 금속박막 또는 은 페이스트 등을 소결(燒結)하여 부착한 것을 전극으로 구성된 커패시터

열평형 밀도 (Thermal equilibrium density)

외부에서 주입한 것이 아니라 반도체의 온도에 따라 전자와 정공의 밀도가 결정될 때의 온도. 이들의 곱은 도너 (donor), 억셉터 (acceptor)의 밀도와 무관하게 일정한 값을 갖는다

Early effect

pn접합의 역방향에 인가되는 전압이 증가하면 공핍층(空乏層)의 폭이 넓어진다. 따라서 트랜지스터의 컬렉터 접합에서는 컬렉터 전압의 증가에 따라 공핍층도 커지며, 그 결과 베이스폭이 좁아지는 현상을 말한다