

論 文

# 高速 GaAs 集積論理 Gate 回路 研究

正會員 李 亨 宰\* 正會員 李 大 寧\*\*

## A Study on the High-Speed GaAs IC Logic Gates

Hyung Jae LEE\*, Dai Young LEE\*\* *Regular Members*

**要 約** 선진국에서 研究 開發하고 있는 各種 高速 GaAs 集積論理 gate 回路의 調査, SPICE 分析 研究結果 動作 特性 回路集積度 有用性 動作條件 製造技術의 制限 및 應用等에 대한 比較值을 얻었다. 우리나라에서 政策研究課題로 되어 있는 高速 GaAs IC's 研究開發에 본 論文이 참고가 될 것으로 사료된다.

**ABSTRACT** High-speed GaAs IC Logic Gates being widely studied and developed in the developed countries were reanalysed and reexamined through SPICE simulations. And, furthermore, the detailed examinations of their characteristics such as operation characteristics and conditions, integration densities, service-ability, and the limitation of both fabrication and application, give us a clue of the feasibility and application of them in the real integrated circuits. This paper will provide a reasonably good guide to set-up one of goals for future development of high-speed GaAs IC's being led by the government recently in our country.

### I. 序 論

高速 Digital GaAs IC's의 實用化는 더욱 빠른 速度의 情報處理와 低電力 消耗等の 條件을 充足시키는 여러가지 Logic gate의 開發은 高速 및 大量의 情報處理等の 새로운 應用分野에 關門이 되며 測定裝備와 各種 System 構成에 매우 重要한

改革을 가져 올것이다. 또한 情報의 增加에 따른 周波數帶의 擴張, 即 衛星通信等の 分野에서도 GaAs 集積回路의 應用은 크게 擴大될 것이다.

일반적으로 Digital GaAs IC's는 Normally on 및 Normally off MESFET's로 구성되며 여러가지 形態의 Logic gate가 발표되어 사용되고 있다. 기본적인 Normally on MESFET IC's는 Buffered FET Logic (BFL)<sup>(1,2,3,4)</sup> gate, Schottky Diode FET Logic (SDFL)<sup>(5)</sup> gate와 이것의 변형된 Unbuffered FET Logic (U.F.L.)<sup>(6)</sup> gate, Capacitor-Coupled Logic (C.C.L.)<sup>(7)</sup> gate 또는 Schottky-barrier Coupled Schottky-barrier gate FET logic (SSFL)<sup>(8)</sup> Capacitive Enhanced

\* 韓國航空大學電子工學科  
Dep. of Electronic Engineering,  
Han Kuk Aviation College, Seoul, 122, Korea.

\*\* 慶熙大學校 工科大學 電子工學科  
Dep. of Electronic Engineering,  
Kyunghee University, Seoul, 132, Korea.  
論文番號 : 87-30(接受1987. 6. 29)

Logic(CEL)<sup>(9)</sup> gate 및 Feed-Forward Static (FFS)<sup>(10)</sup>의 변형된 FFS<sup>(11)</sup>등이 발표되었다. Normally off MESFET IC's로서는 Direct Coupled FET Logic(DCFL)<sup>(12)</sup> gate이며 Quasi-Normally-off MESFET를 基礎로한 Low pinch off FET Logic(LPFL)<sup>(13)</sup> gate 및 Source Coupled FET Logic(SCFL)<sup>(14,15)</sup> 등이 보고 되었다.

본 논문에서는 기하 발표된 여러 Logic gate를 情報處理速度, 電力消耗, 動作特性, 回路集積度 論理의 有用性, 動作條件 및 製造技術의 制限事項등에 대하여 分析導出하고 상호관계를 定立比較 提示하였다.<sup>(16,17,18,19,20)</sup>

## II. 本 論

일반적으로 Digital 回路에서 動作速度는 使用素子와 回路構成에 있어 모든 Capacitance의 充電 및 放電하는 電流에 比例한다.

따라서 높은 電流의 구동은 高速과 Low fan-out의 感度에 이르게 된다.

그리고 Digital IC's의 論理振幅은 素子の Pinch off 電壓에 比例하며 이 Pinch off 電壓은 重要한 設計 Parameter가 된다.

### 1. 일반고속 GaAs Logic gate 回路

그림 1은 가장 일반적인 고속 GaAs logic gate 回路이다.

그림 1(a) BFL<sup>(1,2)(3)(4)</sup>은 적절한 Fan-out에 가장 빠른 Logic gate이지만 반대로 큰 電力이 要求된다. BFL은 Depletion-mode FET(DFET)를 사용하며 入力와 出力論理가 Compatible하도록 하기 위하여 Level shifting 回路가 필요하다.

이 Level shifting은 source follower, Schottky barrier Diode 및 Pull-down FET로 이루어지고 이는 Logic gate의 Switching 시간 지연과 電力 消費를 생기게 하며, FET threshold 변화에 민감하지 않으나 반면 큰 Logic swing과 좋은 Noise margin을 갖는다.

따라서 BFL은 Logic gate당 큰 電力消費와 많은 素子數 때문에 LSI에 적당하지 못하다.

그림 1(b) SDFL<sup>(5)</sup>의 gate는 入力 Logic OR 函數動作에 매우 적은 Schottky-barrier diode ( $1 \times 2 \mu\text{m}$ )를 사용하며 Level-shifting이 되게 한다. Inverter動作은 두번째 단의 DFET's에 의해 수행된다. 같은 Diode들의 低電力 消費로 Packing 密度가  $500 \mu\text{m}^2/\text{gate}$  정도이다.

SDFL은 매우큰 Fan-in을 갖지만 Fan-out

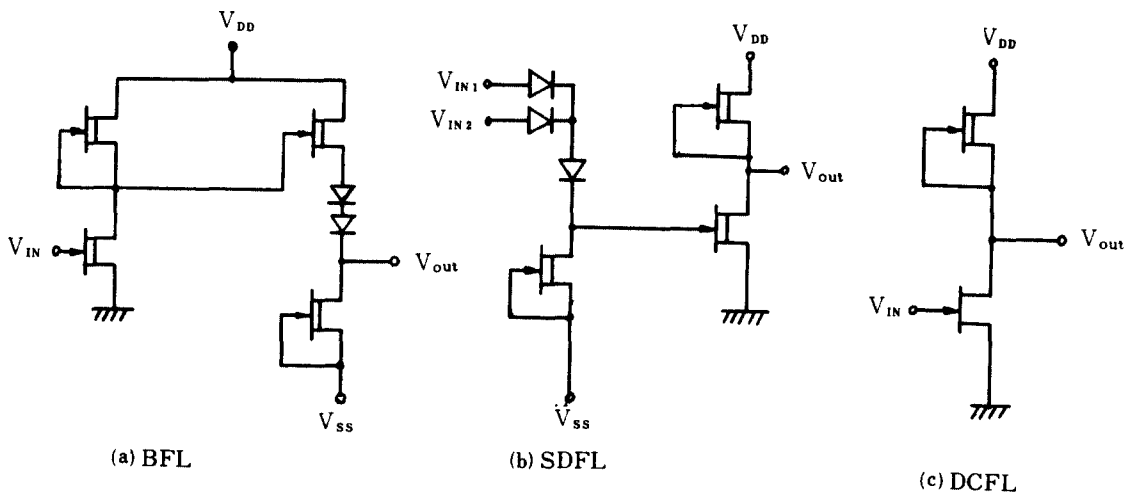


그림 1 일반 고속 GaAs 論理 gate 回路  
High-Speed GaAs Logic gates.

(FO)에 매우 민감하며  $FO \geq 3$ 으로 유지하기 위해서는 Buffer나 넓은 DFET's가 필요하다.

BFL에 비하여 약  $\frac{1}{5}$ 의 低電力 消費와 良好한 Packing密度 때문에 SDFL은 LSI 應用에 적당하지만 VLSI로서는 적당하지 못하다.

그림 1(c) DEFL<sup>15</sup>회로는 Switch에 Enhancement-mode FET(EFET)와 Load에 DEFT를 사용하였으며 Level shifting이 필요없기 때문에 회로構成이 간단하며 低電力 消費와 높은 Packing 밀도(200 $\mu$ m<sup>2</sup>/gate)로 VLSI 應用에 적당하다.

## 2. 變形高速 GaAs Logic gate 회로

그림 2는 변형된 GaAs Logic gate 회로로서 그림 2(a) UFL<sup>16</sup>은 出力段의 Source follower를 除去시킴으로써 BFL보다 電力 消費를  $\frac{1}{2}$ 로 크게 減小시켰으나 gate의 Fan-out 특성은 나쁘다.

그림 2(b) CCL<sup>17</sup> 또는 SSFL<sup>(8)</sup>의 gate는 Band pass filter type의 應答를 하며 따라서 Lower cut-off 周波數 이상에서 동작하여야만 한다. 그러나 高速 GaAs IC's 製造時 工程上의 Parameter 변화에 덜 민감하며 Logic 段과의 Passive, Low power interconnection이 가능하다. 또한 CCL gate의 중요한 단점은 회로가 動作하기 전에 반드시 Initialization시켜야 한다.

그림 2(c) CEL<sup>19</sup>은 BFL 또는 UFL gate를 변형시킨 회로이다. UFL과 같이 CEL도 Diode Level Shift를 사용하며 逆 bias된 Diode가 Capacitor로 動作하여 入力論理狀態가 변하는 동안에 모든 Switching電流가 이를 통하여 흐른다.

Logic gate의 速度는 Level shift diode의 動作電流에 의존하지 않으며 이때 흐르는 電流는 적기 때문에 電力 消費가 적다. CEL은 UFL gate보다 빠르고 低電力 消費를 하지만 Fan-out 능력은 BFL보다 나쁘다.

그림 2(d) FFS<sup>20</sup>는 BFL과 CCL gate를 組合한 形態의 회로다. FFS gate는 電壓 Level shift段의 gate幅을 減小시켜 電力 消費를 減小시키고 入力の 高用波 信號는 逆 bias된 Schottky diode인 Feed-forward capacitor를 통하여 傳達

되기 때문에 FFS는 BFL과 SDFL보다 電力 消費가 적으며 速度가 빠르다.

그림 2(e)<sup>21</sup>는 FFS gate를 변형시킨 것으로 그 特徵은 電源  $V_{DD}$ 와 Source follower 사이에 逆 bias된 Schottky diode를 삽입시켜 構成한 것으로 動作原理는 FFS gate와 類似하며 論理狀態가 변화하는 동안 전류가 이들 Capacitor로 흐르므로 動作 特性이 FFS gate보다 改善된다.

그림 2(f)LPFL<sup>22</sup>은 Quasi-normally-off( $-0.2(V) \leq V_P \leq 0.2(V)$ )를 基礎로 그 特性은 BFL과 DCFL의 中間이나 이 gate는 DCFL만큼 pinch off 電壓에 敏感하지 않다. 따라서 LPFL은 DCFL의 製造上의 문제를 극복하기 위하여 提案된 gate로서 低電力인 長點과 論理의 有用性을 向上시킨 것이다.

또한 LPFL은 SDFL보다 약간 떨어지나 Negative供給 電源이 필요하지 않다.

그림 2(g) 회로는 SCFL<sup>23,25</sup> gate 회로이다.

일반 特性을 갖는 GaAs IC's보다 빠른 速度를 實現시키기 위하여는 MESFET의 gate 길이를 Sub-micron 次元으로 減小시키고 Cgd(gate to drain Capacitance)를 충분히 적게 하는 것이다. 그러나 Sub-micron gate MESFET's로 構成하는 GaAs IC's에 대한 製造過程이 완전하지 못하며 아직 既存의 發表된 gate에서 Cgd를 충분히 減小시키는 것이 어렵다.

따라서 GaAs MESFET's, Resistors, Level shift diode로 構成되는 高速 SCFL회로가 提案되었으며 이 회로는 넓은 threshold 電壓範圍와 良好한 Fan-out特性, 적은 入力 Capacitance, 높은 入力感度 그리고 應用이 多樣하다.

## 3. 比較 分析

表 1은 各論理 gate의 特性을 比較하였으며 기준은 BFL이다.

特性은 電力消費 및 Time Delay는 상호 Trade-off 관계에 있다.

표 2는 특히 電力消費, 處理速度 및 Pinch off 電壓關係를 별도로 比較하였으며 이때 기준은 BFL이고, FET의 gate길이는 1 $\mu$ m이며 Fan-out이 하나인 경우에 대하여 비교하였다. 特性을 분

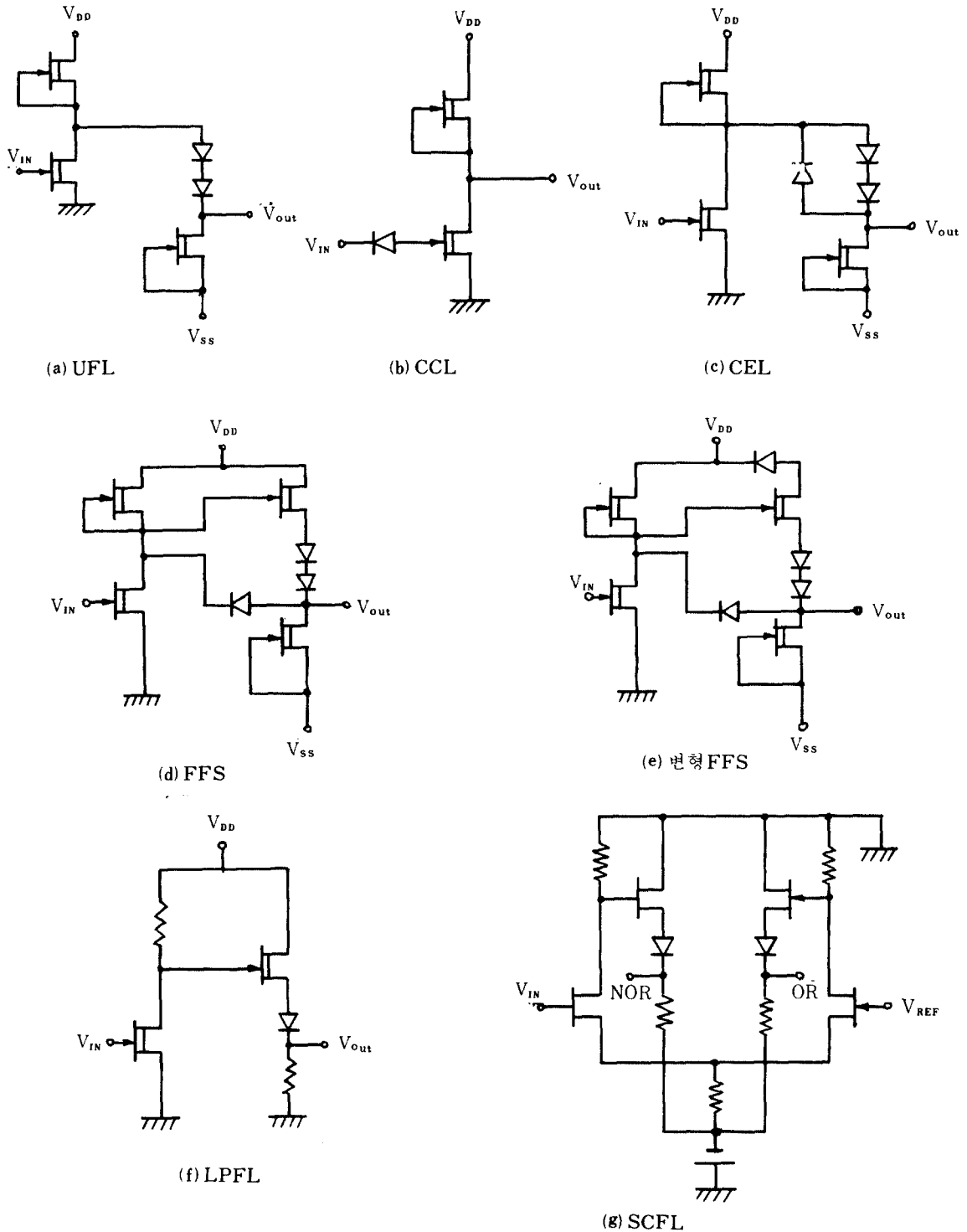


그림 2 변형된 고속 GaAs 論理 gate 回路  
Modified High-Speed GaAs Logic gates.

표 1 High-Speed GaAs Logic gate 回路의 特性 比較

논리gate회로 특성	BFL	SDFL	DCFL	UFL	CCL (SSFL)	CEL	FFS	변형 FFS	LPFL	SCFL
Fan-out 특성	$FO \geq 3$	$FO < 3$	$FO \leq 3$	$FO \leq 2$	-	$FO \leq 2$	$FO \leq 4$	$FO \leq 4$	$FO \leq 3$	$FO \geq 3$
속도	High	Medium	Low	High	High	High	High	High	Medium	Medium
전력소비	Large	Medium	Low	BFL의 1/2	$PD < BFL$ 의 1/2	$PD < BFL$ 의 1/2	$PD < BFL$	$PD < BFL$	Low	Low
논리진폭	Large	Medium	Low	Large	Large	Large	Large	Large	Low	Medium
Noice Margin	Good	Medium	Poor	Good	Good	Good	Good	Good	Poor	Medium
이득	Medium	Low	Low	Medium	Medium	Medium	Medium	High	Low	Medium
Packing 밀도	$>10000$ $\mu m^2/gate$	$>500$ $\mu m^2/gate$	$200 \mu m^2/gate$	-	-	-	-	-	-	-
Fain-in 특성	Poor	Good	Poor	Poor	Poor	Poor	Poor	Poor	Poor	Good
공급전원수	2	2	1	2	1	2	2	2	1	2
공정난이도	Medium	Medium	Stringent	Medium	Medium	Medium	Medium	Medium	Medium	Medium
응 용	SSI-MSI	LSI	VLSI	MSI	MSI	MSI	MSI	MSI	LSI	MSI
	Prescaler	MUX	AND/OR		LSI			LSI		LSI
	MUX	ALU	Memory							VLSI
	DEMUX	gate array	gate array							
	Fast cache memory									

표 2 GaAs Logic 回路의 電力消費 및 處理速度 比較

논리gate회로 구분	BFL	UFL	SDFL	CCL	CEL	FFS	변형 FFS	LPFL	DCFL	SCFL
전력소비 (mw/gate)	1	0.5	0.2	0.1	0.5	0.4	0.2	0.1	0.001	0.035
Time Delay (PS/gate)	1	0.8	2	0.3	0.4	0.3	0.2	1.3	4	2
Pinch-off 전압 (V)	$V_p = -2.5$							$V_p = 0.0$	$V_p = 0.1$	$V_p = -0.6$ $+0.1$

析할때 과거의 電力消費와 Time delay와의 Trade-off인 상호관계를 벗어나려고 하는 방향으로 새로운 Logic gate의 設計 및 製造技術이 開發되고 있다.

그러나, 표 1에서 알수 있듯이 Fan-out와 Fan-in등의 특성개선에 문제점이 제기되고 있다.

### III. 結 論

既存 및 現在 發表되고 있는 GaAs IC's는 高速 Logic gate와 低電力消費의 Logic gate로 크게 分類 集約될 수 있다. 그러나 高速 및 低電力

消費등의 條件을 同時에 滿足시킬 수 있는 Logic gate를 이용한 Digital GaAs IC's는 새로운 工程技術 및 設計方法의 開發에 의해 계속적인 發展을 하고 있으며 여러 分野에 應用될 것이 展望된다. 即, 高速情報通信, 衛星通信 帶域幅이 넓은 測定裝備, 高速 Computer, 軍事用 電子裝備 및 宇宙開發에 應用될 것이다.

특히, GaAs IC's는 Radiation Hardness가  $10^7 \sim 10^8$  RAD's가 되어 宇宙開發用裝備에 應用이 크게 期待되며, 또한 動作溫度特性範圍가  $-200^\circ C \sim 200^\circ C$ 이지만 그 이상 溫度에서도 사용 가능하기 때문에 넓은 溫度範圍의 自動엔진 調整등에

應用될 것도 展望된다.

先進國에서는 GaAs IC's 開發을 계속 추진하고 있는 바 우리나라에서도 政策開發課題로 採擇, 앞으로 研究 開發등의 方向設定에 本 論文이 參考될 것으로 생각된다.

參 考 文 獻

(1) R. L. Van tuyl, et al. "high-speed integrated logic with GaAs MESFET's," IEEE Journal of Solid-State Circuits, SC-9, no. 5, pp. 269~276, Oct., 1974.  
 (2) R. L. Van tuyl, et al. "GaAs MESFET logic with 4-GHz clock rate," IEEE Journal of Solid-State Circuits, vol. SC-12, no. 5, pp. 485~496, Oct., 1977.  
 (3) R. Yamamoto, et al. "Design and fabrication of depletion GaAs LSI high-speed 32-bit adder," IEEE Journal of Solid Circuits, vol. SC-18, no. 5, Oct., 1983.  
 (4) C. A. Liechti, et al. "A GaAs MSI word genertor operating at 5 Gbits/s data rate," IEEE Trans. on Electron Devices, vol. ED-29, no. 7, pp. 1094~1101, July, 1982.  
 (5) S. I. Long, et al. "MSI high-speed Low-power GaAs integrated circuit using Schottky diode FET logic," IEEE Trans. on Microwave Theory and Techniques, vol. MTT-28, no. 5, pp. 466~472, May, 1980.  
 (6) M. R. Namordi, et al. "The effect of logic cell configuration, gatelength, and fan-out on the propagation delays of GaAs MESFET logic gates," IEEE Trans. on Electron Devices, vol. ED-29, no. 3, pp. 402~410, Mar., 1982.  
 (7) A. W. Livingstone, et al. "Manufacturing tolerance of capacitor coupled GaAs FET Logic circuits," IEEE Electron Device Letters, vol. EDL-3, no. 10, pp. 284~285, Oct., 1982.  
 (8) N. Hashizume, et al. "Schottky-barrier coupled Schottky-barrier gate GaAs FET logic," Inst. Phys. Conf. Ser., no. 63 : Chap. 11 Int. symp. GaAs and Related Compounds, Japan, pp. 557~562, 1981.

(9) P. Mellor, et al. "Capacitor-coupled logic using GaAs depletion-mode FETs," Electronics Letters, vol. 16, no. 19, pp. 749~750, Sept., 1980.  
 (10) M. R. Namordi, at al. "A novel low-power static GaAs MESFET logic gate," IEEE Eletron Device Letters, vol. EDL-3, no. 9, pp. 264~267, Sept., 1982.  
 (11) 김영훈 등 "GaAs MESFET를 이용한 새로운 logic gate 설계," 1987년도 전기재료 반도체 및 CAD 학술대회 논문집, 전자공학회, pp. 321~324, 5월, 1987.  
 (12) A. Peczalski, et al. "Design analysis of GaAs direct coupled field effect transistor logic," IEEE Trans. on computer-aided design, vol. CAD-5, no. 2, pp. 266~273, Apr., 1986.  
 (13) G. Nuzillat, et al. "High-speed low-power logic IC's using quasi-normally-off GaAs MESFET's," IEEE Journal of Solid-state circuits, vol. SC-16, no. 3, pp. 226~232, June, 1981.  
 (14) S. Katsu, et al. "A source coupled FET logic-A new current-mode approach to GaAs logics," IEEE trans. on Eletron Devices, vol. ED-32, no. 6, pp. 1114~1118, June, 1985.  
 (15) T. Takada, et al. "An 11-GHz GaAs frequency divider using source-coupled FET logic," IEEE Eletron Device Letters, vol. EDL-7, no. 1, pp. 47~48, Jan., 1986.  
 (16) R. C. Eden, "Comparision of GaAs device approaches for ultrahigh-speed VLSI," Proc. IEEE, vol. 70, pp. 5~12, Jan., 1982.  
 (17) F. D. Kavala, et al. "Speed-power performance in sequential GaAs logic circuits," Int. symp. GaAs and Related Compounds, Japan, pp. 539~544, 1981.  
 (18) R. C. Eden, et al. "Integrated circuits : the case for gallium arsenide," IEEE Spectrum, pp. 30~37, Dec., 1983.  
 (19) R. C. Eden, et al. "The prospects for ultrahish-speed VLSI GaAs digital logic," IEEE Trans. on Eletron Devices, vol. ED-26, no. 4, pp. 299~317, Apr., 1979.  
 (20) P. T. Greiling, et al. "High-speed digital IC performance outlook," IEEE trans. on Microwave Theory and Techniques, vol. MTT-35, no. 3, pp. 245~258, Mar., 1987.



李亨宰(Hyung Jae LEE) 正會員  
 1933年 3月20日生  
 1958年 3月 : 韓國航空大學電子工學科卒業  
 1961年 3月 : 漢陽大學校工科學電氣工學科卒業  
 1972年 2月 : 漢陽大學校大學院修了  
 1964年 10月 : 韓國航空大學助教授  
 1971年 7月 : 韓國航空大學副教授  
 1978年 1月 (現在) : 韓國航空大學教授  
 1981年 4月~1984年 12月 : 本學會 副會長



李大寧(Dai Young LEE) 正會員  
 1940年 3月18日生  
 1968年 9月~1970年 3月 : 켈리포니아州 立大學院 (工學碩士)  
 1976年 9月~1979年 9月 : 延世大學校大學院電子工學科 (工學博士)  
 1971年 9月 : 慶熙大學校工科學電子工學科助教授  
 1977年 3月 : 慶熙大學校工科學電子工學科副教授  
 1982年 3月~現在 : 慶熙大學校工科學電子工學科教授  
 1982年 9月 : 慶熙大學校工科學長, 韓國情報科學會理事