

論 文

디지털 주파수 합성 기법에 의한 FFH-SS 통신 방식에 관한 연구

正會員 金 元 厚*, 正會員 田 啓 石**

A study on the fast frequency hopping spread-spectrum(FFH-SS) Communication system using Digital Frequency Synthesizer Technique

Won Hoo KIM*, Kye Suk JUN** *Regular Members*

要 約 본 논문에서는 디지털 주파수 합성 기법을 이용하여 FFH-SS하이브리드 통신 방식을 제안하였다. 이 방식은 기존의 대역 제한 통신 방식과 상호 간섭없이 같은 주파수 대역 내에서 동시 사용이 가능하다. 실험에서 선택성 호핑 패턴은 최장 부호 계열의 의사 잡음 코드를 직 병렬 변환한 특정 조합으로 얻었으며 주파수 호핑 간격이 균일할 때 보다 불균일할 때 선택성 호핑 대역 변환이 용이하다는 사실이 관찰되었다. 기존 디지털 주파수 합성기는 기생 신호 억압 능력이 50~60dB 정도인데 본 실험에서는 이를 개선할 수 있는 방안을 제시하였다.

ABSTRACT In this paper, a FFH-SS hybrid communication method using digital frequency synthesizer is proposed. This can simultaneously share the same frequency band with conventional band limited communication method without interference. In the experiment the selective hopping pattern is attained by some combination of serial to parallel conversion of maximal code from pseudo random noise generator, and it is observed that the selective hopping band transition can be more easily achieved when the hop interval is nonuniform than it is uniform. Digital frequency synthesizer is now reported to have very poor spurious suppression ability below 50~60dB, the reason of this is observed from the experimental result, and the way of how to solve this problem is presented.

1. 서 론

韓國航空大學 電子工學科
Dep. of Electronic Eng., Han kuk Aviation College.
慶熙大學校 工科學 電子工學科
Dep. of Electronic Eng., Kyunghee University.
論文番號 : 87-18(接校 1987. 4. 8)

대역 확산통신방식⁽¹⁾ 중 직접 확산(DS) 방식⁽²⁾은 정보 신호의 대역폭보다 큰 비트 속도를 갖는 의사 잡음 코드(PN Code)로 확산시킬수록 낮은 전송 전력 밀도를 가지며 시스템 구성상 광대역화의 한계성을 갖는다. 이에 반해 주파수 호핑(FH) 방식⁽³⁾은 변조된 신호의 반송파를 일정 대역 내에서 PN코드의 길이로 주파수 호핑 대역을

제한할 수가 있다.

여기에 한 심볼당 보다 많은 칩이 전송될 수 있는 고속 주파수 호핑(FFH)방식을 채택한다면 저속 주파수 호핑(SFH) 방식⁴⁾보다 우수한 전송 특성을 얻을 수가 있다.⁵⁾ 또한 SS통신 방식은 기존의 대역 제한 통신 주파수 대역에서 혼잡 사용이 불가능한 결점이 있다.⁶⁾

본 논문에서는 앞에서의 장단점에 착안하여 기존 통신 대역 내에서 상호 간섭없이 사용할 수 있는 FFH-SS 통신 방식을 제안하고 실현하고자 한다.

FFH방식을 실현하기 위해 주파수 천이 시간이 극히 짧은 look-up-table 방식의 디지털 주파수 합성기를 채택하였는데 이 방식은 기생 주파수 억압 능력이 50-60dB 정도로 낮은 결점이 있다.⁷⁾

기존 통신 방식과 하이브리드하기 위해 특정 코드 계열의 조합을 이루어 선택성 주파수 호핑 패턴을 설계하고 여기에 기존 통신 방식을 넣어 상호 간섭없이 병행할 수 있는 FFH-SS 통신 방식을 실현하고자 한다. 아울러 본 시스템이 가지는 결점을 보완할 방안을 마련하고 장점을 타 시스템에 응용할 수 있는 기초 자료를 얻고자 한다.

2. FH 대역 확산 통신 방식

FH시스템 송신부의 계통도를 그림 1에 나타낸다.

FH 변조 시스템에서 1 차 변조에는 일반적으로 MFSK 또는 BFSK를 이용한다. BFSK로

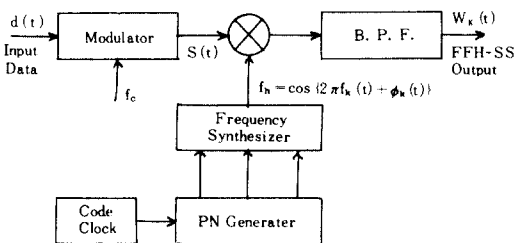


그림 1 주파수 호핑 시스템 송신기의 계통도
Block diagram of FH system transmitter.

1 차 변조를 할 때 입력신호 $d(t)$ 를 주기 T_b 인 bipolar 구형파라고 하면 $n T_b \leq t < (n+1) T_b$ (n 은 정수)일 때 $d(t)$ 는 $+1$ 또는 -1 의 값을 갖게 되고 이때 변조기를 거친 출력 신호는 식(1)과 같이 나타낼 수 있다.

$$S(t) = \cos \{ [f_c + d(t) \Delta f](t) + \theta(t) \} \quad (1)$$

여기서 f_c 는 반송파 주파수이고, Δf 는 두 주파수 tone 사이의 거리의 1/2이다. 또한 $\theta(t)$ 는 FSK 변조기에 의한 위상이다. $S(t)$ 가 orthogonal하다고 할 때 주파수 합성기의 출력 주파수인 f_k 와 믹싱을 한 후 B.P.F를 거치게 되면 호핑된 신호인 $W_k(t)$ 는 다음과 같다.

$$W_k(t) = \sqrt{\frac{2E}{T_h}} \cos \{ 2\pi f'_k(t) + \phi_k(t) \} \quad 1 \leq K \leq L \quad (2)$$

여기서 $f'_k(t) = f_c + d(t) \Delta f + f_k(t)$

$$\phi_k(t) = \psi_k(t) + \theta(t)$$

이고 E 는 매 칩마다 전송되는 에너지이다.

또한 $f_k(t)$ 와 $\psi_k(t)$ 는 각각 주파수 합성기에서 얻어지는 K 번 째 칩의 주파수 위상 값으로 한 칩이 지속되는 동안에는 일정하다. 즉

$$dT_h \leq t < (d+1) T_h \quad \text{일 때}$$

$$f_k(t) = f_k, d$$

$$\psi_k(t) = \psi_k, d \quad \text{이다}$$

FFH 시스템에 있어서 정보원 주기(T_b)가 hop duration보다 길어야 하므로 다음이 성립한다.

$$T_b = L T_h \quad (3)$$

여기서 T_h 는 호핑된 주파수의 duration이고 L 은 입력 데이터 비트 한 주기당 발생하는 칩의 갯수이다.

3. 주파수 합성기

현재까지 사용되어온 주파수 합성기는 디지털

방식, 직접 방식, 간접 방식으로 나눌 수 있다.

이중 직접 방식은 하나 또는 몇 개의 기준 주파수에 체배와 분주를 함으로써 다수의 출력 주파수를 얻는 방식으로 처리 이득을 증가시키기 위해서는 시스템이 복잡해지고 기생 주파수가 많이 발생하는 단점이 있다.⁽⁷⁾

PLL을 이용한 간접 방식은 종전부터 널리 이용되어온 것으로 광대역이 가능하고 전기적 특성이 뛰어나지만 PLL이 지니고 있는 단점, 즉 뎀핑 현상으로 인해 새로운 주파수로 세트될 때 식 (4)~(6)에 따르는 lock time 이 필요하다.⁽⁸⁾

$$t_L = t_{L, req} + t_{L, phase} \quad (4)$$

$$t_{L, req} \cong \tau_2 \left[\frac{\Delta \omega \phi}{K_0 K_d / N (R_2 / R_1)} - \sin \theta_0 \right] \text{ (sec)} \quad (5)$$

$$t_{L, phase} \cong \frac{2N}{K_0 K_d \cos e_{ss}} \log e \left(\frac{2}{r_{LOCK}} \right) \text{ (sec)} \quad (6)$$

여기서 $\Delta \omega \phi$ 는 초기 상태에서 VCO가 sweep할 수 있는 범위이고

θ_0 는 초기 상태에서의 위상 차이이다.

e_{ss} 는 정상 상태 에러이고

r_{LOCK} 는 정상 상태 에러의 deviation이다.

따라서 이 방식은 FFH 방식에는 적합하지 못하여 SFH 방식에서 사용되었다.

디지털 방식은 샘플링 이론과 D/A 변환기술을 이용하여 주파수를 발생시키는 것이므로 주파수 발생 대역 내의 모든 주파수를 쉽게 발생할 수 있고 처리 시간도 소자에서의 지연 시간과 세틀링 타임으로 한정되어 μS 이내로 유지할 수 있기 때문에 FFH 시스템용으로 유용한 방식이다. 디지털 주파수 합성기의 발생 주파수 f_0 는 시간에 대한 위상 변화로 식 (7)과 같다.

$$f_0 = \frac{d\phi}{dt} \quad (7)$$

이 관계를 이용하여 구성한 디지털 주파수 합

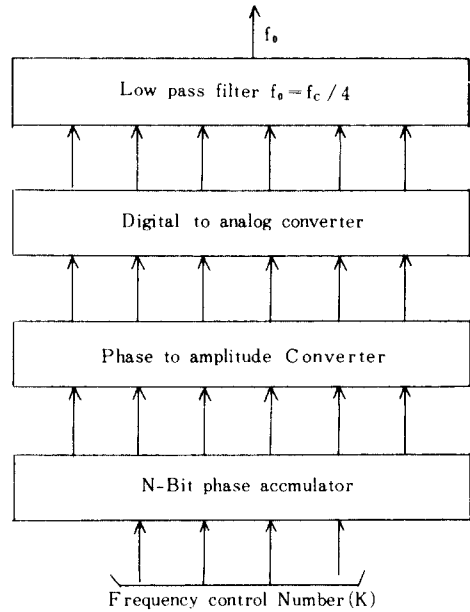


그림 2 디지털 주파수 합성기의 계통도
Block Diagram of digital frequency synthesizer.

성기의 계통도는 그림 2와 같다.

디지털 주파수 합성기의 첫 부분은 위상 어큐뮬레이터로서 출력 주파수와 해상도를 결정하며 주파수 제어수 K는 매 클럭마다 어큐뮬레이터에 더해지는 위상각 스텝을 나타낸다. 어큐뮬레이터는 359° 와 0° 사이에서 overflow가 발생되어 출력 주파수의 한 주기를 형성한다. 위상 어큐뮬레이터에서 출력되는 데이터의 길이가 N일 때 출력 주파수는 식 (8)과 같다.

$$f_0 = K \frac{f_c}{2^N} \quad (8)$$

여기서 K는 FH 시스템에서 PN code에 해당하며 $f_c/2^N$ 은 최소 주파수 스텝으로 해상도를 나타낸다.

위상 대 진폭 변환기는 위상 어큐뮬레이터에서 매 클럭마다 더해진 위상 값에 대응하는 진폭을 나타낸다. D/A 변환기는 2진 진폭 데이터를 아

날로그 값으로 변환시키며 LPF를 거쳐 최종 출력 파형을 얻는다. 각 입력 비트는 위상각 스텝이 되므로 결국 각 입력비트마다 출력 주파수가 선형적으로 weighting된 셈이다. 주파수 해상도를 $f_o=2^k$ 이다.

여기서 K는 K번째 비트를 나타내는 integer이다. 즉 각 비트마다 고유한 주파수 값을 가지게 되며 저역 통과 필터를 거쳐 발생하는 주파수는 각 비트에 weighting된 주파수 값의 합이 된다.

$$f_o = \sum_{k=0}^{N-1} 2^k \quad (9)$$

여기서 N은 입력 데이터의 길이이다.

따라서 해상도가 1Hz이고 입력 데이터의 길이가 N인 주파수 합성기는 $1\text{Hz} \cdot (2^N - 1)\text{Hz}$ 사이의 모든 주파수를 발생시킬 수 있어 타 합성기와는 비교할 수 없을 정도로 많으며 스위칭 타임도 어큐뮬레이터에 가해지는 클럭 주기 이내인 $1/f_c$ 로 된다. 따라서 클럭 주파수를 높일수록 스위칭 타임이 감소하며 발생 주파수 대역을 넓힐 수 있다.

그러나 저역 통과 필터의 조건상 $f_c/4$ 를 통과하고 $3f_c/4$ 를 제거해야 하므로 스위칭 타임은 4배로 증가된다.

4. PN Code와 Hopping Pattern의 설계

SS통신에 사용되는 의사 잡음 발생기는 일반적으로 그림 3과 같은 구조로 나타낼 수 있는데 이 때 발생하는 code는 각 stage를 이루는 시

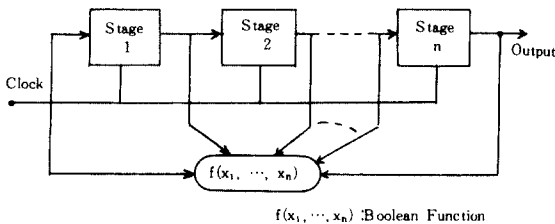


그림 3 일반적 의사잡음 발생기의 구성도
General diagram of pseudo noise generator.

프트 레지스터의 출력을 조합하여 입력 stage로 feed back 시킴으로써 얻어진다. 이때 출력의 조합이 boolean function으로서 modulo 2로만 이루어질 때 발생하는 코드를 선형 코드라 하고 그렇지 않을 경우를 비선형 코드라고 한다. boolean function $f(X, \dots, X_r)$ 이 어떤 조건을 만족할 때⁽⁹⁾ 발생하는 코드를 maximal code라 한다. 즉 한 주기를 이루는 code length는 $2^n - 1$ 로 주어지고 여기서 n은 PNG의 Stage수이다.

여기에서는 code length가 15를 갖는 PNG로 하여 직 병렬 변환기를 거쳐 주파수 합성기 입력단에 연결하였다. PN code에 의해 주파수를 도약시킬 때 다음 식 (10)을 만족해야 한다.

$$f_{\text{PNG}} \leq f_{ms} \quad (10)$$

여기서 f_{PNG} 는 PNG의 클럭 주파수이고 f_{ms} 는 주파수 합성기의 출력 주파수 중에서 최소 주파수이다. 이 때 Hop duration(Hd)은 PNG 클럭의 주기로 나타나게 된다.

$$Hd = \frac{1}{f_{\text{PNG}}} \quad (11)$$

발생된 code를 이용하여 호핑을 얻는 방법은 다음 두가지가 있다.

- (1) PNG의 출력을 각 단에서 병렬로 얻어내어 주파수 합성기의 연속된 입력 비트에 연결하는 방법
- (2) PNG의 출력을 한 단에서 얻어 직 병렬 변환한 후 연결하는 방법

(1)의 경우 발생하는 주파수의 갯수는 code length와 같고 또한 주파수의 간격은 동일하다. (2)의 경우 직렬 출력을 직 병렬 변환을 거쳐 $2^n - 1$ 에 해당하는 병렬 출력으로 바꾼 뒤 주파수 합성기의 입력 비트수에 해당하는 갯수 만큼씩 나누어 연결하는 방법과 입력비트의 일부에만 연결하는 방법을 생각할 수 있는데 두 경우 모든 출력 주파수 간격이 비선형이 된다. 전자의 경우 특정 입력 비트를 "0"으로 고정시킬 경우 그 비트에 weighting된 만큼의 주파수 대역에는 호핑이 일어나지 않으므로 호핑 대역을 변화시키기가 용이하다. 후자의 경우 연결된 입력 비트수를 code

length와 배수 관계에 있도록 하면 호핑 주파수의 갯수를 code length 이하로 줄일 수 있다. 즉 호핑 대역이 제한되어 있을 때 code length가 큰 PNG를 사용할 수 있으므로 비화성이 커진다.

5. 실험 및 검토

실험에 사용한 시스템의 구성도를 그림 4에 나타내었다.

디지털 주파수 합성기의 설계에 있어서 출력 정현파가 90°와 270°축, 0°와 180°축에서 대칭인 성질을 이용하여 구성한다. 즉 0°에서 90°까지에 해당하는 진폭치만을 ROM(Look Up Table)에 기록해 두고 위상 어큐뮬레이터의 출력 비트 중 첫 번째 MSB와 두 번째 MSB를 보수 회로에 가해 줌으로써 각 상한에 대한 값을 나타낸다. 보수 회로는 1의 보수를 취하여 시스템을 간단히 하였다.

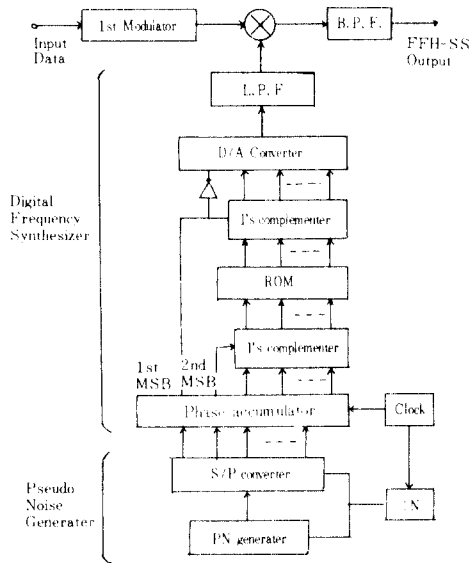


그림 4 하드웨어 구성도
Block diagram for hardware implementation.

위상 어큐뮬레이터는 74LS83 전 가산기와 74LS74 Dual D 플립 플롭을, 1의 보수 회로에는 74LS86 Exclusive-OR을, 위상 대 진폭 변환기

는 access time이 350nS인 2732D PROM을 사용하였고, D/A 변환기는 settling time이 500 nS인 DAC 1020LCN을 이용하였다. 이렇게 구성된 디지털 주파수 합성기는 입력 데이터를 18비트, 위상 어큐뮬레이터의 출력 비트를 20비트로 하고 클럭 주파수를 2²⁰Hz로 하여 출력 주파수가 1Hz의 해상도를 가지고 262.143KHz 까지 발생할 수 있도록 하였다. 저역통과 필터는 최고 주파수까지만 통과시키면 되지만 실제로는 차단 주파수가 265KHz, 필터 특성이 60dB/oct가 되도록 10차 버터워즈 수동 LC필터를 구성하였다. 그림 5는 실험에 사용한 필터의 특성을 나타낸 것이다.

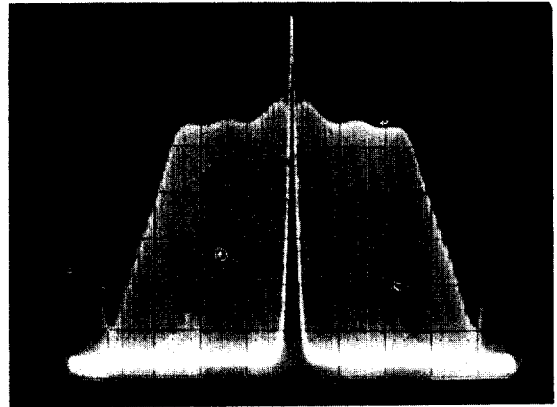


그림 5 필터 특성
Filter characteristic.
100KHz/Div. (Hor.) 10dB/Div. (Ver.)

PNG는 4 단으로 구성하여 code length가 15인 최장 부호를 얻고 74LS299를 사용한 직 병렬 변환기를 통해 얻어진 병렬 PN code의 조합에 따른 Hopping Pattern을 결정하였다.

1차 변조는 중심 주파수 4MHz의 PSK 신호를 FM하였으며, 2차 변조는 다이오드 평형 변조기를 사용하여 주파수 합성기의 출력 주파수와 1차 변조 신호 사이에서 반송파 억압된 상하측대파를 얻고 여기에서 상측대파만을 B.P.F로 선택한 up conversion으로 하였다.

그림 6에는 주파수 합성기의 입력이 000010000011000000일 때의 DAC출력과 필터 출

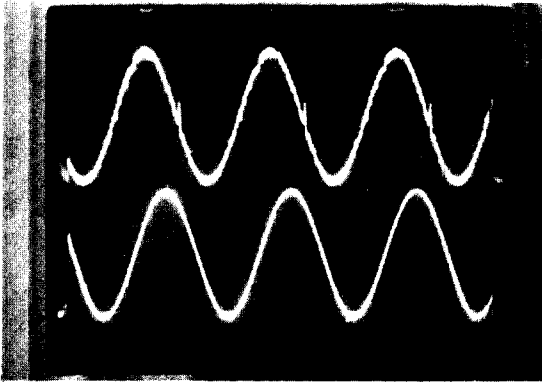


그림 6 입력이 000010000011000000 일 때의 DAC 출력과 필터 출력
 DAC output and filter output waveform when the input is 0000100000110000 00
 CH 1 DAC output (above)
 CH 2 Filter output (below) 2V/Div., 20 μ S/Div.

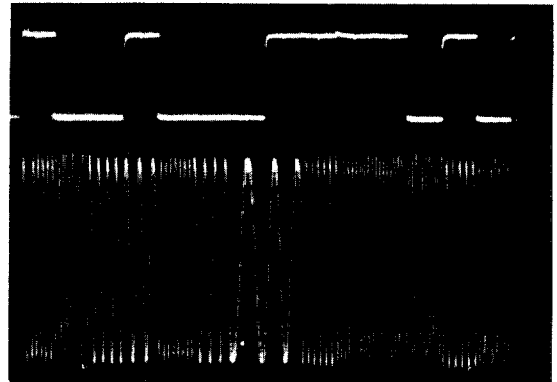


그림 8 PN Code와 Hopping Pattern 관계
 The relation between PN Code and Hopping Pattern.
 CH 1 PN Code (above)
 CH 2 Output Hopping Pattern (below).

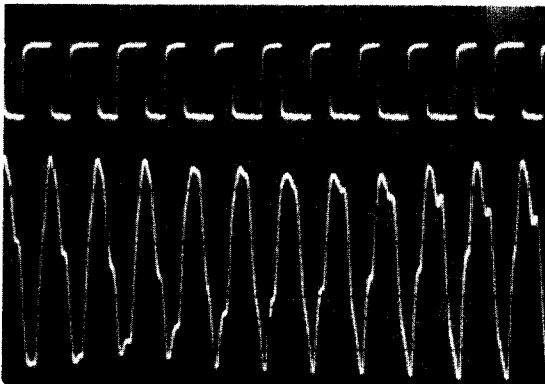


그림 7 위상각 스텝이 90°와 배수관계가 아닌 경우의 1st MSB 파형과 DAC 출력 파형
 1st MSB and DAC output when the phase step is not multiple of 90°
 CH1 1st MSB (above), CH2 DAC output (below).

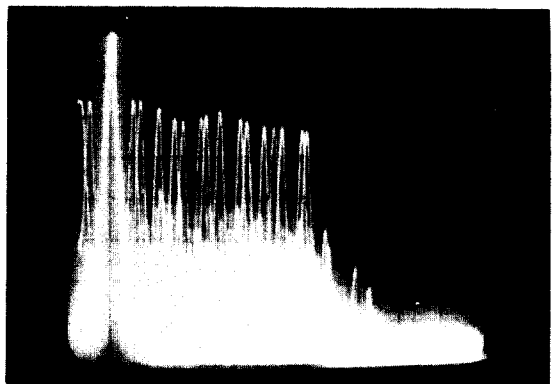


그림 9 그림 8의 스펙트럼 분포
 Spectrum distribution of the Fig. 8
 50KHz/Div. (Hor.), 10dB/Div. (Ver.)
 ; Hopping interval 이 비선형적임.

력을 비교한 것으로 출력 주파수가 입력 비트에 weighting된 값의 합으로 나타남을 알 수 있다.

그림 7의 CH2는 입력 위상각 스텝이 90°와 배수 관계에 있지 않을 경우 출력 파형에 주기적인 진폭왜곡이 발생하는 것을 나타낸 것이고 CH1은 그때의 1st MSB 파형을 나타낸 것이다. 여기서 알 수 있는 것처럼 MSB 파형의 폭이 주기적으로 변하는 것으로 나타나고 그 때 출력 파형에 왜곡이 발생한다. 그런데 MSB 파형의 폭은 가산기의 carry out비트가 연산되는 시간에 따라 나타나므로 하드웨어적으로 carry out비트에 적당한 기역 소자를 두면 MSB 파형의 폭을 일정하게 유지

할 수 있고 따라서 출력의 파형 왜곡을 막을 수 있을 것이다.

그림 8은 PN code를 직 병렬 변환하여 주파수 합성기의 입력단에 병렬로 인가하였을 때 code pattern과 필터의 출력 주파수를 나타낸 것이다. 특기할 사실은 출력 파형이 연속 위상으로 나타나는 것과 칩과 칩 사이의 천이시간이 PNG클럭의 상승 시간인 10nS로 측정된 것이다(소자의 스위칭 시간과 일치). 또한 칩의 유지 시간이 PNG 클럭 주기로 나타남을 볼 수 있다.

그림 9는 그림 8의 경우에 대한 스펙트럼 분포를 나타낸 것이다.

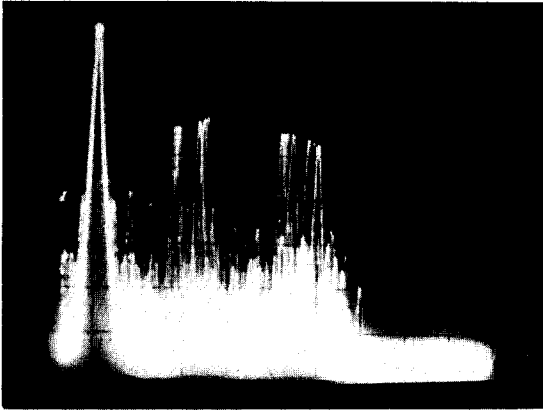


그림 10 17, 15번째 비트를 "0"으로 고정시켰을 때의 스펙트럼 분포
Spectrum distribution of frequency synthesizer when the 17th and 15th input bits are set to zero. 50KHz/Div. (Hor.), 10dB/Div. (Ver.).

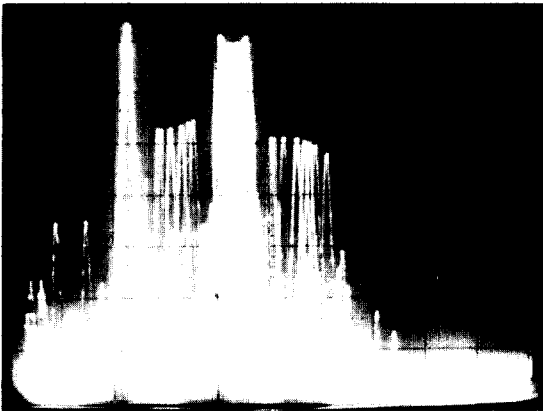


그림 11 17번째 비트가 "0"일 때의 빈 대역에 AM, FM 변조를 가한 스펙트럼 분포
Spectrum distribution of AM, FM signal with selective hopping pattern when 17th input bit is set to zero. AM: 30% modulation, FM: 400Hz, $\Delta f = 40\text{KHz}$. 50KHz/Div. (Hor.), 10dB/Div. (Ver.).

그림 10은 그림 9에서 주파수 합성기의 입력 데이터 비트 중에서 17번째 비트와 15번째 비트를 "0"으로 고정시켰을 때의 출력 스펙트럼 분포를 나타낸 것으로 전체 대역중에서 "0"으로 고정시킨 비트 값에 해당하는 대역에는 호핑이 발생되지 않고 나머지 대역으로 몰리는 현상을 볼 수 있다.

그림 11은 17번째 비트를 "0"으로 고정시켰을 때의 L.P.F 출력을 평형 변조기에 가하여 PSK로 1차 변조한 신호와 2차 변조를 하고 호핑이 일어나지 않는 대역에 기존의 통신방식을 하이브리드

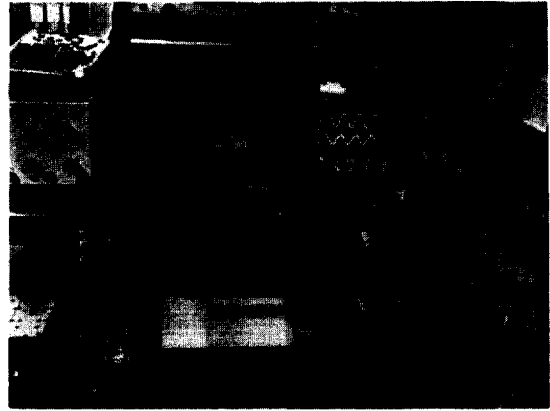


그림 12 전체 시스템 구성도
Overall view of the experimental system.

드한 것이다. 여기서 나타난 것처럼 주파수 합성기의 호핑 대역을 가변함으로써 기존의 통신 방식과 FH의 하이브리드가 가능하다.

그림 12는 실험에 사용한 전체 시스템을 나타낸 것이다.

6. 결 론

본 논문에서는 기존의 주파수 합성기로는 난세였던 고속 주파수 도약 디지털 주파수 합성기를 사용하여 주파수 천이 시간이 무시될 수 있는 10 nS 범위에서 실현하였고, 시프트 레지스터 4단, code length가 15인 PNG의 출력을 직병렬 변환하여 18개의 확장된 위상 제어 데이터를 얻었다. 선택성 도약 패턴은 위상 데이터의 weighting에 따른 조합으로 얻을 수 있었고 이 결과 기존의 대역 제한 통신 방식과의 혼용이 가능하였다. 디지털 주파수 합성기의 결점으로 지적되어 온 출력 기생 주파수 성분은 위상각 스텝이 Look Up Table에 기록된 최고치인 90°와 배수 관계가 되지 않을 경우에 발생됨을 확인하였고 이 문제는 위상 어큐뮬레이터의 carry out에 적당한 기억 소자를 부가하면 해결될 것이다.

본 연구를 수행하면서 얻은 새로운 특징들을 이용하면 정밀 주파수 신호 발생기, 컴퓨터 제어 통신 장치, 직접 신호 동기 장치, QAM을 비롯한 각종 위상 제어 변조 장치, 정밀 거리 측정기 등 최

근에 발표되고 있는 새로운 방식의 시스템 실현이 가능하다. 아울러 호핑 대역의 확장은 스위칭 속도와 세틀링 타임이 빠른 소자를 사용하면 10 MHz 대역까지 가능하며 이보다 넓은 대역이 필요할 경우 기존의 직접 주파수 합성기와 혼합 사 용하면 극히 높은 해상도와 광대역화를 달성할 수 있다.

參 考 文 獻

(1) R. L. Pickholtz, D. L. Schilling, and L. B. Milstein, "Theory of Spread-spectrum Communications-A Tutorial", IEEE Trans., Commun., vol. COM-30, pp. 855-884, May 1982.

(2) Dixon, "Spread Spectrum Systems", John Willey Son: New York, pp 15-28, 1984.

(3) Simon, Omura, Scholtz, Levitt, "Spread Spectrum Communication: volume 1", Computer Science Press, Inc., pp 167-247, 1985.

(4) D. Verhulst, Multiple Access for Digital Cellular Radio telephone", IEEE Journal on Selected Areas in Commun., vol. SAC-2, no. 4, July 1984.

(5) R. E. Ziemer, R. L. Peterson, "Digital Communications and Spread Spectrum Systems," McMillian Publishing Company, New York: pp.327-361, 1985.

(6) Draft, "Consideration of Interference from Spread-Spectrum Systems to Conventional Communication Systems" CCIR XIVth Plenary Assembly, Doc. 1/1008-E Report 1/20721 March 1978, Kyoto Japan.

(7) J. Gorski-Popiel, "Frequency Synthesis: Techniques and Applications, IEEE Press, New York: 1975.

(8) F. M. Gardner, "Phaselock Techniques", John Willey & Sons, 1979.

(9) Golomb, "Shift Register Sequences", Horden-Day, Inc., pp 24-59, 1967.



金元厚 (Won Hoo KIM) 正會員
 1935年 2月 1日生
 1955年 4月 ~ 1959年 3月 : 韓國航空大學
 卒業
 1973年 3月 ~ 1975年 2月 : 漢陽大學校大
 學院 (工學碩士)
 1962年 3月 ~ 現在 : 韓國航空大學, 電子
 工學科 教授



田啓石 (Kye Suk JUN) 正會員
 1946年 9月 30日生
 1969年 2月 : 延世大學校電氣工學科卒業
 1973年 2月 : 延世大學校大學院電氣工學
 科卒業 (工學碩士)
 1983年 8月 : 延世大學校大學院電子工學
 科卒業 (工學博士)
 1983年現在 : 慶熙大學校電子工學科副教
 授