♣通信시스템♣

OTA(Operational Transconductance Amplifier)를 이용한 회로망 합성

申 奎 宰·金 東 龍
(전북대학교 공과대학 회로망합성및 필터개발 연구실 교수)

■ 차 례 ■

1. 서 론
2. OTA와 적분기
가. Operational Transumductance Amplifer
나. 적 분 기
3. 기본OTA의 Building Block해석
4. OTA를 이용한 2차Building Block의 설계
가. 새로운 2차Building Block설계법
나. OTA를 이용한 Notch회로 합성
5. OTA를 이용한 능동-C 필터 설계
6. 결 론

1 서 론

능동 RC회로는 직접 RC적을 집적하기 어렵기때문에 일반적으로 continuous-time에서칩상에 설계된 회로를 집적하기 위한 Switched-Capacitor(SC) 회로와 MOSFET-Capacitor (MOSFET-C) 회로가 연구되어 왔다[1~7]. 그러나, continuous-time 신호를 처리하는데 있어서, SC회로는 스윗치, 연산증폭기, 전력계통에서 고주파 잡음이 발생하고, 입·출력 양단에 각기 antialiasing필터와 smoothing 필터가 필요하므로 회로구성이 복잡하다. 또한, MOSFET-C회로는 SC회로의 단점을 해결할 수 있으나, 저항을 MOSFET소자로 대치하기때문에 선형적인 저항으로 동작하기 위한 수정된 fully balanced회로 구조[5, 6]와 MOSFET에 의한 저항 실현 방법이 요구된다[7].

상기의 SC와 MOSFET-C 회로의 문제는 일반적인 연산증폭기대신에 능동소자로써 Voltage Controlled Current Source(VCCS) 방식의 Operational Transconductance Amplifier(OTA)를 사용함으로써 설계회로에 저항소자가 없는 continuous-time 의 능동-C 회로를 설계할 수 있다[10, 12]. 또한, 소자수가 적은 간단한 회로구조와 고주파에 대한 좋은 특성 및 bias전류에 의해 출력상태를 조정할 수 있는 등의 장점을 갖기 때문에 집적하는데 유용하다.

그러므로, 본 해설에서는 먼저 OTA를 이용하여 저항소자가 제거된 상태의 능동-C 적분기 회로를 제시하였고, 2개의 OTA와 2개의 커패시터로만 구성된 2차 Building Block의해석 및 설계법을 다루었다. 또한 설계의 예로써, 이 Building Block을 이용하여 3개의 OTA와 2개의 C로 구성된 필터를 실현하였다. 이 필터는 단지 입력상태(즉 ON 또는 OFF)를 변화시킴으로써 각기 Lowpass, Highpass, Bandpass와Notch필터를 얻을 수 있다.

2 OTA와 적분기

가. Operational Transconductance Amplifier

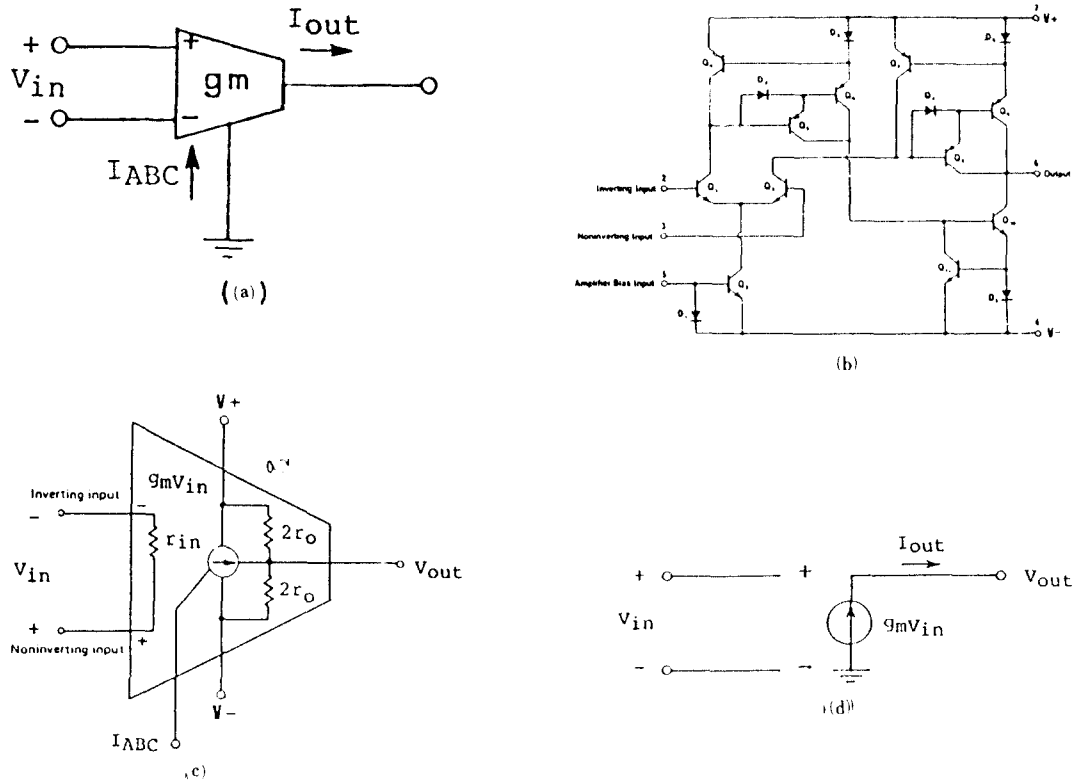


그림 1 OTA. (a) 심볼, (b) CA3080 내부회로, (c) 등가회로, (d) 이상적인 경우($r_{in}=\infty$, $r_o=\infty$)의 등가회로.

그림 1에 OTA의 심볼과 내부회로및 등가회로를 나타냈다. OTA는 일반적인 연산증폭기와 유사하지만 출력측에 전류원 g_mV_{in}과 출력저항 r_o가 병렬로 연결되어 있다는 점이 다르다. 그림 1(b)는 OTA로 제시된 CA3080의 내부회로로써 그림 1(c)에서 $r_{in}=\infty$, $r_o=\infty$로 놓으면 그림 1(d)와 같이 나타낼 수 있다. 이때 출력전류는

$$I_o = g_m \cdot V_{in} \tag{1}$$

이고, transconductance gain g_m은

$$g_m = \frac{I_{out}}{V_{in}} \tag{2}$$

또는

$$g_m = \frac{I_{ABC}}{2V_T} = 19.2 I_{ABC} \tag{3}$$

이다. 여기서 I_{ABC}는 외부에서 공급하는 bias 전류이고, 실온에서 임계전압 $V_T = KT/q = 26mV$이다. 식(3)을 식(1)에 대입하면,

$$I_o = 19.2 I_{ABC} V_{in} \tag{4}$$

이 되므로 출력전류 I_o는 bias 전류 또는 입력전압으로 제어할 수 있다. 그러나 실제적인 경우 선형적인 동작을 위해 V_c는 $V_T/2$를 초과해서는 안된다[1]. 또한 V_c가 0.7V미만인 경우에 Q_3의 베이스-에미터 접합의 고입력저항때문에 g_m

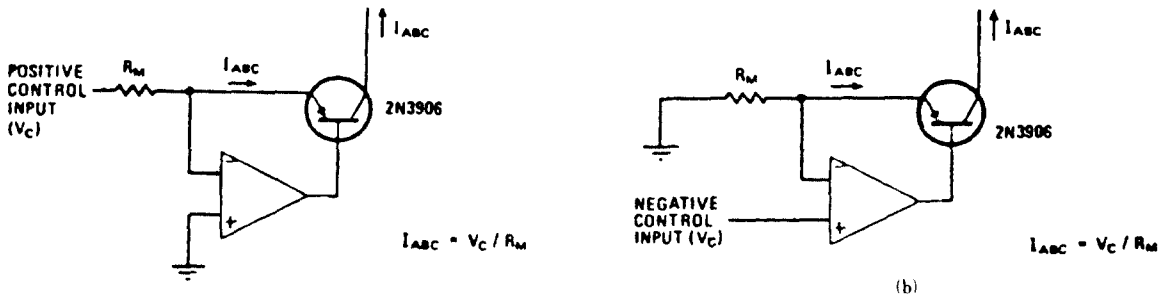


그림 2 선형적인 g_m값을 얻기위한 VCT 입력 bias 회로
(a) V_C가 +인 경우, (b) V_C가 −인 경우

은 비선형 특성을 갖는다. 따라서 그림 2 와 같은 Voltage-to-Current Transducer(VCT)를 사용하여 입력 bias 전류를 조절함으로써 선형적인 범위를 확장시킬 수 있다[3].

나. 적 분 기

그림 3 은 적분기들을 나타낸 것으로써, (a)는 능동-RC회로이고, (b)는 집적화를 위해 저항을 스윗칭 주기와 커패시턴스로 모의한 SC 회로이다[1, 3]. 또한 SC회로의 문제를 해결하기 위하여 (c)와 (d)의 방법이 이용되었는데, 이 회로의 구성소자가 MOSFET와 커패시터로만 구성되기 때문에 MOSFET-C회로라 부른다. 여기서 (c)는 저항을 활성영역에서 동작하는 MOSFET로 대치시킬 경우에 발생하는 MOSFET의 비선형 저항특성을 제거하기 위해 fully balanced 회로로 실현한 것이다[2, 5]. 또한 (d)는 선형저항 특성을 갖도록 2 개의 MOSFET를이용하여 저항을 설계한 회로이다[8]. OTA를 이용한 적분기 회로를 살펴보면 그림 1 (e)와 같다.

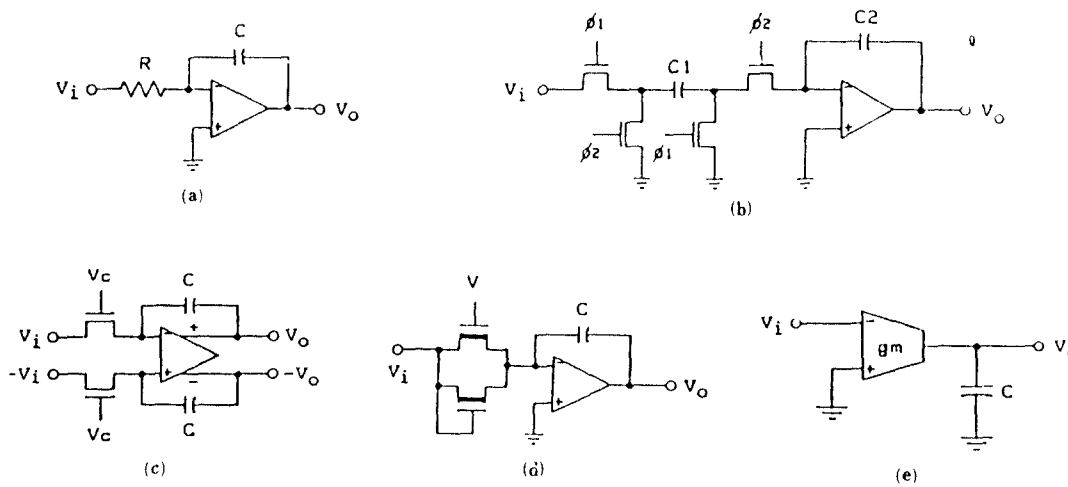


그림 3 적분기. (a) 능동-RC 적분기, (b) SC 적분기, (c) fully balanced 적분기, (d) 2 개의 MOSFET로 선형저항을 모의한 적분기, (e) OTA와 C로 구성된 능동-C 적분기

(e)회로는 (a)의 능동-RC회로에서 저항이 제거되므로 능동-C 회로라 부르며, 다른 적분기회로보다 간단함을 알 수 있다. 뿐만아니라 입력 임피던스가 크기 때문에 종속연결시 출력단에 buffer가 필요없다는 장점도 갖는다. 이 적분회로의 전달함수 V_0/V_i 는

$$\frac{V_0}{V_i} = -\frac{g_m}{SC} = \frac{-I_{ABC}}{2SCV_T} \quad (5)$$

이므로, 이득은 bias 전류 I_{ABC}에 비례하게 된다.

실제적인 경우 OTA는 일반적인 연산증폭기와 마찬가지로 transconductance gain은 OTA의 자체 특성에 의해 roll-off 특성을 갖는다. 그러나, CA3080의 경우에 3 dB 대역폭은 2 MHz이므로 이 범위 내의 이상적인 영역에서만 동작하는 것으로 가정하고 2 차 Building Block을 설명하고자 한다. 먼저 능동-C회로의 해석을 위해 기본적인 OTA의 기본 Building Block들을 해석해 본다.

[3] 기본 OTA의 Building Block해석

기본적인 OTA의 해석의 예로써 그림 4 에 반전회로와 비반전 회로 각기 들고 그림 4 (c)에 회로 전체가 OTA로 구성된 증폭기 회로를 제시한다.

먼저 반전 증폭기 그림 4 (a)의 회로는 (b)와같은 등가회로로 나타낼 수 있으며, 여기서 출력전압 $V_0 = -g_m R_L V_i$이므로 전달함수는

$$\frac{V_0}{V_i} = -g_m R_L \quad (6)$$

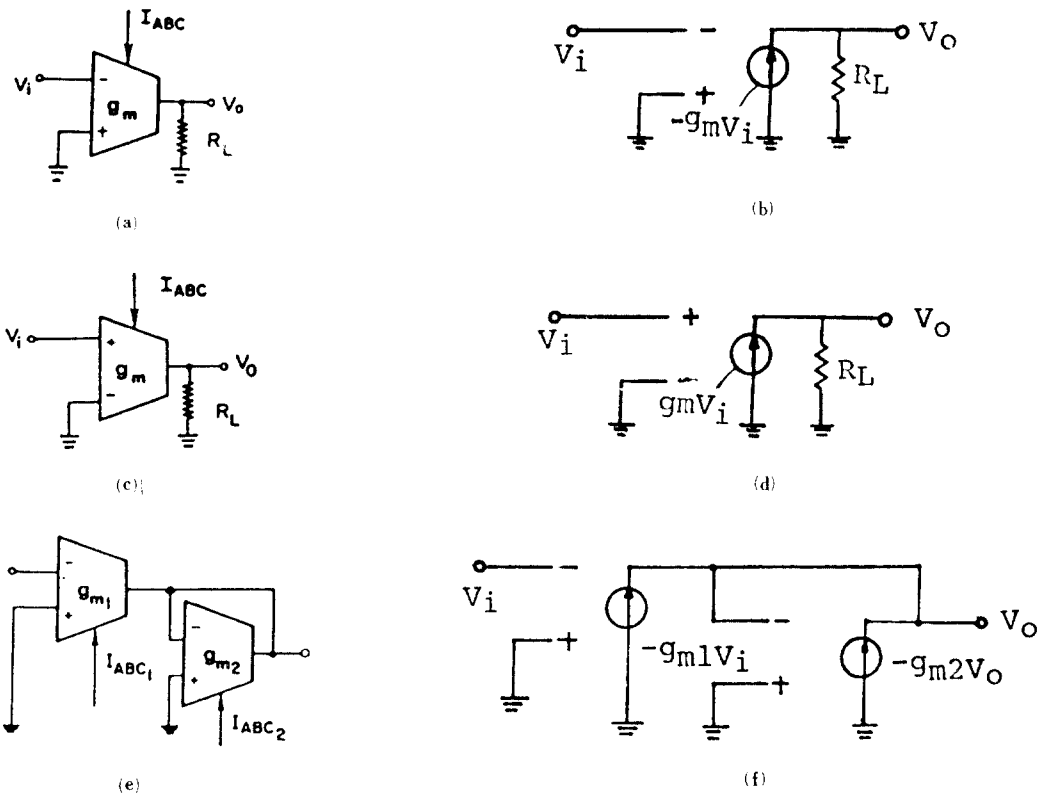


그림 4 기본 OTA의 Building Block 해석도.

이다. 출력임피던스 Z_0는 입력전압 V_i를 0으로 놓으면, 종속전류원은 개방되어

$$Z_0 = R_L \tag{7}$$

이 된다.

비반전 증폭기 경우에서도 상기의 반전 증폭기와 동일한 해석으로 그림 4(c), (d)와 같으며, 전달함수와 출력임피던스는 다음과 같다.

$$\frac{V_0}{V_i} = g_m R_L \tag{8}$$

$$Z_0 = R_L \tag{9}$$

(a)와 (c)회로의 단점은 출력임피던스가 크므로 buffer와 feedback 증폭기 회로로 개선하여 해결할 수 있다. 또한 상기 회로 내의 저항은 (e)와 같은 방법, 즉 OTA를 이용하여 등가회로를 구성할 수 있으며, 이 회로는 수동소자가 없으므로 집적하기에 유리하다. 또한 이득을 g_{m1} 또는 g_{m2}로 조절할 수 있고, 동일칩내에 두 OTA가 들어 있는 경우, g_m의 온도에 따른 변화 요소들이 삭제된다.

(e) 회로의 전달함수는 절점에서 KCL을 적용하면

$$g_{m1} V_i + g_{m2} V_0 = 0 \tag{10}$$

과 같고, 이때의 전달함수는 다음과 같다.

$$\frac{V_0}{V_i} = -\frac{g_{m1}}{g_{m2}} \tag{11}$$

출력임피던스를 구하기 위해 $V_i = 0$로 놓으면

$$Z_0 = \frac{1}{g_{m2}} \tag{12}$$

이다. 다음으로 OTA으로 구성되는 임피던스 요소들에 대해서 살펴보자.

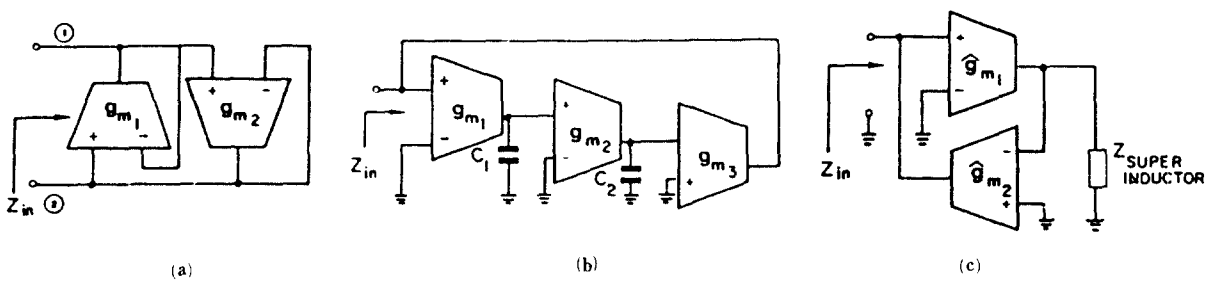
그림 5(a) 회로는 floating Voltage Variable Resistor를 모의한 회로이며, 만약 $g_{m1} = g_{m2} = g_m$이면 입력임피던스 Z_{in}는

$$Z_{in} = \frac{1}{g_m} \tag{13}$$

과 같이 모의할 수 있다. 다음으로 수동소자인 인덕터는 그림 5(b)와 같은 회로 구성에 의하여 설계할 수 있으며, 이 회로의 해석은 그림 4에서 적용했던 해석법에 의하여 다음과 같은 결과를 얻을 수 있다.

$$Z_{in} = \frac{S^2 C_1 C_2}{g_{m1} g_{m2} g_{m3}} \tag{14}$$

다음의 (c)회로는 FDNR(Frequency Dependent Negative Resistor)를 설계한 것이며, 이 회로의 임피던스는



(a) (b) (c)

그림 5 Variable Resistor
(a) floating voltage
(b) super inductor
(c) FDNR

$$Z_{in}=\frac{g_{m1}\,g_{m2}\,g_{m3}}{S^2\,C_1\,C_2\,g_{m1}\,g_{m2}} \tag{15}$$

로 실현할 수 있다.

상기에서 언급된 그림4와 5의 회로를 회로 설계시에 이용할 경우, 회로 구성 소자가 OTA와 커패시터만으로 구성되었기 때문에 집적하는데 유용하다.

4 OTA를 이용한 2차 Building Block의 설계

가. 새로운 2차 Building Block설계법

최소개의 소자를 이용하여 2차 필터를 설계하기 위해서는 OTA 2개와 커패시터 2개가 필요하다. 따라서 2개의 OTA와 2개의 커패시터를 사용하여 여러 형태의 2차 Building Block을 얻기 위해서는 다음과 같은 전달함수를 만족해야 한다.

$$\frac{V_0}{V_i}=\frac{dS^2+eS+f}{aS^2+bS+c} \tag{16}$$

$$V_0=\frac{dS^2V_i+eSV_i+fV_i}{aS^2+bS+c} \tag{17}$$

여기서, $V_i=V_1, V_2, V_3$이고, a~f는 임의의 상수이다. 그러므로 윗식을 설계하기 위하여 다음과 같은 합성 절차를 따른다.

1) 파라미터를 설정한다. 본 절에서는 2개의 커패시터로 설계하므로 4개의 파라미터, 즉 g_{m1}, g_{m2}, C_1, C_2가 존재하게 된다[이때 파라미터는 어드미턴스로 Y_i (i=1, 2, 3, 4)로잡는다].

2) 식(16)을 만족할 수 있는 행렬을 구하고, 식(16)을 만족시키도록 파라미터를 설정하여 행렬에 대입한다.

3) 2)에서 구한 행렬은 각 절점(OTA의 출력단자)에서 세운 KCL 방정식이므로 각 방정식으로 부터 같은 변수끼리 묶어 방정식을 다시 쓴다.

4) 3)에서 구한 방정식을 토대로 회로를 설계한다. 이때 입력전압 V_i와 연결된 곳에 V_i (i=1, 2, 3)로 임의의 전압을 표기한다. 여기서 표기된 V_1, V_2, V_3는 입력을 선택하는 기준이 되는 것으로 입력에 따라 여러가지 형태의 Buildizg Block을 구할 수 있다.

위에 제시된 합성절차에 따라 여러 형태의 Building Block을 설계하기 위하여 다음과 같은 행렬식을 구한다.

$$\begin{bmatrix} -(Y_1+Y_3) & Y_1 \\ -Y_4 & Y_2+Y_4 \end{bmatrix}\begin{bmatrix} V_1 \\ V_0 \end{bmatrix}=\begin{bmatrix} -Y_3 \\ Y_2 \end{bmatrix}\cdot V \tag{18}$$

$$\begin{bmatrix} Y_1+Y_3 & -Y_1 \\ Y_4 & -(Y_2+Y_4) \end{bmatrix}\begin{bmatrix} V_1 \\ V_0 \end{bmatrix}=\begin{bmatrix} Y_3 \\ -Y_2 \end{bmatrix}\cdot V \tag{19}$$

$$\begin{bmatrix} Y_1 & -(Y_1+Y_3) \\ Y_2+Y_4 & -Y_4 \end{bmatrix}\begin{bmatrix} V_1 \\ V_0 \end{bmatrix}=\begin{bmatrix} -Y_3 \\ Y_2 \end{bmatrix}\cdot V \tag{20}$$

$$\begin{bmatrix} -Y_1 & Y_1+Y_3 \\ -(Y_2+Y_4) & Y_4 \end{bmatrix}\begin{bmatrix} V_1 \\ V_0 \end{bmatrix}=\begin{bmatrix} Y_3 \\ -Y_2 \end{bmatrix}\cdot V \tag{21}$$

여기서 Y_i (i=1, 2, 3, 4)는 g_{m1}, g_{m2}, SC_1, SC_2이고 V는 임의의 절점전압이다.

이들 행렬식은 다음과 같은 전달함수 식을 갖는다.

$$\frac{V_0}{V_i}=\frac{Y_1Y_2+Y_2Y_3+Y_3Y_4}{Y_1Y_2+Y_2Y_3+Y_3Y_4} \tag{22}$$

따라서

$$Y_1=g_{m1},\quad Y_2=g_{m2},\quad Y_3=SC_1,\quad Y_4=SC_2 \tag{23}$$

또는

$$Y_1=SC_1,\quad Y_2=SC_2,\quad Y_3=g_{m1},\quad Y_4=g_{m2} \tag{24}$$

일때 식(16)과 같은 전달함수를 얻을 수 있다. 즉 파라미터를 식(23)와 식(24)와 같이 택할 경우 각기 다음과 같은 전달함수를 갖게 된다.

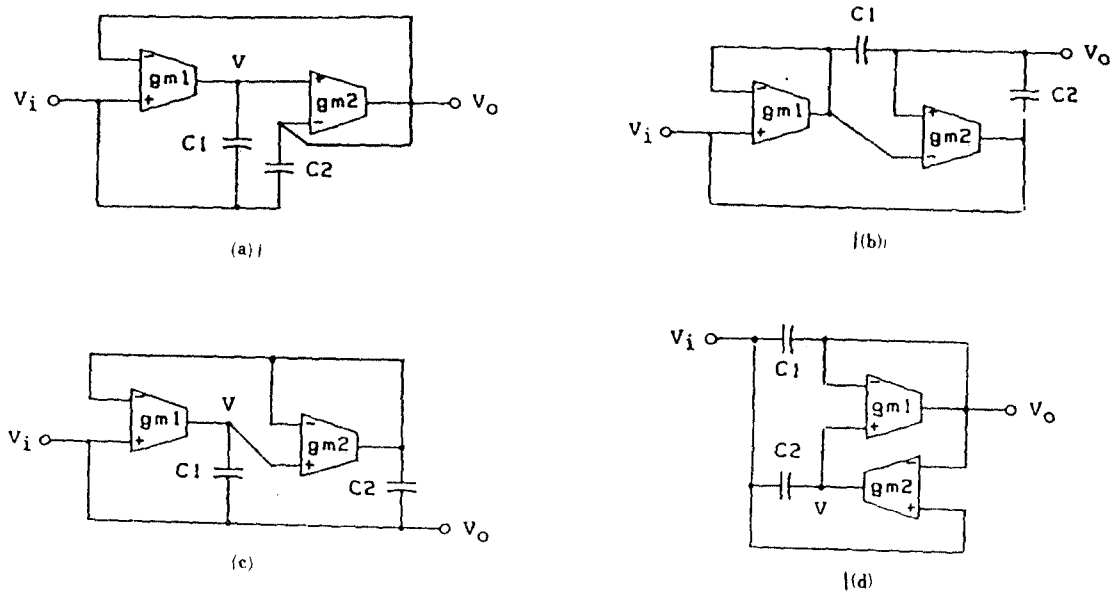


그림 6 2개의 OTA와 2개의 커패시터를 이용한 2차 필터 (a) 식(27)의 경우 (b) 식(28)의 경우 (c) 식(29)의 경우 (d) 식(30)의 경우

$$\frac{V_0}{V_i}=\frac{S^2C_1C_2+SC_1g_{m2}+g_{m1}g_{m2}}{S^2C_1C_2+SC_1g_{m2}+g_{m1}g_{m2}} \tag{25}$$

$$\frac{V_0}{V_i}=\frac{S^2C_1C_2+SC_2g_{m1}+g_{m1}g_{m2}}{S^2C_1C_2+SC_2g_{m1}+g_{m1}g_{m2}} \tag{26}$$

따라서 식(23)을 식(18), (20)에 대입하고, 식 (24)를 식(19), (21)에 대입하여 합성절차 3)에 따라 방정식을 정리하면,

식(18)의 경우 :

$$\begin{aligned}&-g_{m1}(V_i-V_0)+SC_1(V-V_0)=0\\&-g_{m2}(V-V_0)+SC_2(V_0-V_i)=0\end{aligned} \tag{27}$$

식(19)의 경우 :

$$\begin{aligned}&-g_{m1}(V-V_i)+SC_1(V_i-V_0)=0\\&-g_{m2}(V_0-V_i)+SC_2(V-V_0)=0\end{aligned} \tag{28}$$

식(20)의 경우 :

$$\begin{aligned}&-g_{m1}(V_0-V_i)+SC_1(V-V_0)=0\\&-g_{m2}(V-V_i)+SC_2(V_i-V_0)=0\end{aligned} \tag{29}$$

식(21)의 경우 :

$$\begin{aligned}&-g_{m1}(V-V_0)+SC_1(V_0-V_i)=0\\&-g_{m2}(V_i-V_0)+SC_2(V-V_i)=0\end{aligned} \tag{30}$$

와 같다. 윗식들은 모두 KCL 방정식이므로 각 방정식에 따라 회로를 합성하면 그림 6과 같은 회로를 각기 설계할 수 있으므로, 합성절차 4)에 따라 입력전압과 연결된 부분에 V_1, V_2, V_3를 표기하면 그림 7과 같다. 이 경우의 Building Block에 대한 입력상태 변화에 따른 함수식을 표 1에 제시하였다.

나. OTA를 이용한 Notch회로 합성

OTA를 이용하여 Symmetrical Notch(SN) 회로를 합성하기 위한 식은 다음과 같다.

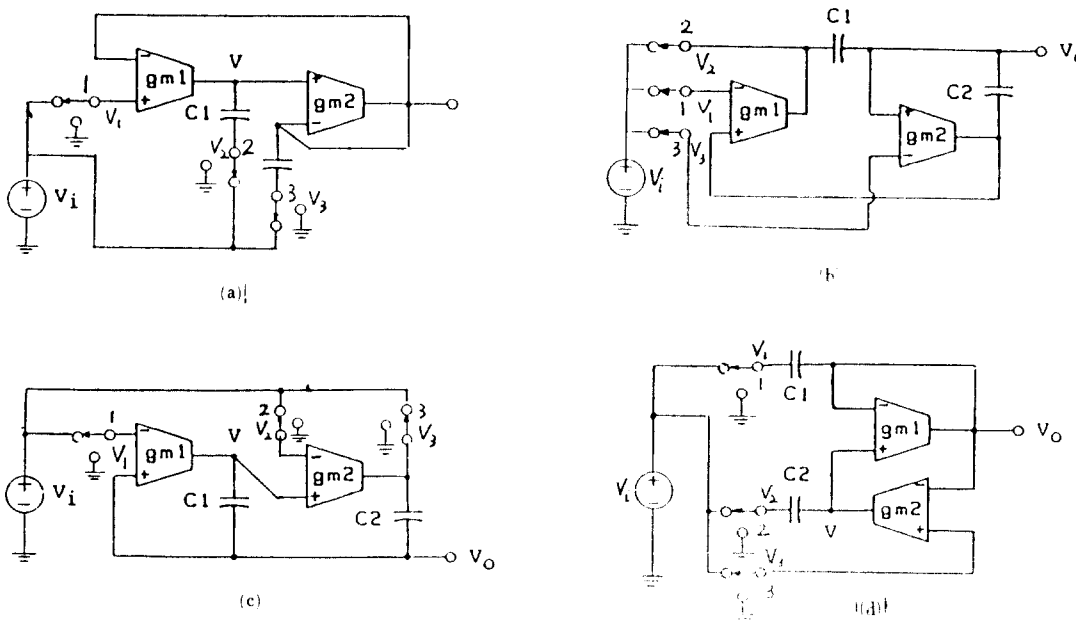


그림 7　그림 6에 대한 입력에 따른 상태를 나타낸 회로. (a) 그림 6(a)의 회로 (b) 그림 4(b)의 회로 (c) 그림 6(c)의 회로 (d) 그림 6(d)의 회로

표 1　입력에 따른 필터형태 및 함수[그림 7(a)와 (c)의 경우 분모다항식은 $s^2C_1C_2 + sC_1g_{m2} + g_{m1}g_{m2}$ 이고, 그림 5(b)와 (d)의 경우 분모다항식은 $s^2C_1C_2 + sC_2g_{m1} + g_{m1}g_{m2}$ 이다]

필터형태	그림 5(a)의 회로			그림 5(b)의 회로			그림 5(c)의 회로			그림 5(d)의 회로		
	분자다항식	입력절점	접지점	분자다항식	입력절점	접지점	분자다항식	입력절점	접지점	분자다항식	입력절점	접지점
Lowpass	$g_{m1}g_{m2}$	1	1,3	$g_{m1}g_{m2}$	3	1,2	$g_{m1}g_{m2}$	1	2,3	$g_{m1}g_{m2}$	3	1,2
Bandpass	$s^2C_1C_2$	3	1,2	$s^2C_1C_2$	2	1,3	sC_1g_{m2}	3	1,2	$s^2C_1C_2$	1	2,3
Highpass	sC_1g_{m2}	2	1,3	sC_2g_{m1}	1	2,3	$s^2C_1C_2$	2	1,3	sC_2g_{m1}	2	1,3
Notch	$s^2C_1C_2 + g_{m1}g_{m2}$	1,3	2	$s^2C_1C_2 + g_{m1}g_{m2}$	2,3	1	$s^2C_1C_2 + g_{m1}g_{m2}$	1,3	2	$s^2C_1C_2 + g_{m1}g_{m2}$	1,3	2

$$\begin{pmatrix} -A & A \\ -D & D+B \end{pmatrix}\begin{pmatrix} V_i \\ V_o \end{pmatrix} = \begin{pmatrix} -C \\ B \end{pmatrix}V \qquad (31)$$

이때 전달함수는

$$\frac{V_o}{V_i} = \frac{AB+CD}{AB+BC+CD}$$

이고, 여기서 만약 $A=g_{m1}$, $B=g_{m2}$, $C=C_1S$, $D=C_2S$ 또는 $A=C_2S$, $B=C_1S$, $C=g_{m2}$, $D=g_{m1}$ 이면

$$\frac{V_o}{V_i} = \frac{S^2C_1C_2 + g_{m1}g_{m2}}{S^2C_1C_2 + SC_1g_{m2} + g_{m1}g_{m2}} \qquad (32)$$

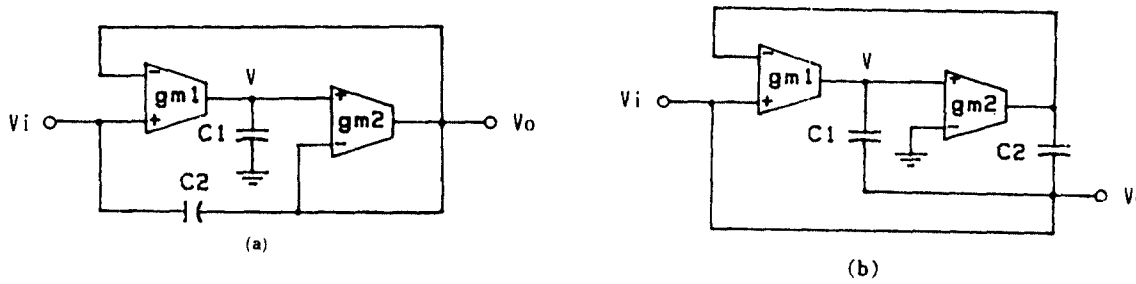


그림 8 2개의 OTA와 2개의 C를 사용한 SN회로
(a) $A=g_{m1}$, $B=g_{m2}$, $C=C_1s$, $D=C_2s$인 경우
(b) $A=C_2s$, $B=C_1s$, $C=g_{m2}$, $D=g_{m1}$인 경우

가 된다. 그러므로 각각 그림 8(a), (b)와 같은 회로를 설계할 수 있다.

식(32)에서는 Highpass Notch(HPN)와 Lowpass Notch(LPN)를 얻을 수 없지만 OTA인 g_{m3}를 추가하여 HPN과 LPN를 합성할 수 있다. 먼저 그림 8(a)의 회로에서 OTA인 g_{m3}를 넣어 HPN과 LPN회로를 합성하면 각각 그림 9(a), (b)와 같고, 이때의 전달함수를 구하면 다음과 같다.

$$\frac{V_o}{V_i}=\frac{S^2C_1C_2+g_{m1}g_{m2}}{S^2C_1C_2+SC_1g_{m2}+g_{m2}(g_{m1}+g_{m3})} \tag{33}$$

$$\frac{V_o}{V_i}=\frac{S^2C_1C_2+g_{m2}(g_{m1}+g_{m3})}{S^2C_1C_2+SC_1g_{m2}+g_{m1}g_{m2}} \tag{34}$$

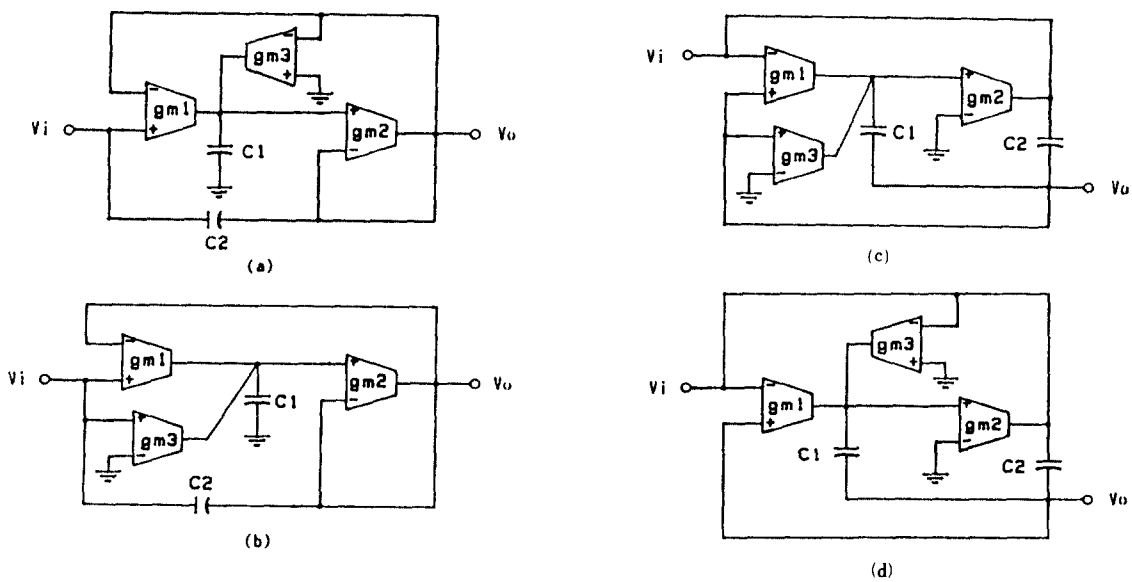


그림 9 3개의 OTA와 2개의 C를 사용한 HPN과 LPN회로
(a) HPN (b) LPN (c) HPN (d) LPN

한편 그림 8(b)에서도 마찬가지로 OTA인 g_{m3}를 넣어 HPN과 LPN 회로를 합성할 수 있다. 이를 그림 9(c), (d)에 제시하였으며, 이 회로의 전달함수는 각기 다음과 같다.

$$\frac{V_0}{V_1} = \frac{S^2C_1C_2 + g_{m1}g_{m2}}{S^2C_1C_2 + SC_1g_{m2} + g_{m2}(g_{m1} + g_{m3})} \tag{35}$$

$$\frac{V_0}{V_1} = \frac{S^2C_1C_2 + g_{m2}(g_{m1} + g_{m3})}{S^2C_1C_2 + SC_1g_{m2} + g_{m1}g_{m2}} \tag{36}$$

그림 9 회로의 전달함수와 중심주파수 f_0를 요약하면 표 2 와 같다.

SN회로의 크기특성을 좋게하기 위해서는 주파수가 증가함에 따라 분모항의 크기가 감소됨을 방지해야 하므로 표 2 에서 적절한 소자값을 구한다. 분모의 크기를 구하면

$$|S^2C_1C_2 + SC_1g_{m2} + g_{m1}g_{m2}|_{s=jw} = \sqrt{W^4C_1^2C_2^2 - 2W^2C_1C_2g_{m1}g_{m2} + g_{m1}^2g_{m2}^2 + W^2C_1^2g_{m2}^2} \tag{37}$$

이므로 W^2항을 제거하는 소자값을 취하기 위해

$$C_1 = C_2 = 10\text{pF}$$

으로 정하면

$$g_{m2} = 2\,g_{m1}$$

의 값을 만족하는 값을 구해야 하므로

$$g_{m1} = 0.4443\,\mu\text{mh}_0$$

$$g_{m2} = 0.8886\,\mu\text{mh}_0$$

를 택한다. 이는 표 2 에 있는 SN의 중심주파수 f_0의 값을 10KHz로 정한 것이다. 그리고 HPN과 LPN의 경우,

$$C_1 = C_2 = 10\text{pF}$$

$$g_{m1} = 0.4443\,\mu\text{mh}_0$$

$$g_{m2} = 0.8886\,\mu\text{mh}_0$$

로 가정하고 g_{m3}를 변화시키면서 시뮬레이션한 결과는 그림10과 같다. 이 결과로부터 HPN 과 LPN의 경우, g_{m3}의 변화에 따라 gain이 각각 저주파영역에서 조절됨을 알 수 있다.

5 OTA를 이용한 능동-C 필터 설계

OTA 3개와 2개의 커패시터를 사용하여 능동-C 필터를 설계한다. 이 필터는 단지 입력상태(즉 ON 또는 OFF)를 변화시킴으로써 각기 Lowpass, Highpass, Bandpass와 Notch 필터를 얻을 수 있다.

이 필터는 그림11과 같으며, 출력이 V_6, V_7이라고 할 때 전달함수는 각각 식(38)과 (39)와 같다.

표 2 Notch회로의 전달함수와 중심주파수

Notch회로의 형태	분 모 다 항 식	분 자 다 항 식	중심주파수, f_0
SN[식(3)]	$s^2C_1C_2 + sC_1g_{m2} + g_{m1}g_{m2}$	$s^2C_1C_2 + g_{m1}g_{m2}$	$\frac{1}{2\pi}\sqrt{\frac{g_{m1}g_{m2}}{C_1C_2}}$
HPN[식(4, 6)]	$s^2C_1C_2 + sC_1g_{m2} + g_{m2}(g_{m1} + g_{m3})$	$s^2C_1C_2 + g_{m1}g_{m2}$	$\frac{1}{2\pi}\sqrt{\frac{g_{m2}(g_{m1} + g_{m3})}{C_1C_2}}$
LPN[식(5, 7)]	$s^2C_1C_2 + sC_1g_{m2} + g_{m1}g_{m2}$	$s^2C_1C_2 + g_{m2}(g_{m1} + g_{m3})$	$\frac{1}{2\pi}\sqrt{\frac{g_{m1}g_{m2}}{C_1C_2}}$

$$\frac{V_6}{V_1}=\frac{S^2C_1C_2K_4+SC_2[g_{m1}(K_1-K_2)+g_{m3}K_5]+g_{m1}g_{m2}K_3}{S^2C_1C_2+SC_2g_{m3}+g_{m1}g_{m2}}$$

$$\frac{V_7}{V_1}=\frac{S^2C_1C_2+S[C_1g_{m2}(K_4-K_3)+C_2g_{m3}K_2]+g_{m2}[g_{m1}K_1+g_{m3}(K_5-K_3]}{S^2C_1C_2+SC_2gm_3+g_{m1}g_{m2}}$$

상기의 식에서 K_i (i= 1, 2, …, 5)는 입력전압에 연결되는 점의 절점을 나타낸 것으로 V_i와 연결될 경우는 1이고, 접지될 경우에는 0인 값을 갖게 된다.

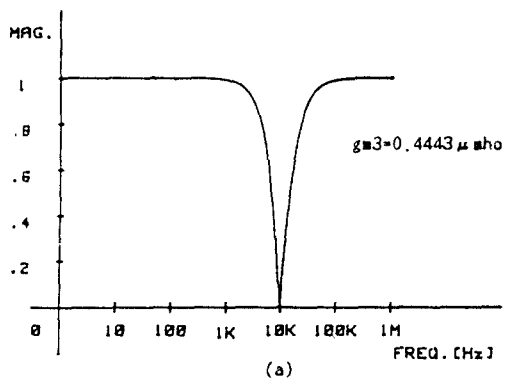
표 3은 입력상태에 따른 필터의 형태 및 함수를 나타낸 것이다.

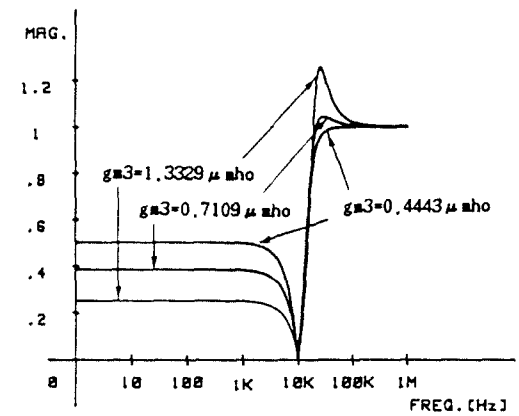
이 회로에서 $C_1=C_2=130$nF, $I_1=I_2=40\,\mu$A [즉 $g_{m1}=g_{m2}=1.54$mmho]로 놓고 $I_3=5$, 10, 20, 40, 80 μA [즉, $g_{m3}=0.192$, 0.384, 0.768, 1.54, 3.072mmho]로 변화시키면서 시뮬레이션한 결과를 그림12에 제시하였다.

상기에서 설계된 능동-C 필터는 OTA로 구성되었기 때문에 고주파수에서 좋은 특성을 갖고, bias 전류에 의해 출력상태를 조정할 수 있으며, 소자수가 적은 간단한 회로구조와 소비전력이 작다는 등의 장점을 갖으므로 집적하는데 유용하다.

6 결 론

본 해설에서는 먼저 Operational Transconductance Amplifier(OTA)를 이용한 능동-C 적분기 회로와 기본적인 반전 및 비반전 증폭기의 해석을 통하여 저항이 제거된 상태의 회로를 실현하였다. 다음으로 2개의 OTA와 2개의 커





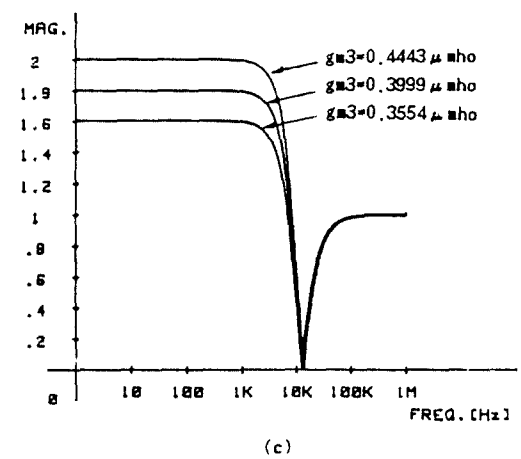


그림10 Notch회로의 크기 특성
(a) SN의 경우[그림 8. (a), (b)]
(b) HPN의 경우[그림 9. (a), (c)]
(c) LPN의 경우[그림 9. (b), (d)]

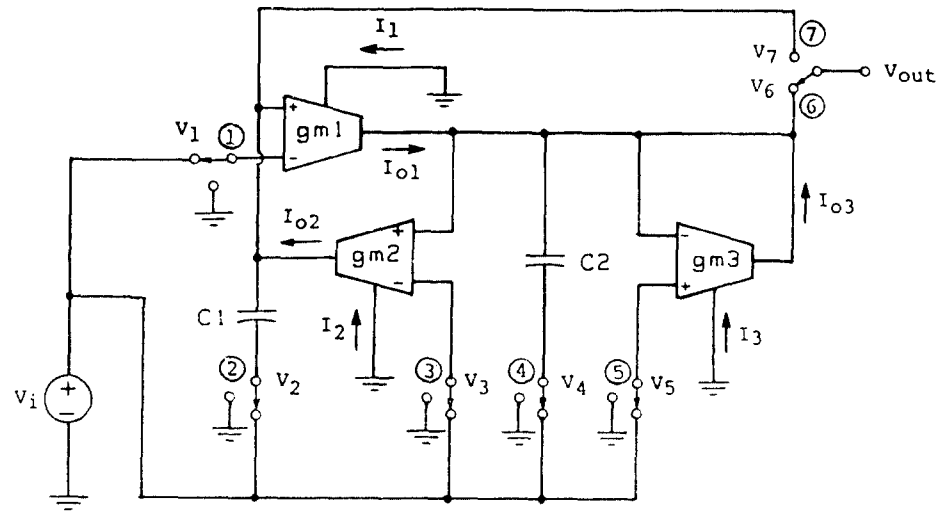
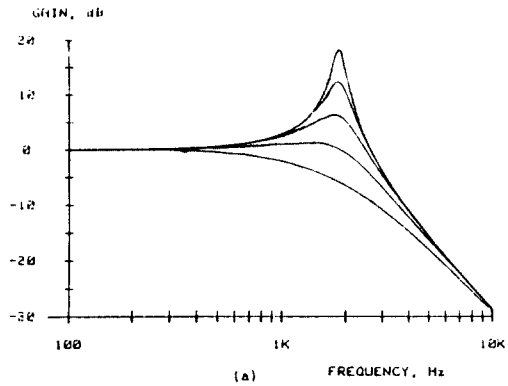


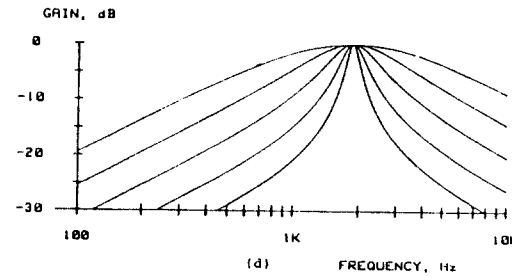
그림11 H. S. Malvar[10]가 제시한 회로

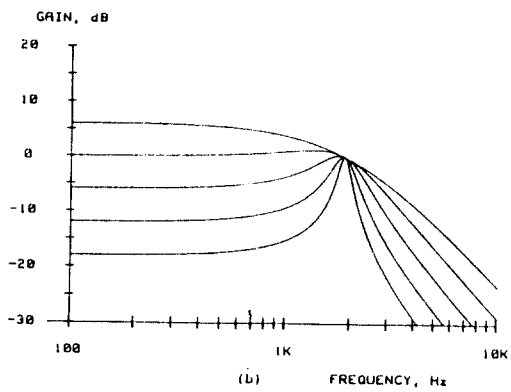
패시터로만 구성된 2차 Building Block의 해석 및 설계법을 제시하였고, 이를 이용하여 Notch회로와 프로그램이 가능한 능동-C 필터를 제시하였다. 이 회로들은 커패시터와 transconductance 이득에 의해 중심주파수를 가변할 수 있으며, 또한 제시한 Notch회로를 cascade 형태로 구성함으로써 고차함수의 필터를 설계할 수 있다.

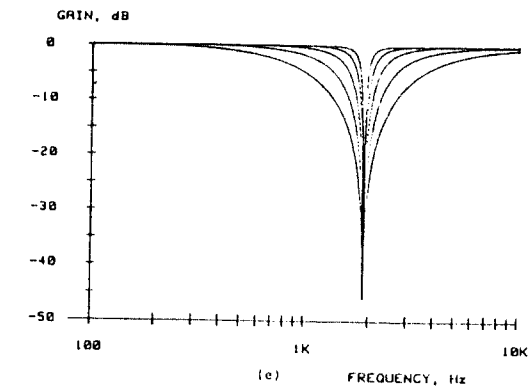
표 3 그림11의 입력에 따른 필터형태 및 함수[분모다항식 : $s^2C_1C_2 + sC_2g_{m3} + g_{m1}g_{m2}$]

필터 형태	분자다항식	입력점점 $K_i = 1$ ($i = 1, 2, 3, 4, 5$)	출력단자	접지점 $K_i = 0$ ($i = 1, 2, 3, 4, 5$)
Lowpass 1	$g_{m1}g_{m2}$	3	6	1, 2, 3, 5
		1	7	2, 3, 4, 5
Lowpass 2	$g_{m2}g_{m3}$	5	7	1, 2, 3, 4
Lowpass 3	$g_{m2}(g_{m1} + g_{m3})$	1, 5	7	2, 3, 4
Bandpass 1	sC_2g_{m1}	1	6	2, 3, 4, 5
Bandpass 2	sC_2g_{m3}	5	6	1, 2, 3, 4
		1, 2, 5	6	3, 4
Bandpass 3	$sC_2(g_{m1} + g_{m3})$	1, 5	6	2, 3, 4
Bandpass 4	sC_1g_{m2}	4	7	1, 2, 3, 5
Highpass	$s^2C_1C_2$	4	6	1, 2, 3, 5
Notch	$s^2C_1C_2 + g_{m1}g_{m2}$	3, 4	6	1, 2, 5
		1, 2, 3, 4	6	5









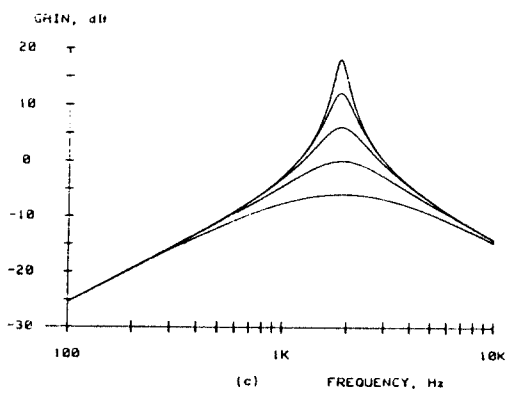


그림12
(a) 그림11의 Lowpass 1 (b) 그림11의 Lowpass 2
(c) 그림11의 Bandpass 1 (d) 그림11의 bandpass 2
(e) 그림11의 Notch

이들 회로는 집적하기 위한 방법으로 사용된 Switched-Capacitor(SC)와 MOSFET-Capacitor 기법의 문제점을 OTA로 구성된 간단한 회로구조로써 해결할 수 있으며, continuous-time 상에서 직접 VLSI화 할 수 있는 장점을 갖는다. .

그러나, OTA는 차입력 전압(differential input voltage)의 선형 범위가 좁으므로 이에 따른 연구가 계속되어야 할 것이다.

참 고 문 헌

1. R. Gregorian and G.C. Temes, "Analog MOS Integrated Circuits for Signal Processing.., John Wiley & Sons, N.Y., chapt. 3,7,8, 1986.
2. Y. Tsividis and P. Antognetti, "Design of MOS VLSI Circuits for Telecommunications", Prentice-Hall, Englewood Cliffs, N.J., chapt. 9,10,11, 1985.
3. P.E. Allen and E. Sanchez-Sinencio, "Switched Capacitor Circuits", Van Nostrand Reinhold, N.Y., chapt.2,3,5,8, 1994.
4. R. Castello and P.R. Gray, "Performance Limitations in Switched-Capacitor Filters", IEEE Trans. Circuits and Systems, vol. CAS-32, no.9, pp.865-876, Sept. 1985.
5. M. Banu and Y. Tsividis, "Fully Integrated Active RC Filters in MOS Technology", IEEE J. Solid-State Circuits, vol.SC-18, pp.644-651, Dec. 1983.
6. J.M. Khoury and Y.P. Tsividis, "Analysis and Compensation of High-Frequency Effects in Integrated MOSFET-C Continuous-Time Filters", IEEE Trans. Circuits and Systems, vol.CAS-34, no.8, pp.862-875, Aug. 1987.
7. Y. Tsividis, M. Banu and J. Khoury, "Continuous-Time MOSFET-C Filters in VLSI", IEEE Trans. Circuits and Systems, vol.CAS-33, no.2, Feb. 1986.
8. I.S. Han and S.B. Park, "Voltage-Controlled Linear Resistor by Two MOS Transistors and its Application to Active RC Filter MOS Integration", Proc. IEEE, vol.72, no.11, pp.1655-1657, Nov. 1984.
9. J.N. Babanezhad and G.C. Temes, "A Linear NMOS Depletion Resistor and Its Application in an Integrated Amplifier", IEEE J. Solid-State Circuits, vol.SC-19, pp.932-938, Dec. 1984.
10. H.S. Malvar, "Electronically Controlled Active-C Filters and Equalizers with Operational Transconductance Amplifiers", IE EE Trans. Circuits and Systems, vol.CAS-41, no.7, pp.645-649, July 1984.
11. W.G. Jung, "IC op-amp Cookbook", Howard W. Sams, Indiana, pp.440-473, 1974.
12. H.S. Malvar, "Electronically Tunable Active Filters with Operational Transconductance Amplifiers", IEEE Trans. Circuits and Systems, vol.CAS-29, no.5, pp.333-336, May 1982.
13. S. Weber, "Electronic Circuits Note Book Proven Design for Systems Applications", McGraw-Hill, N.Y., pp.248, 1981.

申 奎 宰

저자약력

- 1962년 12월 7일생.
- 1985. 2 : 원광대학교 전자공학과(공학사)
- 1988. 2 : 전북대학교 전기공학과(공학석사)

金 東 龍

저자약력

- 1945년 7월 31일생
- 1967. : 전북대학교 전기공학과 졸업
- 1974. : 전북대학교 대학원 전기공학과(석사)
- 1985. : 카나다 마니토바 대학교 전기공학과 (박사)
- 1983. 10 : 전북대학교 전기공학과 부교수
- 1986. 10 : 전북대교 전자계산소장

♧용 어 해 설♧

●**분배 증폭기**(distributing amplifier) : 하나의 신호를 복수의 회로에 일정한 출력 레벨로 분배하기 위하여 사용되는 증폭기로서 일반적으로 반송 공급 장치에 이용되고 있으며, 이 경우 반송파 여파기와 조합되어 일종의 동조 증폭기로서 동작하고, 여러 반송파를 일정한 출력 레벨로 분배한다.

●**분산 처리**(decentralized processing) : 중앙의 대형 컴퓨터에 의한 집중 처리와는 달리 지점, 영업소, 공장 등 데이터의 발생 장소에서 처리를 하는 방식으로서 최근의 온라인 실시간 시스템의 일반화와 고성능의 소형 컴퓨터의 출현을 바탕으로 실용화되고 있다. 그러나 현행 방식은 완전한 분산 방식이 아니며, 집중과 분산의 장점을 취한 겸용 방식이 널리 이용되고 있다.

●**분포 용량**(distributed capacity) : 정전 용량이 특정한 곳에 집중하지 않고 넓은 범위에 분포한 것을 뜻한다. 이를테면 통신 선로와 대지 사이의 정전 용량 등이 이에 속한다.

●**분해 시간**(resolving time) : 전파 항법 장치로 시간을 측정하는 경우 2개의 현상을 명확히 분리 식별할 수 있는 최소 시간 간격.