

ASIC CAD Tool 의 개발현황

鄭 鎬 宣

(경북대학교 전자공학과 부교수)

■ 차례 ■

1. 서 론	5. CIF Extractor (KUIC-DIP)
2. KUIC CAD System	가. KUIC-DIP 시스템의 구성
3. Layout Editor (KUIC-LED)	나. 문턱값 처리 기법
가. KUIC-LED 시스템의 구성	다. 경계선 추출
나. 사용자 인터페이스	라. 세션화 및 잡음가지 제거
라. 계층적 설계를 위한 자료구조	마. 레이어 지정
4. Circuit Extractor (KUIC-CEX)	바. 직선화
가. KUIC-CEX 의 전체적인 구성	사. CIF 추출
나. CIF 로 부터 Bitmap 변환	6. 결 론
다. Bitmap 데이터로부터 회로 추출	
라. 추출된 회로 출력	

1 서 론

최근 반도체 집적회로 기술이 놀라운 속도로 계속 발전 함에 따라 집적회로의 집적도가 급격히 향상되고 있으며, 새로운 기능을 갖는 특정 용도의 집적회로, ASIC(Application Specific Integrated Circuit)이 끊임없이 개발되고 있다. 이들 집적회로들은 사무용기기, 교환기, 정보통신기기 및 컴퓨터 등의 부품으로서 시스템 성능 향상에 중추적 역할을 담당하고 있다. 이 컴퓨터의 성능이 향상되면서 복잡한 집적회로의 설계에 컴퓨터가 또한 크게 공헌하고 있다. 보통 어떤 집적회로를 설계하고자 할 경우, 그 회로의 기능을 정의한 다음 논리회로를 설계하고 이 회로를 컴퓨터에 입력시켜서 회로의 연결상

태를 추출하여 논리 시뮬레이션을 한 후, 그 결과를 화면에 출력시켜 설계된 회로의 동작을 규명해 본다. 논리회로 설계가 끝나면 이 논리회로를 바이폴라(Bipolar)나 MOS(Metal Oxide Silicon) 회로로 변환하여 논리회로 설계때와 마찬가지로 회로를 컴퓨터에 입력시키고 회로 연결상태를 추출하여 회로 시뮬레이션을 한 다음, 집적회로를 제조할 때 사용할 마스크(Mask)를 만들기 위해 레이아웃(Layout)을 하게 하며 마스크는 보통 10~15장 정도이고 각각의 마스크 패턴은 서로 다르다. 따라서 레이아웃시 각 마스크 패턴을 색깔로 구분해야 하므로 컴퓨터상의 모니터는 칼라 모니터를 사용해야 한다. 보통 레이아웃 패턴은 사각형이나 다각형으로 만들어지며 글자를 써 넣고자 할 경우 영문자를 사용한다. 레이아웃이 끝나면 설계가 잘 되었

는지 검증을 하고 또 수정을 한 후, 디스켓이나 마그네틱 테이프에 수록하여 마스크를 만드는 단계로 넘어간다. 지금까지 설명한 모든 과정은 집적회로 설계자가 컴퓨터 프로그램을 이용하여 하게 되므로 설계를 편리하고 빨리하기 위해서는 좋은 CAD(Computer Aided Design) 시스템이 갖추어져야 한다. 현재 여러 기업체와 연구소에서 사용하고 있는 대형 CAD 시스템들은 아주 고가이고 유지비용도 많이 든다. 또한 이들 CAD 시스템의 소스 프로그램을 구입할수가 없어 프로그램 기능을 향상시킬 수가 없다. 그러나 소형 컴퓨터의 발전과 더불어 좋은 기능을 갖춘 개인용 컴퓨터를 쉽게 구입할 수 있게 됨에 따라 소형 CAD 시스템 개발이 가능하게 되었다. 따라서 국내 연구기관과 몇몇 대학에서도 부분적으로나마 이러한 소형 CAD 시스템들을 자체 개발하고자 연구에 박차를 가하고 있다.

본 논문에서는 이러한 요구에 부응하여 경북대학교 전자공학과 VLSI & CAD Lab에서 개발한 집적회로 설계용 KUIC(Kyungpook National University Intelligent-CAD) 시스템에 대해 기술하고자 한다. 제 2 장에서는 KUIC 시스템의 전체적인 구성에 대해 설명하고, Layout Editor는 제 3 장에서, 그리고 Circuit Ex-

tractor는 제 4 장에서 기술하고자 한다. 또한 제 5 장에서는 칩으로부터 CIF(Caltech Intermediate Form)를 추출하는 CIF Extractor에 대해서 기술하고자 한다.

② KUIC CAD 시스템

집적회로를 설계하기 위한 KUIC CAD 시스템의 전체 구성은 그림 1 과 같이 우선 논리 회로를 설계하고, 시뮬레이션 하기 위해서는 한국전자통신연구소에서 개발한 EDAS-P(Electronic Design Automation System-Personal)⁽¹⁾ 라는 프로그램을 사용하고 있다. 이 논리 회로가 정상적으로 동작할 때는 각 논리케이트를 트랜지스터 레벨로 회로를 설계하여 PSPICE(Personal Simulation Program for Integrated Circuit Emphasis)⁽²⁾ 로 회로 시뮬레이션 한다.

회로설계 과정을 거친 후 실제 칩을 만들 때 사용되는 마스크 패턴 형태인 레이아웃은 자체 개발한 KUIC-LED(KUIC-Layout Editor)³⁾ 로 하며 이때 데이터 형태는 CIF이다. 기존의 CAD 시스템에서는 집적회로 설계자가 레이아웃을 끝낸 후 제작된 칩을 전기적으로 측정하여 설계 및 제작 오류를 검출하여 왔다. 따라서

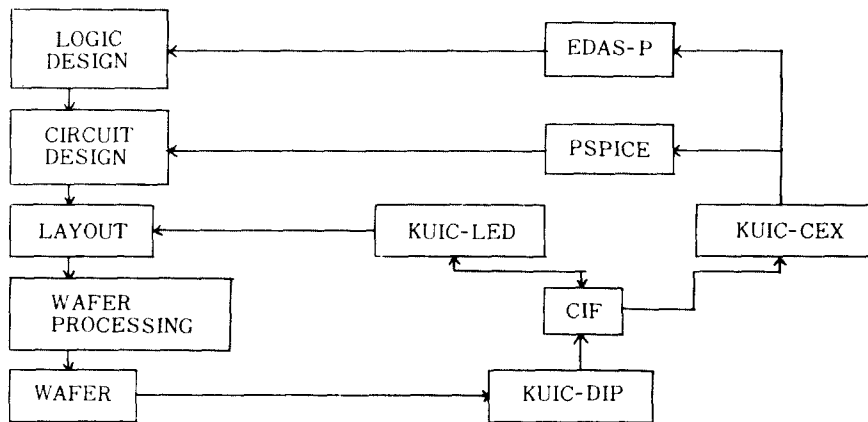


그림 1 KUIC software system

칩을 측정하는데 많은 시간과 경비가 소요되었다. 이에 마스크와 제작중인 칩 또는 제작 완료된 칩으로부터 회로를 자동적으로 추출할 수 있는 시스템이 필요하게 되었다. 따라서 본 연구실에서는 웨이퍼 가공 과정을 거친 후 칩의 동작 유무를 측정할 수 있는 한 방법으로 KUIC-DIP (KUIC-Digital Image Processing) 시스템을 개발하였다. 이 시스템에서는 영상처리 기법을 이용하여 완성된 칩으로부터 CIF를 추출해 낼 수 있으며 이 추출된 CIF를 다시 K-KUIC-LED로 입력시켜 레이아웃을 재구성해 볼 수 있다. 또한 이 CIF로부터 EDAS-P 와 PSPICE 프로그램의 입력 파일을 생성하는 K-KUIC-CEX (KUIC-Circuit Extractor)¹⁵⁾도 개발되었다.

KUIC CAD 시스템 중에서 레이아웃과 회로 추출을 하기 위한 하드웨어 구성으로서 컴퓨터는 IBM PC/AT를 사용하였으며, 해상도가 1024*768 픽셀인 Omega/PC 그래픽스 보드와 19인치 칼라 모니터를 사용하였다. 제작된 IC 칩으로부터 CIF를 추출하기 위한 하드웨어 시스템 구성을 위해 컴퓨터(IBM PC/AT)와 영상처리 보드(FG-100-AT)가 사용 되었으며 해상도는 512*512*12 비트이다. KUIC 시스템에서 사용된 OS(Operating System)는 MS-

DOS이고, C언어와 Assembly 언어를 사용하여 모든 프로그램을 코딩하였다.

[3] Layout Editor (KUIC LED)

칩의 집적도가 높아짐에 따라 집적회로의 설계에 있어서 레이아웃 에디터 시스템의 사용이 필수적으로 되어가고 있다. 레이아웃 에디터란 칩 제작에 필요한 전 과정을 종래의 손으로 하는 대신에 컴퓨터의 그래픽 기능을 이용하여 대화식으로 직접 수행하여 자동적으로 마스크 형태 생성,(pattern generation)을 위한 정보를 만들어 주는 CAD 도구이다. 따라서 이러한 레이아웃 에디터는 마스크 패턴 편집기능과 화면 처리기능 그리고 다른 CAD와의 호환성이 있어야 한다. 현재 여러 기업체 및 연구소등에서 실용적으로 사용되고 있는 레이아웃 에디터 시스템들은 대체로 대형이나 중형 컴퓨터를 사용하기 때문에 반도체 설계 기술자가 혼자 소유하여 사용할 수 없다. 그러나 최근 컴퓨터 산업의 발전과 더불어 좋은 기능을 갖춘 개인용 컴퓨터를 쉽게 구입할 수 있게 됨에 따라 PC용 레이아웃 에디터의 개발이 가능해졌다.

이러한 요구에 부응하여 본 연구실에서는 IBM PC/AT와 Omega/PC 그래픽스 보오드상

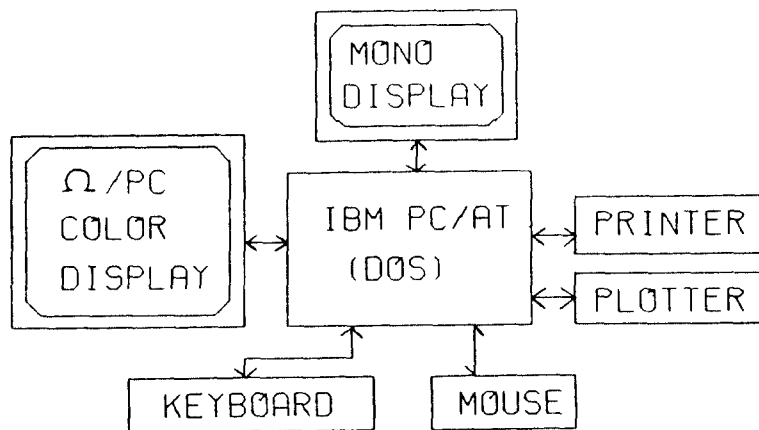


그림 2 Hardware configuration of KUIC-LED

에서 레이아웃 작업을 수행할 수 있는 레이아웃 에디터를 개발하여 KUIC-LED (KUIC-Lay-out Editor)라 이름 붙였다. KUIC-LED는 'C' 언어로 작성했으며 MS-DOS 상에서 동작한다. 오브젝트를 바탕으로 한 레이아웃 에디터이므로 사각형을 바탕으로한 레이아웃 에디터에 비해서 사선이나 임의의 다각형을 보다 정확하게 표현할 수 있다. 설계된 회로는 다른 CAD 시스템과의 호환성을 갖도록 CIF로 입출력한다. 또한 편리한 사용자 인터페이스를 제공하였으며 계층구조적 설계 방식이 가능하도록 하였다.

가. KUIC LED 시스템의 구성

(1) 하드웨어 구성

KUIC-LED 시스템의 하드웨어 구성을 그림 2에 나타내었다. KUIC-LED 시스템은 IBM PC/AT (20M hard disk, 1.2M floppy disk driver)의 MS-DOS 상에서 동작하도록 구성되어 있다. 또한 본 시스템에서는 Omega/PC 칼라 그래픽 보오드와 1024*763 해상도의 칼라 그래픽 모니터 (SONY Co.)를 사용한다. Omega/PC는 4096 가지의 색상을 화면에 나타낼 수 있으며 빠르고 다양한 그래픽 라이브러리를 제공

해 줌으로써 레이아웃 에디터에 강력한 그래픽 기능을 부여할 수 있다. KUIC-LED 시스템에서는 MS-MOUSE와 호환성이 있는 마우스는 어느것이든 사용 가능하도록 프로그램을 구성했다. 또한 문자 및 숫자의 입력을 위해서 키보드 보오드를 사용한다. 레이아웃된 도형은 X-Y플로터를 통하여 칼라로 그릴 수가 있다.

(2) 소프트웨어 구성

KUIC-LED 프로그램은 약 7000줄의 'Lattice C'로 작성했으며 그림 3과 같이 크게 4개의 모듈(module)로 분류할 수 있다. 시스템 제어 모듈은 가장 핵심이 되는 부분으로 명령의 분석과 시스템 제어 기능을 갖는다. 그래픽 인터페이스 모듈은 IBM PC/AT와 그래픽 모니터와의 인터페이스를 관리하는 부분이다. 사용자 인터페이스 모듈은 사용자와 KUIC-LED와의 인터페이스를 제어하는 부분이다. 데이터 및 파일 관리 모듈은 내부 버퍼상의 데이터와 CIF 형태로 입출력하는 파일의 관리와 관계되는 모듈이다.

나. 사용자 인터페이스

레이아웃 에디터의 성능은 사용자에게 얼마나 편리한 인터페이스를 제공하는가에 좌우된다고

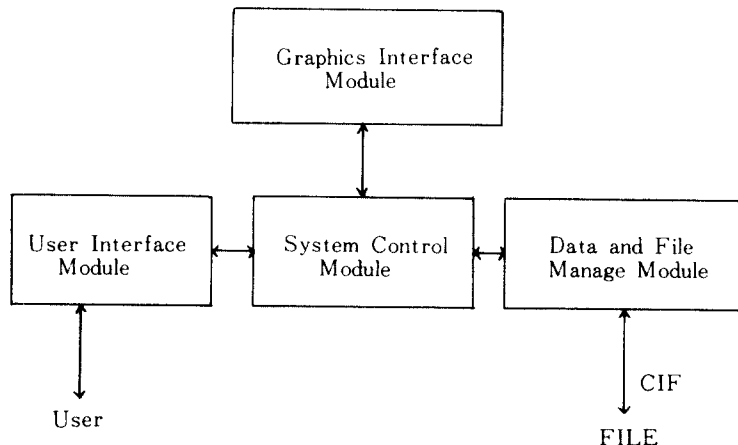


그림 3 Software configuration of KUIC-LED

볼 수 있다. KUIC-LED에서는 높은 해상도를 갖는 그래픽 모니터와 텍스트용의 흑백 모니터를 함께 사용하여 작업 영역을 최대한으로 넓혔으며, 고무 밴드 커서(rubber band cursor)를 제공하여 도형의 위치를 쉽게 선정할 수 있게 하였다.

(1) 그래픽 화면의 구성

흑백 모니터는 현재 작업된 상태와 사용자가 레이아웃 하는데 필요한 정보를 나타내어 주거나 사용자가 키보드를 통하여 입력하는 테스트를 표시한다. 칼라 그래픽 모니터는 화면을 실제 도형이 표시되는 작업 영역과 명령을 선택하기 위한 메뉴 영역으로 나누었다. KUIC-LED에 자주 사용되는 일부 메뉴는 화면상에 고정시켜 놓고 나머지 메뉴들은 기능별로 분류하여 고정되어 있는 메인 메뉴(main menu)를 선택하면 서브 메뉴(sub menu)영역에 해당되는 메뉴들이 나타나게 된다. 이렇게 고정 메뉴 방식과 서브 메뉴 개념을 적절히 조합함으로써 메뉴 영역을 줄이면서도 하나의 기능을 수행하기 위한 메뉴의 선택 횟수를 최대한 줄였다. 이와 같이 메뉴영역을 최대한 줄이고 메시지(message)를 나타내기 위한 독립된 테스트 화면을 가짐으로써 아주 넓은 작업영역을 갖추었다. 실제 작업영역의 해상도는 874*768에 달하며 이는 규모가 큰 시스템의 경우와 비슷하다.

그래픽 화면을 구성하는 데는 많은 자료가 필요하다. 그래픽 화면을 각각의 기능에 따라 9개의 윈도우(window)로 나누어 화면의 제어에 필요한 정보를 처리함으로써 함수의 독립성을 증가 시켰다. 그림 4는 메뉴 영역에 속하는 7개의 윈도우 위치를 보여준다. 작업영역은 부분도를 나타낼 때는 0번 윈도우, 전체도를 나타낼 때는 1번 윈도우가 된다. 그래픽 화면의 제어를 위해서 필요한 정보에는 윈도우의 좌표, 그리드의 크기, 윈도우의 번호, 그리고 메뉴를 나타내는 문자열에 대한 포인터가 있다.

메뉴 영역의 6번 윈도우는 10개의 레이어를 표시한다. 여기에 표시된 레이어를 나타내는 데는 세가지의 방법이 있다. 첫째, 레이어를 표시

하는 사각형의 내부를 채운다. 둘째, 레이어를 표시하는 사각형의 경계만을 표시한다(unfill) 셋째, 레이어를 화면상에 나타나지 않게 한다.

(2) 좌표의 입력과 커서의 제어

마우스 인터페이스는 사용자가 마우스를 이동시키면 그 움직임을 해석하여 커서를 화면상에 표시하거나 이동시키는 기능과 함께 버튼의 상태를 점검해 주는 기능을 가져야 한다. 마우스의 프로그래밍 인터페이스는 소프트웨어 인터럽트(software interrupt) 51번을 이용한다. 인터럽트가 걸리면 필요한 데이터는 CPU 내의 레지스터들을 통하여 주고 받게 된다. 레지스터 AX에 어떤 값을 넣는가에 따라 마우스의 기능이 다르게 작동한다. 마우스는 RS232C 직렬 포트(serial port)에 연결해서 사용한다. 그래서 KUIC-LED가 동작하면 먼저 마우스가 연결되어 있는가를 점검해 볼 필요가 있다.

다. 계층적 설계를 위한 자료구조

KUIC-LED에서는 데이터가 입력되면 이것을 내부 버퍼상에 저장하여 부분적인 데이터의 저장 시간을 없애고 필요한 경우에만 디스크에 화일로 저장할 수 있도록 하였다. 또한 계층적 설계가 가능한 데이터 구조를 실현함으로써 제한된 버퍼의 용량으로도 충분히 큰 시스템의 설계가 가능하게 하였다. KUIC-LED에서 전체 칩 레이아웃을 구성하는 것은 기본적인 마스크 정보와 셀(cell)이다. 셀이란 회로의 일부 또한 전체에 대한 레이아웃으로서 입출력을 비롯한 여러가지 작업이 수행되는 기본 단위이며, 하나의 셀은 다른 여러개의 셀을 포함할 수 있다. 셀은 작업 상태에 따라 편집 셀, 서브 셀로 나눌 수 있다. 편집 셀은 현재 편집하고 있는 셀을 의미하며, 서브 셀은 편집 셀에 포함될 셀을 뜻한다. 즉, 계층구조상 편집 셀은 서브 셀의 어버이(parent)이며 반대로 서브 셀은 편집 셀의 자식(child)이다. 편집 셀에서 서브 셀을 참조(reference)할때는 서브 셀의 위치와 크기에 대한 정보만을 포함하도록 한다. 그림 5에 이것을 실현한 내부 버퍼의 구성을 나타내었다.

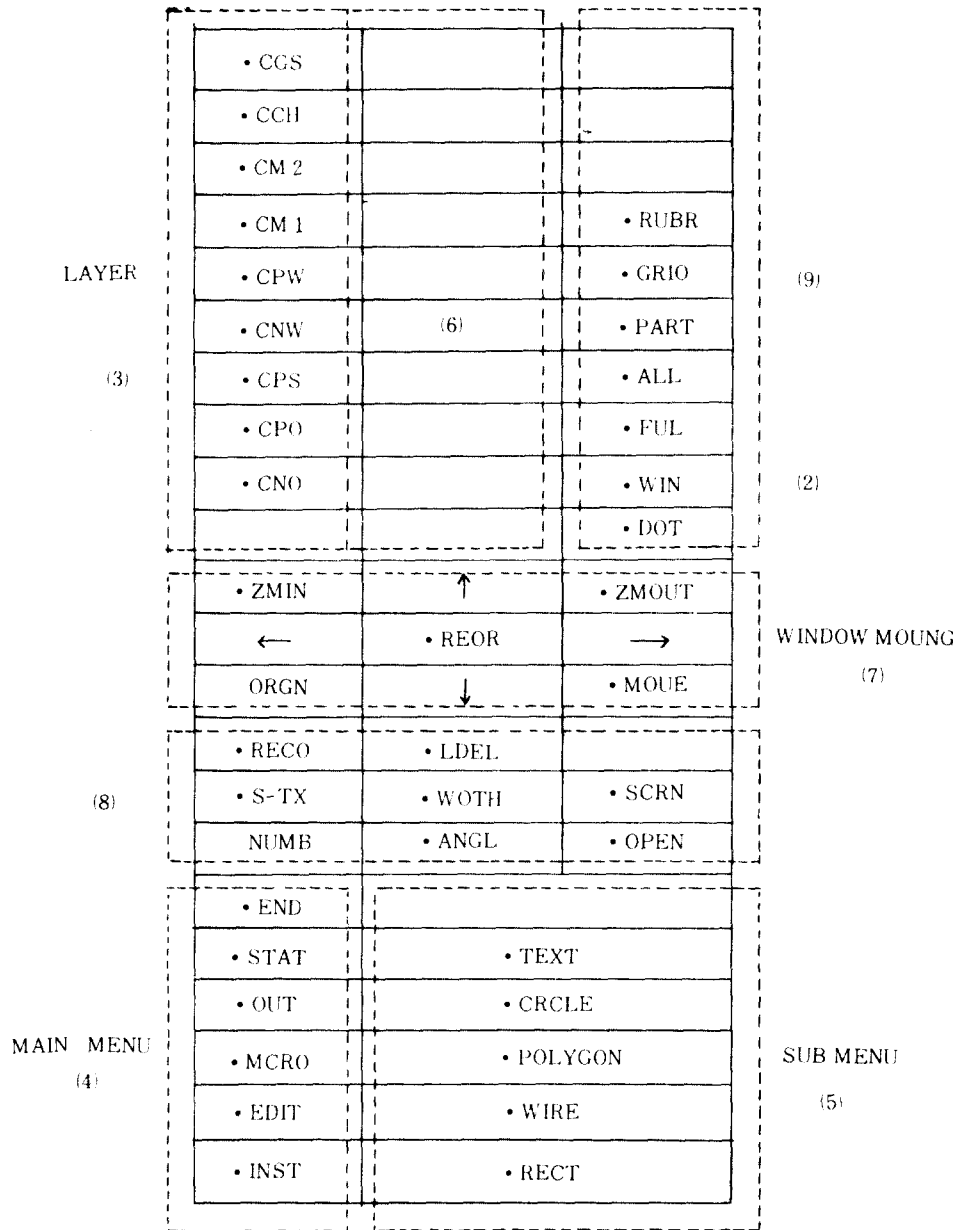


그림 4 Menu area of KUIC-LED

KUIC-LED는 IBM PC/AT와 Omega/PC 그래픽 보오드 상에서 동작하도록 구성 되었으므로 사용자가 쉽게 레이아웃 시스템을 갖출 수 있게 하였다. 1024*768의 높은 해상도를 갖는

그래픽 보오드를 사용하여 도형을 정확하게 나타낼 수 있게 하였다. 본 시스템은 IBM PC/AT 상에서 동작하면서도 다른 큰 컴퓨터에서 동작하는 레이아웃 에디터에서 제공되는 기능들

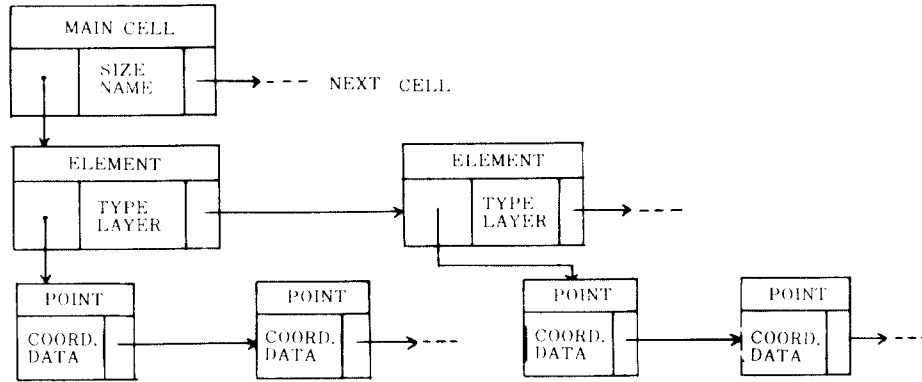


그림 5 Data structure of KUIC-LED

을 대부분 갖추었다. KUIC-LED는 오브젝트를 바탕으로한 레이아웃 에디터 이므로 압축된 칩의 설계가 가능하고 와이어의 기능이 주어져 라우팅(routing) 작업에 편리하다. KUIC-LED는 반도체 칩 설계에서 주로 이용되는 계층적 설계 방식이 가능한 데이터 구조를 갖고 있다. 또한 작업 영역을 최대한 넓히고 고무 밴드 커서를 사용하여 아주 편리한 사용자 인터페이스를 제공하였다.

4 Circuit Extractor (KUIC -CEX)

VLSI 제조기술의 발달로 인해 회로의 집적도가 증가함에 따라 회로를 설계하여 마스크 도면을 만드는 과정에서 마스크 도면의 잘못된 부분을 수정하는 일이 절실히 요구되고 있다. 복잡한 도면을 사람이 직접 검증하게 되면 시간이 많이 걸리고 정확한 검증이 어렵다. 따라서, 컴퓨터를 이용하여 설계된 회로를 검증하기 위한 시스템 연구가 활발히 이루어지고 있다. 레이아웃 패턴의 에러를 검증하기 위한 시스템은 크게 두 가지로 나눌 수 있다. 첫째로 기하학적인 디자인 규칙을 검증하기 위한 시스템이 있고, 둘째로 원래의 회로와 설계된 레이아웃 사이의 전기적인 특성을 검증하기 위한 ERC(electrical rule check) 시스템이 있다. 또한 ERC는 다음

3 가지 경우로 나눌 수 있다. 첫째, 레이아웃 데이터로부터 추출된 논리적인 연결성 정보와 원래의 회로를 비교하는 시스템이 있고, 둘째, 논리적인 연결성 정보와 회로 요소를 추출하여 회로 시뮬레이션 프로그램의 입력 화일을 생성하는 시스템이 있으며, 마지막으로 레이아웃 데이터로부터 회로도 생성하는 시스템이 있다.

KUIC-CEX는 퍼스날 컴퓨터 상에서 CMOS 마스크 도면으로부터 MOSFET 사이의 전기적인 연결도를 추출하고 기생 커패시턴스를 계산하는 시스템이다. 본 시스템에서는 집적회로 마스크 패턴의 데이터인 CIF를 입력으로 하며, 기본적인 도형의 처리방법은 개선된 bitmap 방법을 사용한다. 회로요소로서 MOSFET 크기와 기생 커패시턴스를 계산하고, 이들 회로 요소들 사이의 연결성을 추출한다. 추출된 회로에 대한 결과는 회로 시뮬레이션을 할 수 있도록 PSPICE와 EDAS-P의 입력 화일 형태로 출력되며, 추출된 회로도를 시각적으로 검증할 수 있도록 칼라 그래픽 화면에 나타내도록 한다. 따라서 마스크 도면의 전기적인 특성을 검증할 수 있을 뿐만 아니라 마스크 도면의 에러를 시각적으로 검증할 수 있게 된다.

가. KUIC-CEX의 전체적인 구성

본 프로그램은 크게 CIF 데이터를 입력하여

bitmap으로 변환하는 BITMAP, EXE 프로그램과 bitmap 데이터로 부터 회로를 추출하는 C-IREXT, EXE 프로그램으로 구성되어 있다. K-UIC-CEX을 구성하고 있는 두 프로그램의 기능에 따른 전체적인 흐름도는 그림 6 과 같고, 두 프로그램의 수행과정에 따른 상세한 설명은 다음과 같다. BITMAP, EXE 프로그램은 집적

회로 설계자에 의해서 설계된 마스크 도면 데이터인 CIF 화일을 입력하여 bitmap 변환을 한다. 입력 가능한 기본적인 도형들로는 직사각형 (BOX), 와이어(WIRE), 다각형(PLOYGON) 그리고 텍스트(TEXT) 등이다. 입력을 한 후에 각 도형을 먼저 레이어 별로 분류하고, 각 레이어를 구성하고 있는 도형 요소의 종류를 분류한

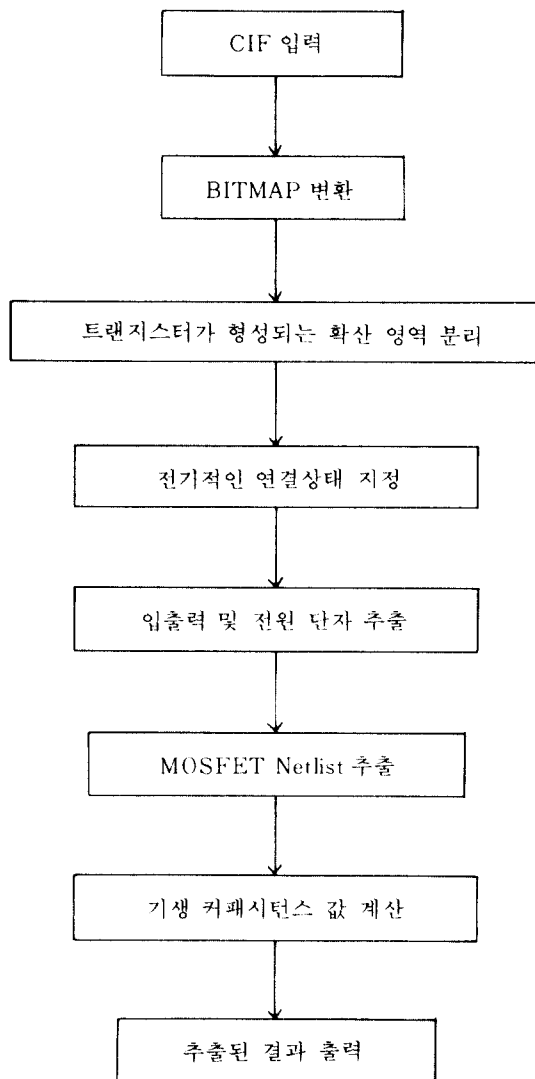


그림 6 The overall flowchart of the KUIIC-CEX

다. 직사각형은 bitmap 데이터로 바로 변환되고, 와이어와 다각형은 분할 알고리즘이 적용되어 직사각형의 형태로 분할된 후 bitmap 데이터로 변환된다. bitmap으로 변환된 데이터는 bitmap 파일(XXX.BMP)에 저장된다. 그러나 텍스트는 bitmap 파일에 저장할 수 없으므로 텍스트 파일(XXX.TXT)에 따로 저장된다.

CIREXT.EXE 프로그램은 bitmap 파일, 텍스트 파일, 그리고 회로 모델에 관련된 파일(S-TD.MDL)을 입력하여 회로 요소를 추출하고, 그들 상호간의 연결상태를 설정한다. 추출된 회로를 PSPICE 입력 파일(XXX.CIR)와 EDAS-P 입력 파일(XXX.SLS), 그리고 CMOS 회로도도 칼라 그래픽 화면에 나타내기 위해 KUI-C-LED의 입력 파일(XXX.LED)로 출력한다.

나. CIF로 부터 bitmap 변환

(1) CIF 데이터의 입력

이 회로 추출기의 입력은 폴리실리콘 게이트 CMOS의 마스크 도면에 대한 CIF 파일이다. 이 회로 추출기의 입력 도형으로는 수직 수평 성분을 가지는 직사각형, 다각형, 임의의 폭을 가지는 와이어, 그리고 입력과 출력 및 전원 단자에 대한 정보를 제공하는 텍스트가 있다. 또한 계층적 설계가 가능하도록 이들 도형들로 구성된 서브셀도 입력으로 가능하게 했다. 각 도형에 대한 레이아웃 데이터를 처리하기 위해서는 CIF 데이터를 입력하여 레이어 별로 분류한뒤 다시 각 도형의 형태를 분류한다. 직사각형인 도형은 bitmap 변환하여 데이터를 저장한다. 만일 다각형과 와이어라면 분할 알고리즘을 사용하여 직사각형의 형태로 분할한 후 bitmap 데이터로 변환하여 저장한다. 텍스트는 bitmap 데이터로 저장할 수 없으므로 텍스트에 대한 파일을 따로 생성하여 저장한다. 이때 저장되어야 하는 텍스트 정보로는 단자의 위치를 나타내는 텍스트의 위치, 레이어의 종류, 그리고 텍스트의 스트링 등이다. 만일 도형의 형태가 서브셀 이라면 서브셀에 대한 모든 데이터를 읽어들이어서 위와 같은 도형에 준해서 변환하면 된다. 기하학적인 입력 데이터는 p-well, p-di-

ff, n-diff, poly-Si, metal, contact 레이어등과 같은 6개의 마스크 레이어들의 정보로 되어 있다.

(2) 입력된 CIF 데이터의 bitmap 변환

이 방법은 레이아웃 데이터를 그리드에 마스크 레이어의 존재 유무에 따라 2차원 배열로 표시한다. CIF 데이터의 X축, Y축 방향의 기본 단위를 r (λ)로 정의하며, $1r * 1r$ 은 메모리에서 1비트이다. 회로 설계에 있어서 16 레이어 이상은 사용하지 않기 때문에 한 그리드를 16 bit 정수로 나타낼 수 있으며 각 레이어는 16 bit 중 특정 비트에 대응된다. 만일 레이아웃을 $100 * 100$ 행렬로 구성되었다고 가정할때, 각 원소가 16 비트 정수인 $100 * 100$ 행렬로 전체 레이아웃을 표현할 수 있다. 그러나 VLSI 설계의 레이아웃은 $100 * 100$ 행렬과는 비교할 수 없는 방대한 크기가 될 것이므로 실제 이 bitmap 형식을 사용하여 레이아웃을 표현할 경우에 많은 기억 장소가 소요되는 문제점이 있다. KUI-C-CEX에서는 비트맵의 간략화를 위해서 개선된 비트맵 방식을 이용하여 비트맵의 크기를 축소한다. 이에 대한 알고리즘을 간단히 설명하면 다음과 같다. 먼저 모든 도형의 꼭지점의 X축, Y축에 대한 좌표를 입력하여 크기별로 나열한 후 인접한 꼭지점 사이의 거리를 계산한다. 이들 거리는 X축, Y축에 대한 스케일 계수(scale factor)로 설정된다. 그 다음에 한 도형씩 입력하여 스케일 계수와 관련시켜서 비트맵 데이터를 축소하게 된다. 이 알고리즘의 결과로써 생성된 데이터의 크기는 수직 수평축의 꼭지점의 수에 비례하게 된다. 그리고 회로가 클 경우에는 원하는 특정한 부분만을 입력하여 회로 추출이 가능하게 한다.

다. BITMAP 데이터로 부터 회로 추출

(1) 연결도 추출을 위한 등가관계 설정

이 과정의 목적은 전기적으로 등가적인 영역과 회로 요소의 절점들 사이의 연결성을 결정하기 위한 것이다. 먼저 각 레이어들에 대한 연결

도를 조사하여 절점을 설정하여 데이터를 저장하고, 다른 레이어와 전기적인 등가관계에 따라 등가 절점을 설정한다. 동일 레이어 사이의 연결관계는 동일 레이어가 겹쳐있는 도형들은 전기적으로 연결되어 있는 것으로 간주하여 같은 절점으로 설정된다. 또한 접한 도형들도 전기적으로 연결된 것으로 간주되며 동일한 절점 번호로 설정된다. 다른 레이어 사이의 연결성은 콘택(contact)에 의해서 이루어진다. 만일 두 도형이 적어도 한 콘택을 가지고 있다면 두 도형은 한 그룹으로 설정되어 등가 절점이 된다. 이 모든 과정이 끝나게 되면 절점에 대한 정보들이 저장된다. 이 결과는 다음에 있을 트랜지스터와 기생 커패시턴스 계산시에 netlist의 번호를 제공해 준다.

(2) 입출력 및 전원 단자의 설정

이 과정에서는 입출력 및 전원 단자의 설정을 위한 데이터를 받아 들이고 이에 대응하는 절점 번호가 입출력 및 전원 절점에 설정된다. 이때 스트링은 스트링의 첫 문자에 의해서 입력과 출력 그리고 전원 단자를 구별하게 된다. 입력인 경우에 첫 문자는 'I'이며, 출력인 경우에는 'O'이고 전원 단자인 경우에는 'V'이다. 텍스트 파일을 읽어 온 후에, 텍스트의 위치와 텍스트가 속해 있는 레이어 정보에 의해서 이 텍스트가 속해 있는 절점을 찾게 된다. 이때 찾은 절점이 입출력 및 전원 단자가 된다.

(3) 트랜지스터 인식

트랜지스터에 관한 크기, 채널의 종류, 드레인, 게이트, 소스, 및 서브 스트레이트의 번호 등과 같은 전체 정보가 이 과정에서 추출된다. CMOS에서 트랜지스터는 폴리실리콘과 확산 영역이 겹치는 곳에서 형성된다. 이 과정에서 확산 영역은 절점 연결성 조사를 위한 소스와 드레인 절점을 위해 하나의 채널과 두 개의 확산 영역으로 분리해야 한다. 채널의 길이와 폭은 각각 폴리 실리콘 레이어와 확산 레이어의 폭으로써 설정된다. 위에서 설정된 트랜지스터의 채널 형태는 확산 영역의 종류에 의해서 결

정된다. 만일 CPS (CMOS Poly Silicon), CDN (CMOS N-type Diffusion)이 겹쳐서 형성된 트랜지스터라면 n-채널 MOS가 되고, CPS, CDP (CMOS P-type Diffusion)가 겹쳐서 형성된 트랜지스터라면 p-채널 MOS가 된다. 만일 폴리 실리콘 도형과 확산 레이어 도형이 한 트랜지스터를 생성한다면, 폴리 실리콘 레이어 도형은 트랜지스터의 게이트로 설정되며, 분리된 확산 레이어들은 트랜지스터의 소스와 드레인으로 설정된다.

(4) 기생 커패시턴스 추출

집적회로에 있어서 기생하는 커패시턴스는 회로의 동작 특성에 크게 영향을 끼치는데, 이는 회로의 주파수 특성과 회로의 동작 속도에 제한을 준다. 따라서 회로 설계자가 의도하지 않은 기생 커패시턴스를 계산하는 것이 요구된다. 이 회로 추출기는 마스크 패턴으로 부터 산화막에 의해서 생성되는 접지(Ground) 커패시턴스와 P-N 접합으로 인해 생성되는 접합 커패시턴스를 계산해 준다. 이 회로 추출기에서는 노드 모델을 사용하여 기생 커패시턴스를 계산한다. 이 회로 추출기에서 접지 커패시턴스는 단위 면적당 커패시턴스와 패턴 면적의 곱으로 계산되고, 접합 커패시턴스는 수직 접합 커패시턴스와 측면 접합 커패시턴스의 합으로 계산된다. 수직 접합 커패시턴스는 확산영역의 면적과 단위 면적당 접합 커패시턴스의 곱으로 계산되고, 측면 접합 커패시턴스는 확산영역 둘레와 단위 길이당 커패시턴스의 곱으로 계산된다.

라. 추출된 회로 출력

이 회로 추출기에서는 PSPICE의 입력화일을 자동으로 생성시켜 주고 EDAS-P 시스템 중에서 SLSIM-P (Switch level logic Simulator)의 입력화일을 생성한다. 추출된 회로에 대한 정보로 부터 회로도를 생성하기 위해 KUIC-LED 시스템을 이용한다. CMOS 회로도를 위해서 기본적으로 P-채널 MOS, N-채널 MOS, VDD, 그리고 GND와 같은 표준기호를 사용한다. 이들 각 기호들은 KUIC-LED를 위해서 C

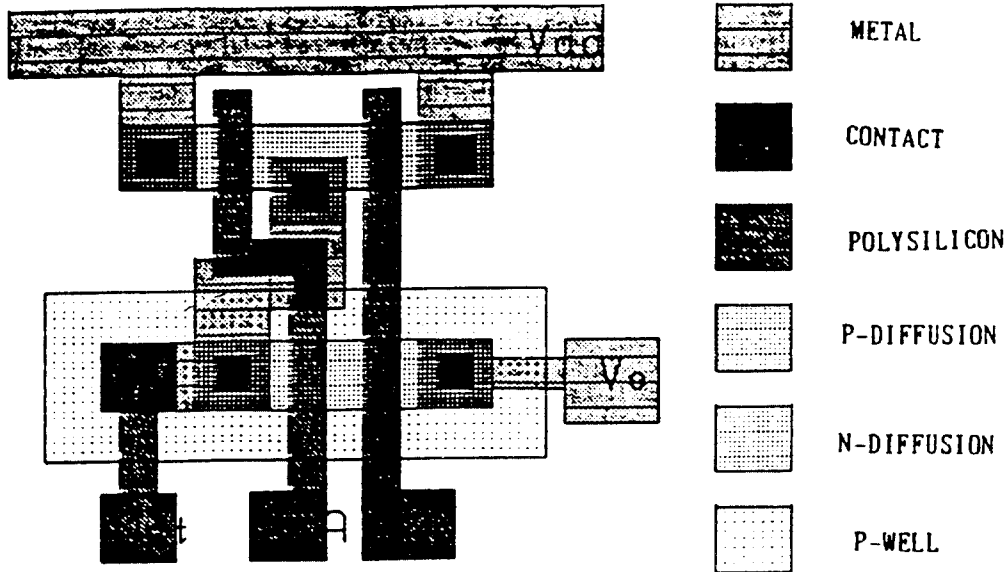


그림 7 The layout pattern of the 2-input NAND circuit

```

YNAND
VDD 6 4 DC 5V
VDS 6 1 DC 0V
VSS 4 0 DC 0V
VINA 9 PULSE(0V 5V ?N ?N ?N ?N ?N)
VINB 10 PULSE(0V 5V ?N ?N ?N ?N ?N)
M1 2 9 6 1 PM W=4U L=2U
M2 2 10 6 1 PM W=4U L=2U
M3 2 9 3 0 NM W=4U L=2U
M4 3 10 4 0 NM W=4U L=2U
C1 2 0 0.07pF
C2 9 0 0.026pF
C3 10 0 0.024pF
.TRAN ?N ?N
.PLOT TRAN V(2) V(9) V(10)
*
* PSPICE FET model
*
***** PROCESS PARAMETER *****
.MODEL PM PMOS VTO=-0.73838 KP=0.24335E-4 GAMMA=0.63471
+NSUB=0.7052E15 XJ=0.11371E-5 LD=0.50093E-6 RD=0.05
+RS=0.05 TOX=0.5E-7 UO=231.47 LAMBDA=1E-7 PHI=0.77732
+NFS=1.49E11 CGDO=4.406E-10 CGSO=4.406E-10 CGBO=1.44E-11
+PB=0.34
.MODEL NM NMOS VTO=0.7063 KP=0.3984E-4 GAMMA=0.5927
+NSUB=0.1572E17 XJ=0.88995E-6 LD=0.64739E-6 RD=0.05
+RS=0.05 TOX=0.5E-7 UO=603.93 LAMBDA=1E-7 PHI=0.63723
+NFS=2.38E11 CGDO=4.406E-10 CGSO=4.406E-10 CGBO=1.44E-10
+PB=0.8
.END
    
```

그림 8 The PSPICE input file of the 2-input NAND circuit

ELL로 설정되어진다. 그리고 각 절점의 연결은 와이어를 사용한다. 만일 트랜지스터의 게이트 절점이 입력단자라면, 회로의 복잡성을 피하기 위해서 트랜지스터 게이트에 텍스트로 입력단자 이름을 표시한다. CMOS 회로도들 생성하기 위한 방법과 생성된 회로도의 특징에 대해 설명하기로 한다.

p-well COMS 2-input NAND 회로에 대해 적용하여 보자. 레이아웃 패턴은 그림 7이다. 추출된 회로에 대한 PSPICE와 EDAS-P의 입력 화일은 그림 8, 9이다. 이 프로그램은 자동적으로 추출한 회로 요소들과 입출력 단자들에 대한 정보를 자동적으로 생성하며, 회로 시뮬레이션시에 필요한 회로 요소의 model card도 자동적으로 생성한다. 사용자는 단지 원하는 입력 파형만을 첨가하면 시뮬레이션을 할 수 있다. 그리고 추출된 회로의 그래픽 모니터에 나타낸 CMOS 회로는 그림10과 같다.

이와같이 직접회로의 마스크 도면을 나타내는 CIF 화일로 부터 CMOS 회로에 대한 트랜지스터 간의 연결상태, 기생 커패시턴스, 그리고 입출력 및 전원 단자를 추출할 수 있는 KUIIC-CEX를 개발 하였다. 이 회로 추출기는 직사각형, 다각형, 와이어, 입출력 및 전원 단자에 대한 정보를 제공하는 텍스트, 및 이들로써 구성된 서브셀에 대한 정보를 처리할 수 있다. 기본적인 연산으로써 일반적인 bitmap 방법을 사용하지 않고 회로 추출의 시간을 줄이기 위해

```

| Number of schematic connector = 3
p INA OUT Vdd
p INB OUT Vdd
n INA OUT W13
n INB W13 GND
| A FILE MADE BY USER IS MERGED BELOW.
I
S
w OUT INA INB
V INA INB
R 50
q
    
```

그림 9 The EDAS-P input file of the 2-input NAND circuit

서 비트맵 축소 알고리즘을 적용한 개선된 비트맵 방법을 사용했다. 또한 회로가 큰 경우를 대비해서 특정 부분의 회로만을 추출할 수 있게 했다. 본 프로그램의 출력으로는 회로 시뮬레이션을 하기 위한 PSPICE와 EDAS-P의 입력 화일, 그래픽 모니터에 CMOS 회로도를 나타내기 위한 KUIIC-LED의 입력 화일이 있다. 따라서 PSPICE와 EDAS-P를 이용하여 회로의 논리동작과 전기적인 특성을 정확히 검증할 수 있다. 그리고 KUIIC-LED를 이용하여 칼라 그래픽 모니터에 CMOS 회로도들을 나타내어 레이아웃 도면의 검증을 시각적으로 쉽게 검증할 수 있다. 이 프로그램의 앞으로 개선할 점은 비트맵 방식의 단점이기도 한 대각선 성분을 처리할 수 있는 알고리즘이 개발되어야 한다. 그리고 완전한 계층적 설계를 위한 Incremental circuit 추출 알고리즘이 개발되어야 한다. 이 회로 추출기는 약 3000라인의 C-언어로 작성했으며, IBM PC/AT DOS 상에서 수행된다.

5 CIF Extractor (KUIIC-DIP)

KUIIC-DIP(KUIIC -Digital Image Process-

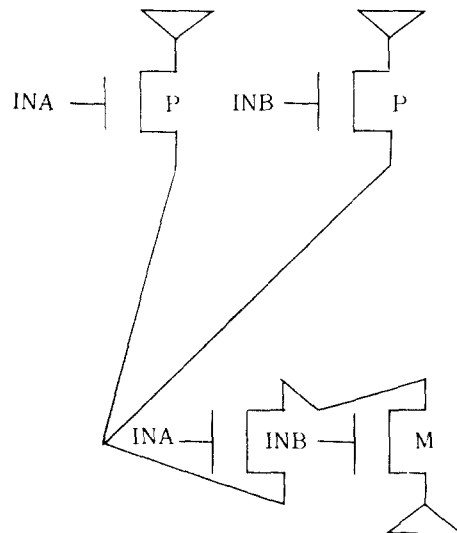


그림10 The displayed circuit diagram of the 2-input NAND circuit

ing)는 웨이퍼 상에 있는 직접회로 패턴을 원 영상으로부터 영상처리 기법을 사용하여 집적 회로 패턴 데이터 형태인 CIF를 추출하는 시스템이다. 실제 칩으로부터 CIF를 추출하기 위해서는 사람의 시각기능을 컴퓨터에 부여하는 영상 처리 기법을 사용할 수 있다. 칩 영상에서 가장 먼저 수행 되어야 할 부분이 영상 분할이다. 그래서 실제의 칩 영상에서는 각 레이어의 명도나 경계선에 의해 영상을 레이어에 따라 분할하였다. 메탈 레이어는 CMOS에서 사용되는 다른 레이어들과의 명도 차이가 크므로 문턱값 처리 기법을 사용하여 간단히 구분하였다. 명암도 차이가 적은 다른 레이어들에 대해서는 선경계 추출 알고리즘을 사용하여 경계선을 추출하였다. 추출된 경계선은 두껍게 나타나므로 세선화 알고리즘을 적용하여 선을 한 화소폭으로 하였다. 분할된 이진 영상에서 사용자와의 대화형식으로 하나의 레이어를 지정하였다. 지정된 레이어는 그 경계면의 굴곡이 심하다. 그래서 지정된 레이어에 대해서는 고안된 직선화 알고리즘을 적용하여 CIF 데이터 양을 줄였고 변형된

T 알고리즘을 사용하여 CIF 데이터를 얻었다.

가. KUIC-DIP 시스템의 구성

본 시스템에 사용된 하드웨어 구조는 그림 11과 같다.

실제의 집적 회로 패턴을 영상으로 받아들이기 위해서 현미경 (OLYMPUS 215214)이 사용되었다. 현미경과 비디오 카메라 (SONY AVC-3260) 사이의 인터페이스를 위해서 비디오 카메라 어댑터 (SONY MVA-1B)가 사용되어 영상의 질과 영상 입력 효율이 높아졌다. 사용된 영상 처리 보드 (FG-100-AT)의 샘플링 주파수는 10MHz (100ns)이고, 해상도는 512·512·12비트이다. 사용된 컴퓨터는 IBM PC/AT이고, OS (Operating System)는 DOS (Disk OS)를 사용했다. 본 시스템에서 사용된 언어는 약 1200라인의 "C"언어이며, "C"컴파일러는 MSC (microsoft c compiler)를 사용했다.

그림 12는 KUIC-DIP 소프트웨어 흐름도를 보여 주고 있다.

CIF는 각각의 레이어별로 도형의 정보를 나

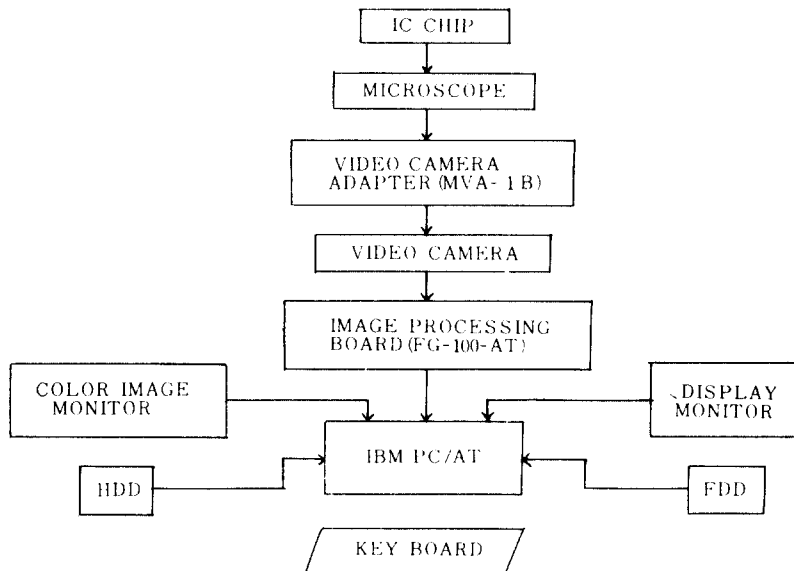


그림 11 KUIC-DIP hardware system

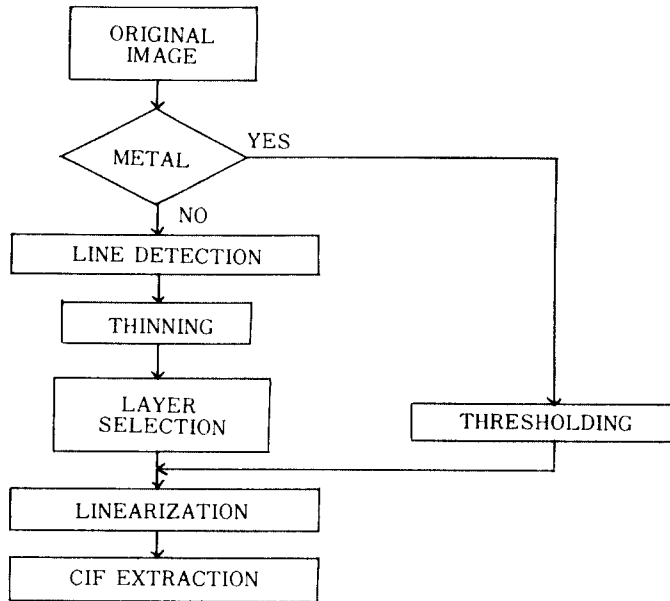


그림12 KUIC-DIP software system

타낸다. 그래서 칩으로 부터 CIF를 추출하기 위해서는 우선적으로 레이어를 구분하여야만 한다. 가장 기본적인 방법은 각각의 레이어가 가지는 명암도를 문턱값 처리 기법으로 구분하는 것이다. 그러나 칩 영상을 보면 메탈 레이어를 제외한 다른 레이어는 명도의 차이가 거의 없음을 알 수 있다. 그래서 메탈 레이어와, 메탈 레이어를 제외한 다른 레이어들의 구분 방법을 달리하였다. 메탈 레이어는 문턱값 처리 기법으로 레이어를 구분하여 레이어 구분의 속도를 높여주었다. 메탈 레이어를 제외한 다른 레이어에 대해서는 경계선 처리와 사용자와의 대화 형식으로 하는 레이어 지정법을 사용하였다. 경계선 처리에서는 현미경에서 나오는 빛의 방향에 따라, 또는 각 레이어가 가지는 두께의 차이에 따라 생겨나는 그림자의 영향을 고려해야 한다. 그림자의 두께가 두꺼워 질 경우 기존의 경계선 검출기로는 정확한 경계선을 검출할 수가 없다. 그래서 새로운 경계선 추출법을 사용하였다. CIF에서의 다각형 데이터 양을 줄이고 좀

더 깨끗한 형태의 다각형을 만들기 위해 직선화를 수행하였다. 직선화 된 각 레이어들에 T 알고리즘을 적용하여 CIF로 표현하였다. 그림 13은 원래의 칩 영상 보여주고 있다.

나. 문턱값 처리 기법

영상 분할에 있어서 가장 간단한 방법은 명도에 따라 영상을 분할하는 것이다. 본 시스템에서는 명도를 8비트로 나타내므로 0에서 255까지의 명도를 가지고 있다. 칩 영상을 살펴보면 메탈 레이어는 알루미늄을 증착시켜 만들어 지므로 메탈 이외의 레이어와는 명암도가 20-40 정도 차이가 난다. 그래서 메탈 레이어와 CMOS에 나타나는 메탈을 제외한 레이어인 폴리실리콘, 확산층, 콘택 그리고 웰등의 레이어들과는 명도에 따라 간단히 구별할 수 있다.

다. 경계선 추출

입력 영상으로 사용한 칩 영상에서 폴리실리콘, 확산층, 콘택등의 레이어들은 큰 명도의 차

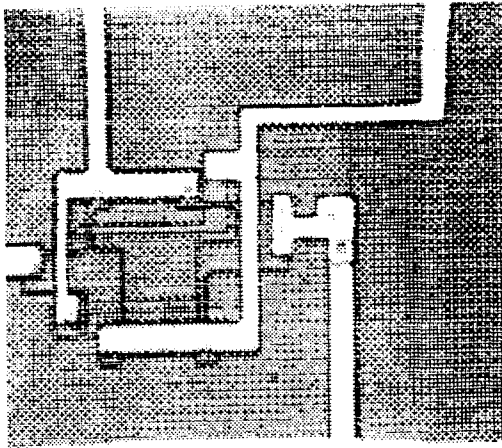


그림13 Original image

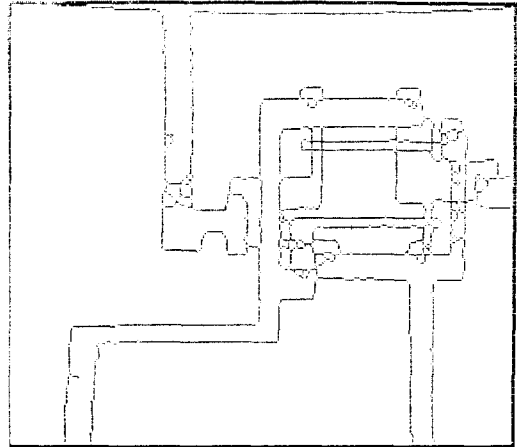


그림14 Noise branch removed image

이가 없이 색깔과 선경계에 의해 구분되어 있다. 그래서 칩 영상에서 선경계 추출을 할 때, 현미경에서 나오는 빛의 방향과 각 레이어의 두께에 따라 나타나는 그림자의 영향을 받는다. 경계 연산자로 많이 사용하는 Sobel 연산자를 사용하면 하나의 선경계로 나타나야 할 부분이 그림자에 의해 두개의 선경계로 나타남을 볼 수 있다. 따라서 본 논문에서는 새로운 선경계 검출기를 사용하였다. 우선 그림자의 두께가 두꺼우므로 $5 * 5$ 의 윈도우를 사용하였다.

라. 세선화 및 잡음가지 제거

각 레이어에 나타나는 그림자로 인하여 새로운 알고리즘을 사용하여도 추출된 선경계 성분이 두껍게 나타난다. 그러므로, 먼저 굵게 나타나는 선을 세분화 시켜 한 화소폭으로 나타내는 과정이 필요한데 이를 위해 Rosenfeld 등이 제안한 세분화 알고리즘을 사용하였다. 세선화가 끝난 영상에 잡음가지를 제거하여 나타난 영상은 그림 14와 같다.

마. 레이어 지정

경계선 추출과 세선화, 잡음 가지 제거의 과정을 거치면 칩 영상에서 페로들로 구성된 각

레이어를 사용자의 눈으로 확인할 수가 있다. 그래서 사용자가 반도체 설계에 관한 약간의 지식을 가지고 있는 것으로 가정하여 컴퓨터와 사용자 간의 대화 형식으로 레이어를 지정하도록 하였다. 즉, 그림 14에서 화면 상에 커서를 발생시켜 무슨 레이어 인가를 사용자에게 묻도록 하는 것이다. 폴리실리콘을 이루는 페로안에 커서가 발생되었을 때 키 보드로 p를 입력하여 폴리실리콘에 해당되는 명도의 값을 채우도록 하였다. 콘택 레이어, 확산층 레이어 역시 마찬가지이다. 본 논문에서는 폴리실리콘 레이어에 명도 220을, 콘택 레이어에 명도 10, 확산층 레이어에 명도 150을 컴퓨터와의 대화 형식으로 주었다. 위에서 설명한 방식은 자동화가 되지 못하다는 단점은 있지만 예를 들어 폴리실리콘과 확산층이 겹쳐 있는 부분은 폴리실리콘 레이어를 구분할 때는 겹쳐진 확산 레이어에도 폴리실리콘 명도 220을 줄 수 있는 장점을 가지고 있다.

바. 직선화

어떤 도형이나 물체의 형태를 결정짓는 요소를 특징점으로하여 그 특징점만을 알 경우 그 도형이나 물체의 형태를 나타낼 수 있다. 그래

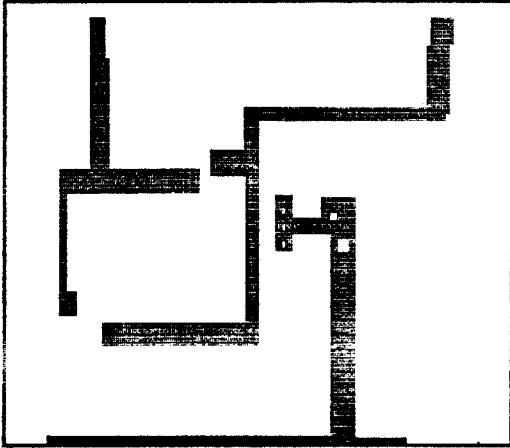


그림15 Linearized image

서 도형의 꺾여진 점을 특징점으로 하였다. CIF에서의 데이터 표현 방법은 각 특징점 간의 간격을 계산하여 나타낸다. 그러므로 특징점들이 많으면 많을수록 CIF 데이터 양이 많아지는 것이다.

도형의 정보에 영향을 미치지 않는 특징점들을 줄이고 도형간의 간격이 어떤 임계값이내에 드는 도형들은 서로 연결시켜 주는 직선화를 수행하였다. 그림 15는 선형화된 metal layer를 나타내고 있다.

사. CIF 추출

직선화가 수행된 영상에서 다각형 형태의 CIF를 추출하기 위하여 변형된 T알고리즘을 사용하였다. 우선 $3 * 3$ 의 마스크를 이용하여 초기점을 배열을 찾는다. 각 초기점에서 부터 가장자리를 따라가며 직각 성분을 찾아 이들을 특징점으로 하였다. 각 특징점간의 거리를 변위로 계산하였다. CIF로 표현할 때 영상 좌표계의 값이 레이아웃 에디터의 좌표계와 y의 증가 방향이 반대 이므로 y의 값을 반전시켜 놓았고, 두 좌표계의 크기가 차이 나므로 변위를 줄여서 표현하는 기능도 첨가하였다.

본 연구에서는 영상 처리 기법을 이용하여 VLSI 칩으로 부터 CIF를 얻는 KUIC-DIP 시

스템을 개발 하였다. 실제의 칩 형태는 몇가지 레이어들로 구성되어 있다. 그래서 레이어를 구분하기 위해 명암도 문턱값 처리 기법, 경계선 처리, 세션화, 잡음가지 제거 알고리즘을 거쳐 컴퓨터와의 대화형식으로 레이어를 지정하여 구분하였다. CIF 데이터 양을 줄이기 위해 구분된 각 레이어에 직선화를 수행하고 변형 T알고리즘을 적용하여 특징점을 인식하여 CIF를 얻었다. 얻어진 CIF는 KUIC-LED와 KUIC-CEX의 입력 형태가 되어 레이아웃을 재구성할 수 있었고, CMOS 회로를 추출할 수 있었다.

앞으로 계속 연구되어야 할 부분은 영상 분할에 관한 것이다. 칩 영상은 레이어간의 명도 차이가 적고 잡음이 많으므로, 이로 인해 발생하는 문제를 극복하기 위해서 시스템의 컬러화에 의한 영상 분할에 대한 연구가 더 많이 필요하며, 숨겨진 선을 검출하는 것도 앞으로 연구되어야 할 과제이다. 본 논문에서 개발된 시스템을 제조 공정상의 검사에 적용한다면 시간과 경비면에서 많은 도움이 될 것이 기대된다.

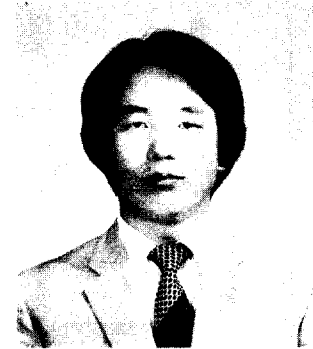
6 결 론

퍼스날 컴퓨터를 이용하여 특정용도 집적회로를 설계할 수 있는 KUIC 시스템에 대해 기술하였다. 본 시스템에서는 논리회로 설계시에는 EDAS-P를, 그리고 CMOS 회로 설계시에는 PSPICE를 사용하였다. 마스크를 만들기 위한 집적회로 레이아웃은 자체 개발한 KUIC-LED로 하였으며, CIF 데이터를 입력으로 하여 CMOS 회로를 화면상에 볼 수 있을 뿐 아니라 EDAS-P와 PSPICE 입력 파일을 생성하는 KUIC-CEX를 자체 개발하였다. 또한 영상처리 기법을 이용하여 제작된 칩이나 실제 마스크로부터 CIF를 추출할 수 있는 KUIC-DIP 시스템도 개발하였다. 따라서 본 CAD 시스템을 회사나 연구소의 대형 CAD 시스템과 연결하여 사용한다면 집적회로 설계 기술자가 자기 연구실에서 편리하게 설계할 수 있을 것이다. 또한 본 연구에서 개발한 KUIC 시스템을 집적회로 칩검사에 적용한다면 시간과 경비 면에서

많은 도움이 될 것으로 기대된다. 끝으로 강조하고 싶은 점은 국내에서도 좋은 CAD 시스템이 개발되어 외국에 수출할 수 있는 날이 빨리 오길 바란다.

참 고 문 헌

1. 김옥현, 강민섭, 이철동, 유영욱, "EDAS-P에서의 Gate Level Logic Simulator (GLSIM-P) 개발", 86 학술대회논문집, Vol. 9, No. 2, pp 935-938, 1986.
2. "PSPICE Manual", MicroSim Corporation, 1986.
3. 장기동, 정갑중, 정호선, "Ω /PC 그래픽 보오드를 이용한 레이아웃에디터의 개발", 87추계 종합학술대회 논문집, Vol. 10, No. 1, pp 779-782, 1987.
4. 이동훈, 배창석, 여진경, 정호선, 이우일, "REAL LSI MASK로 부터 CIF추출", 87추계 종합학술대회논문집, Vol. 10, No. 1, pp787-790, 1987.
5. 배윤섭, 서인환, 정호선, 이우일, "집적회로 마스크 도면으로부터의 CMOS 회로도 추출", 87추계종합학술대회논문집, Vol. 10, No. 1, pp775-778, 1987.



鄭 鎬 宣

저자약력

- 1943년 1월 29일생
- 1965. 3 ~ 1969. 2 : 인하대학교 공과대학 전기공학과 (학사)
- 1973. 3 ~ 1975. 2 : 서울대학교 대학원 전자공학과 (석사)
- 1977. 1 ~ 1980. 10 : 프랑스 Toulouse 공과대학 전자과 (ENSEEHT) (공학박사)
- 1976. 5 ~ 현재 : 경북대학교 공과대학 전자공학과 부교수

용 어 해 설

- 분기 증폭기 (bridging amplifier) : CATV의 분기선에 삽입되어 분배선으로 분기하는 증폭기로서 분기선의 손실 및 자체 내의 분기 손실을 보상한다.
- 분리 공통 채널 신호 방식 (separate common channel signaling) : 전화 회선과는 분리된 신호 전용 회선을 복수의 통화 회선 제어용으로 공용하며, 그 신호를 고속 데이터 전송로에서 송수신 하는 방식이다. 이 방식의 특징은 다양한 신호를 취할 수 있고, 통화 중에도 신호 전송이 가능하며 트렁크 없이도 통화 회선의 양방향 운용이 가능하다는 점이다.
- 분리 채널 신호 방식 (separate channel signaling) : 가입자 간에 상호 통신을 행할 때 각각의 통화로에 영향을 주지 않도록 분리된 채널에 의해 수행하는 것.