

디지털 網同期

金玉姬 · 朴權喆

〈要 約〉

교환망이 점차로 디지털화 되면서 네트워크내의 클럭 주파수의 불일치에 의해 야기되는 slip 발생에 따른 정보손실은 중요한 문제점으로 대두되었으며 모든 디지털 교환기는 네트워크내의 기준 주파수에 자체 클럭을 동기시키기 위한 망동기 기능을 수용하여 slip 발생을 방지하고 있다.

TDX-1에서는 국내 교환망 동기 체계에 적합한 동기회로계를 개발하여 망동기를 성취하고 있으며 본고는 이 회로계의 특성에 대해 논하고자 한다.

I. 서 론

동기의 필요성은 1959년 미국의 Bell 연구소에서 디지털 교환기와 집선장치로 구성된 실험망을 통해 integrated digital network의 가능성을 입증하기 위한 실험의 결과 처음

문제점으로 제시되었고, 그후 PCM time division switch가 등장하면서 많은 연구가 진행되었으며 고도 정보화 사회 지향에 따른 비음성 서비스의 요구에 비례하여 그 중요성은 증대되고 있다.

Network이 동기되면 slip은 전혀 발생하지 않으나 전송로 장애시 제한된 정확도를 가진 오실레이터의 drift등에 기인한 slip 발생은 불가피하며 CCITT Rec. G822에서는 이들의 발생 한계 허용치를 규정하고 있다.

동기를 실현하는 방식으로는 크게 나누어 독립동기, 종속동기, 상호동기 방식으로 요약할 수 있다. 독립동기 (Plesiochronous synchronization) 방식은 모든 네트워크내 클럭이 서로 독립적으로 동작하는 형태로 slip 발생률을 허용치에 만족시키기 위하여 10^{-11} 이상의 고정확도를 갖는 클럭 오실레이터를 필요로하여 경제성과 유지보수의 문제점이 따른다. 종속동기 (Master slave synchronization) 방식은 네트워크의 timing 분배체계

를 tree구조로하여 상위국을 master, 하위국을 slave로 하여 slave는 master의 timing을 공급받아 이에 위상 고정되는 방식으로서 독립동기 방식보다는 정확도가 낮은 오실레이터를 사용할 수 있으며 망구조가 간단하여 implementation이 용이하고 안정도가 높으나 동기 링크의 고장시 slip발생에 대한 대책이 요구된다.

상호동기(Mutual synchronization) 방식은 자체 클럭과 모든 입력 클럭과의 평균 위상차에 의하여 자체 클럭을 제어함으로써 네트워크내 모든 클럭이 상호 위상 고정되는 방식으로서 비교적 정확도가 낮은 ($10^{-6} \sim 10^{-7}$) 클럭 오실레이터로 실현 가능하며 동기 신뢰성이 높으나 환경변화에 따른 전체 네트워크 주파수의 불안정과 일부 고장이 전체 네트워크에 미치는 영향이 크므로 timing link 관리의 어려움이 따른다.

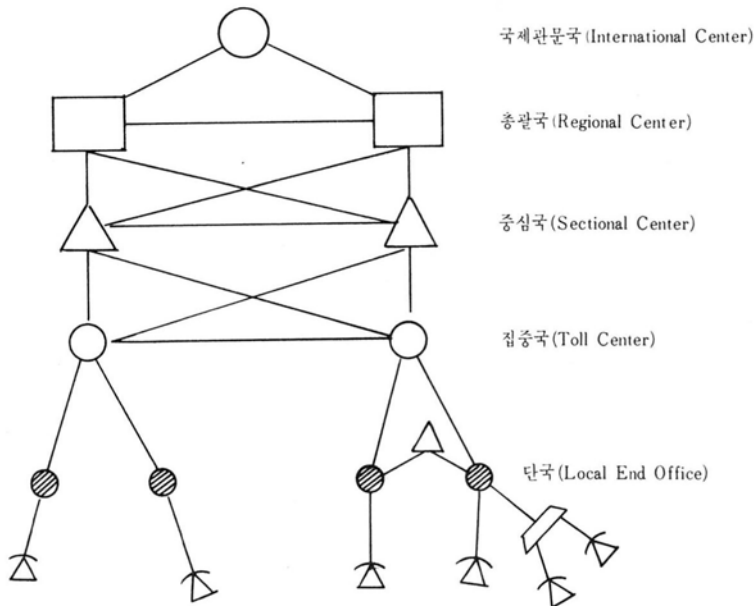
동기방식을 채택하는 데는 경제성, 품질성능, 신뢰도, 망관리 등의 요소가 고려되어야 하며 국내에서는 종속동기 방식의 일종으로 primary 동기 링크 고장시 우선 순위에따

라 대기용 우회 링크로 자동 절체되도록 하는 PAMS (Preassigned Alternate Master Slave) 방식을 채택하고 있으므로 TDX-1에서는 이 방식에 적합한 망동기회로계 NES를 개발하여 동기 기능을 성취하고 있다.

이러한 동기클럭 발생을 위하여 PLL(Phase Locked Loop)을 구성하였고 반도체 기술 및 마이크로 프로세서의 발달에 힘입어 등장한 DP-PLL(Digital Processing PLL)을 채택하여 입력 기준 클럭 상태에 따른 loop 동작의 융통성을 부여하였으며 시스템 내부에서의 중요성을 고려하여 redundant구조를 갖도록 하였다.

II. 교환망 구성

교환망을 구성하는데 CCITT에서는 6개의 계위에 의한 망체계를 권고하고 있으나 각 나라마다 실정에 맞는 계위망을 형성하여 미국은 5계위, 일본은 4계위의 망구조를 형성하고 있다.



〈그림 1〉 교환망 계위

우리나라의 교환망은 <그림 1>과 같이 4 계위로 구성되어 총괄국은 서울등 4 개 지역, 중심국은 마산등 19개 지역, 집중국은 군단 위 소재지 130여개 지역, 단국은 농어촌 및 도시를 포함하여 650여개 국으로 구성 되어 있다.

'83년 이후 국내에 디지털 교환기가 도입 되기 시작하면서 국제관문국과 총괄국은 No. 4 ESS로 설치되고 중심국은 AXE-10, 집중국은 중심국용 교환기와 농어촌용 기종이 혼용되고 있다.

단국용은 기존의 기계식 및 반전자식 교환기가 주류를 이루며 디지털 교환기로는 AXE-10이 공급되고 있고 TDX-1이 '86년 운용을 개시하였다.

이와같이 국내의 교환망이 디지털화 되면서 망동기가 대두되어 국제관문국은 독립동기 방식으로, 총괄국 이하는 PAMS 방식을 적용하여 동기망을 형성해가고 있다.

국제관문국은 현재 No. 4 ESS의 내부 클럭으로 독립동작하고 있으나 추후 Cs클럭에 의한 KRF(Korea Reference Frequency)가 확정되면 이로부터 동기 timing을 공급 받게 되며 tree형 구조로 단국까지 기준 timing이 분배된다.

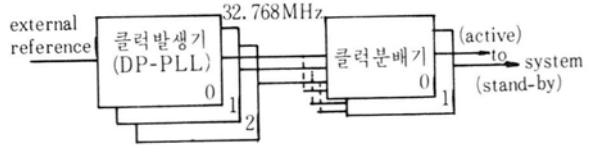
이제 다음장에서는 이제까지 언급한 국내 동기망 체계의 일원으로서 단국용으로 개발된 TDX-1 망동기 회로계에 대해 논하고자 한다.

III. 회로계 구성

1. Overall Architecture

NES(Network Synchronization System)는 크게 나누어 동기클럭 발생기능 및 클럭 분배기능으로 설계되어 있다.

동기클럭 발생기능의 특징은 VCXO(Voltage Controlled Crystal Oscillator) 및 위상 검출기로 구성되는 loop내에 마이크로 프로



<그림 2> NES 블럭도

세서를 포함하고 위상검출 및 제어를 디지털 방식으로 처리하는 DP-PLL 구성이며 T1 전송로로부터 입력되는 클럭에서 8KHz 기준 클럭을 추출하여 이에 동기된 자체 클럭을 발생시킨다.

외부에서 공급되는 PLL의 기준클럭은 최대 6개까지 우회 route를 제공받을 수 있으며 프로그램되어 있는 우선순위에 의해 최상위국을 선택하여 PLL을 동작시키고 모든 입력이 장애 상태인 경우는 일반적으로 사용되는 고 정확도의 back-up오실레이터 대신 마이크로 프로세서에 기억되어 있는 평균 네트워크 주파수로 클럭을 발진시킴으로써 slip 발생률을 최대한 억제하고 있다. 신뢰도를 고려하여 오실레이터를 포함한 loop 전체를 삼중화로 구성하여 하나는 master, 나머지 두개는 slave로서 master는 외부 입력 기준 클럭에, slave는 master출력 클럭에 phase locking 함으로써 세개의 클럭이 서로 동일 위상으로 되어 있으며 master의 이상시 slave가 master가 되어 클럭을 공급하도록 하였다.

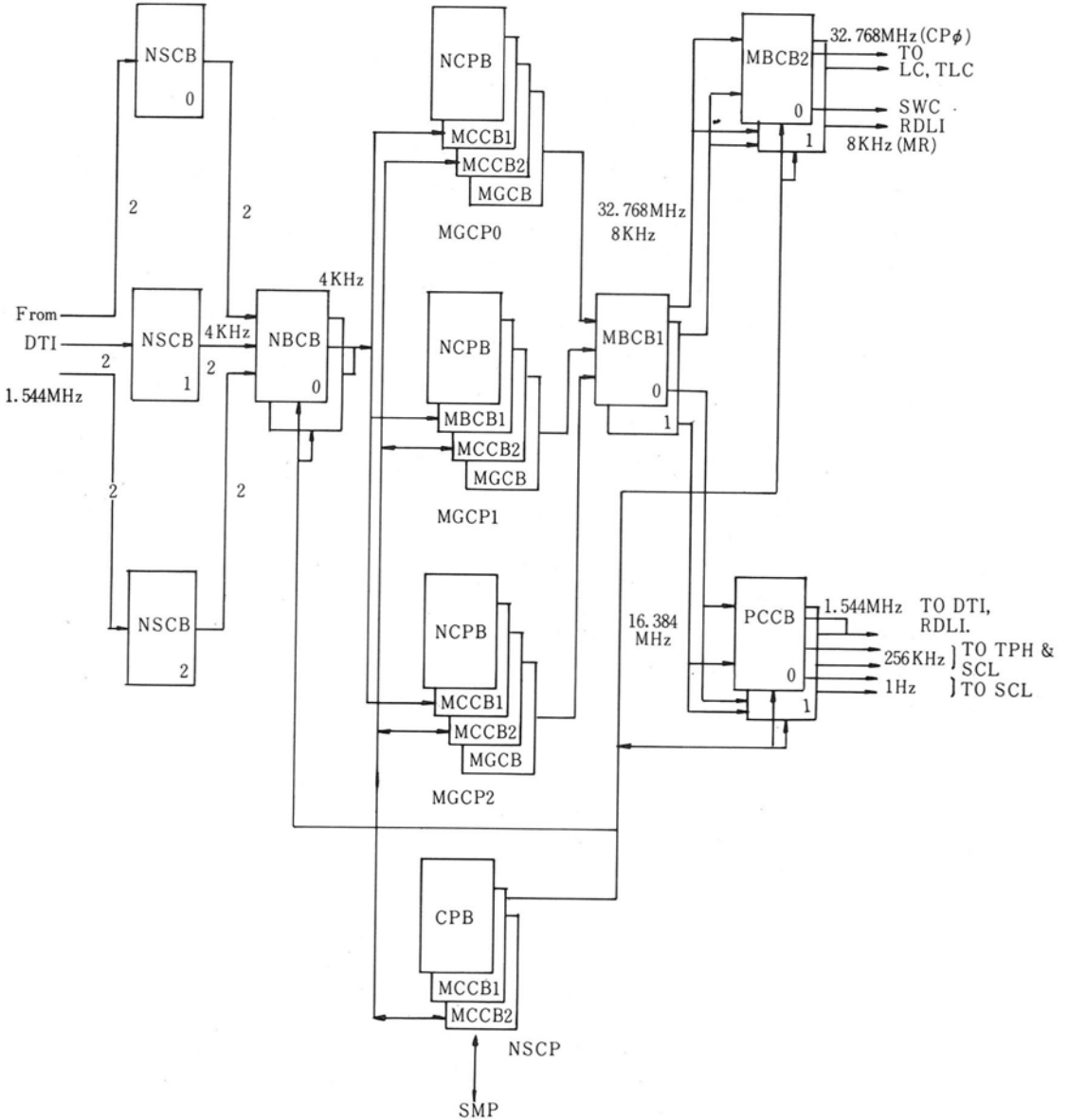
클럭 분배기는 이중화되어 있으며 세개의 VCXO로부터의 32.768MHz클럭을 공급받아 하나의 master클럭을 선택, 분주하여 coaxial cable 및 twist pair cable을 통하여 각 하드웨어 유니트로 분배한다.

또한 대국으로의 데이터 송신 클럭으로 사용되는 1.544MHz 클럭을 발생시키기 위해 별도의 오실레이터를 실장한 간단한 PLL을 구성하고 동기 클럭 발생기의 출력을 입력으로 하여 이에 동기된 클럭을 발생시켜 디지털 중계 정합장치로 공급한다.

이 클럭은 하위국의 기준 timing이 되어 tree형의 timing네트워크를 형성하게 된다. 모든 클럭은 케이블까지 분리하여 이중화로 분배되며 각 하드웨어 유니트에서는 이들 중 하나를 선택하여 active클럭으로 사용하며

active클럭이 이상이 생긴 경우 standby클럭으로 즉시 절체하여 시스템 동작에 영향이 없도록 하고 있다.

〈그림 3〉은 TDX-1내부에서의 interconnection을 포함한 NES 구성도를 보여준다.

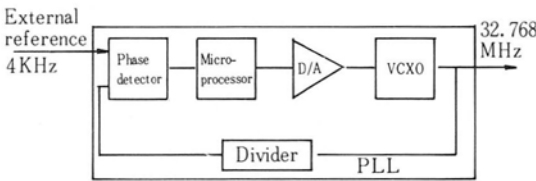


〈그림 3〉 NES 구성도

2. Phase Locked Loop구성

PLL을 구성하는 주요 요소는 <그림 4>와 같이 VCXO, 위상 검출기(Phase detector) D/A converter 및 마이크로 프로세서로 구성된 controller로 볼 수 있다.

위상 검출기는 기준 클럭 4KHz와 VCXO 출력 32.768MHz를 분주한 16.384MHz 클럭을 비교하여 위상차를 검출하여 4KHz의 rising edge에서 16.384MHz 클럭을 count 하기 시작하여 다음번 4KHz의 rising edge에서 counter를 reset함으로써 count된 클럭의 수에 의해 61ns의 배수로 위상차를 측정한다.

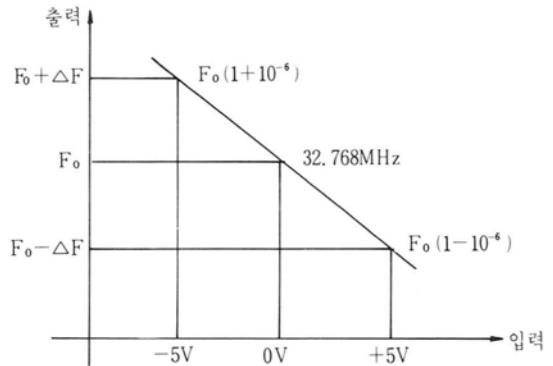


<그림 4> PLL 구성도

매 250μs마다 검출된 위상차 데이터는 메모리에 저장되며 CPU에서는 매 128ms 단위로 이 데이터를 scanning하여 분석한 후 8.192초마다 평균 위상 에러에 대한 VCXO의 제어 데이터를 산출하여 D/A converter의 입력을 제공한다. D/A converter는 12bit의 디지털 제어 데이터를 수신하여 ±5V범위의 전압으로 변환시켜 VCXO의 주파수 제어 전압을 공급하게 된다.

D/A converter의 resolution을 12bit로 함으로써 약 0.016Hz/step의 크기로 VCXO를 제어하여 미세한 주파수 조정도 가능하게 하였다. VCXO는 <그림 5>와 같이 입력 전압에 따라 출력 주파수가 조정되며 negative 출력 특성을 가지고 중심주파수 32.768MHz를 중심으로 ±1x10⁻⁶의 출력 범위로서 클럭을 발생시킨다.

앞에서 설명한 위상 검출기 이외에도 또다른 위상 검출기가 구성되어 있으며 이것은 master와 slave PLL 모두 외부 입력 기준 클럭과 자체 VCXO출력 클럭의 위상을 비교하며 1초 단위로 누적된 위상차 데이터를 CPU에서 scanning하여 삼중화 운용과 하드웨어 및 기준 클럭 상태 monitor를 위한 데이터로 사용한다.



<그림 5> VCXO 입출력 특성

지금까지 설명한 PLL의 주요 파라미터 및 클럭 특성을 <표 1>에 요약하였다.

<표 1> DP-PLL 파라미터 및 클럭 특성

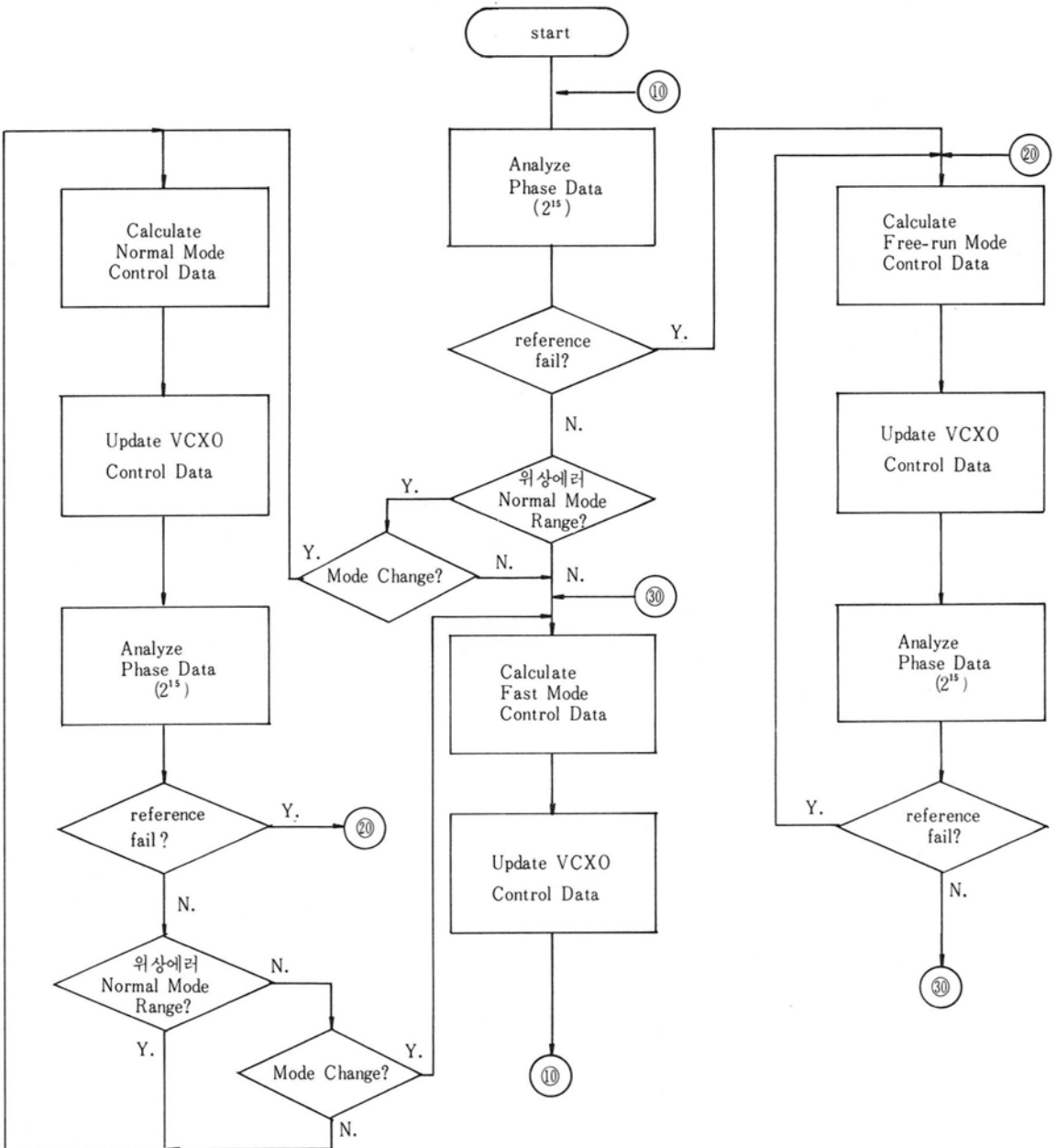
VCXO Type	Oven Controlled Voltage Controlled Crystal Oscillator
VCXO Frequency	32.768MHz
VCXO Long Term Frequency Stability	±3x10 ⁻⁹ /day ±5x10 ⁻⁸ /year
VCXO Frequency Control Range	±1x10 ⁻⁶
Resolution of D/A Converter	12bit
Number of Phase Quantization Steps	4,096
Frequency Increment	5x10 ⁻¹⁰ /step
Phase Comparison Frequency	4KHz
Phase Detection Frequency	16.384MHz
Phase Sampling Interval	250us
Phase Averaging	2 ¹⁵
VCXO Update Interval	8.192sec

3. 제어부 구성

NES의 제어부는 3중화된 PLL에 포함된 세개의 마이크로 프로세서(MGCP) 및 이들을 관할하고 상위 레벨 프로세서와의 bus

interface 구조를 갖는 또하나의 마이크로 프로세서(NSCP)로 구성되어 있다.

각각의 프로세서는 독립된 CPU, ROM, RAM 및 I/O port를 포함하여 full mesh 형태로 4개의 프로세서가 4bit의 데이터 버스를 통



〈그림 6〉 Phase Locking Control Procedure

하여 데이터를 송수신하고 있다. PLL의 일부로서 loop를 제어하는 소프트웨어는 ROM에 내장되어 있으며 phase locking algorithm, 3중화 운용, supervision 기능 등을 포함하고 있다.

PLL은 소프트웨어에 의해 세가지 모드로 동작된다. 모드 구분은 입력 기준 클럭상태 및 기준 클럭과 자체 클럭간의 위상차에 근거하며 기준 클럭이 fail이 된 경우 혹은 위상 에러가 한계치를 넘는 경우는 free-run모드로 동작하여 VCXO는 독립 발진하게 된다. PLL이 start-up한 후 혹은 입력 기준 클럭이 fail상태에서 정상으로 회복된 경우 PLL을 입력에 동기시키는 과정은 fast모드로 동작하며 이때 loop gain은 위상 에러에 대한 빠른 응답 특성을 갖게된다. Normal 모드는 input의 jitter를 충분히 흡수하고 적은 loop gain을 갖는 경우로 자체 클럭이 기준 클럭에 locking된 상태라고 볼 수 있다. 이와 같은 제어과정을 <그림 6>에 요약하였다.

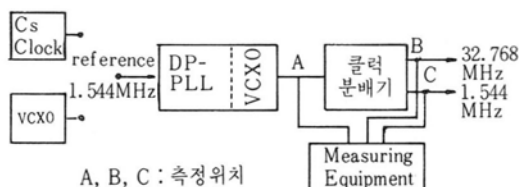
제어부의 또다른 주요 기능으로는 loop 삼중화 운용이며 interrupt를 이용한 주기적인 IPC(Inter Processor Communication)를 통해 위상 에러 데이터, locking 모드정보, master 정보, 오실레이터 제어정보 등을 상호 교환 함으로써 PLL을 구성하는 하드웨어 유니트의 이상상태 및 프로세서의 상태를 판단하여 master slave 동작을 제어하게 된다.

삼중화된 PLL을 구성하는 세개의 MGCP와 인터페이스하여 이들을 감시하고 loop 동작 상태를 모니터하는 NSCP는 TDX-1의 상위 레벨 프로세서와 인터페이스하여 NES 내부의 status 데이터를 시스템 운용 관리부로 전달하고 loop를 제외한 NES의 회로계를 제어한다.

IV. 성능 평가

NES의 성능을 평가하기 위하여 주파수 안정도를 측정 분석하였다.

PLL의 입력으로써 Cs clock 및 free-run하는 VCXO의 출력 클럭을 사용하여 클럭분배기를 거쳐 시스템으로 공급되는 최종 출력단의 32.768MHz 및 1.544MHz 클럭을 측정 하였으며 free-run하는 VCXO 출력도 측정 하였다.



A, B, C : 측정위치

<그림 7> 주파수 안정도 측정도

측정한 주파수 데이터로 다음식에 의해 안정도가 산출된다.

Relative frequency

$$y = \frac{f_c - f_s}{f_s} \dots\dots(1)$$

f_c : Actual frequency

f_s : Nominal frequency

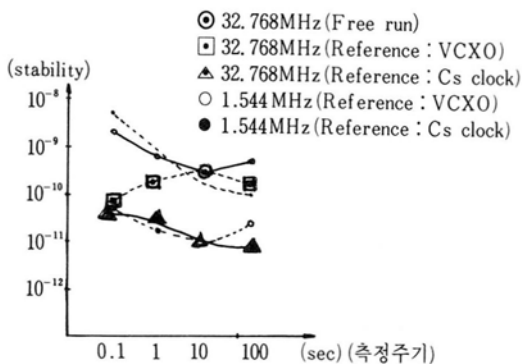
Frequency stability

$$\sigma_y(T) = \frac{\sum_{i=1}^{M-1} (y_{i+1} - y_i)^2}{2x(M-1)} \dots\dots(2)$$

T : Sampling time

Y : Relative frequency

M : Number of samples of y_i



<그림 8> NES 주파수 안정도

식(2)의 파라미터를 0.1초, 1초, 10초, 100초 단위로 가변시켜 $\sigma_y(T)$ 를 측정하여 그 결과 sampling time에 따라 <그림 8>과 같은 단기 안정도를 얻을 수 있었으며 약 한달 간의 측정기간을 통해 장기 안정도는 약 1×10^{-10} /day가 됨을 알 수 있었다.

V. 결 론

이상에서 국내 교환망 구성에 대해 간략히 살펴보고 국내에서 채택된 PAMS 방식에 따른 TDX-1 망동기 회로계의 개발에 대해 고찰하였다.

주된 특징은 마이크로 프로세서에 의해 loop가 제어되는 DP-PLL을 신뢰성 있는 구조로 실현할 수 있었으며 오실레이터를 포함하는 loop는 삼중화로, 시스템으로 클럭을 공급하는 회로는 이중화로 구성하고 loop 내에 포함된 마이크로 프로세서에 의해 phase locking algorithm을 실행함으로써 외부 입력 기준 클럭 상태에 따른 loop 제어의 융통성을 부여하였다.

회로계의 성능은 frequency stability를 측정하여 약 1×10^{-10} /day이상의 안정도로 입증되었으며 더 정확한 성능 평가는 장기간의 측정기간이 요구된다. 또한 현장운용을 통하여 평균 0에서 4slip/day 이하의 slip 발생률이 측정됨으로써 local 교환기로서의 동시 품질이 입증되었다.

추후 네트워크가 ISDN화 할것에 대비하여 slip 발생허용률을 더욱 강화시켜야 할 문제점이 남아 있으며 NES를 대용량 transit 교환기에 적용하기 위하여는 클럭 분배 방식

을 개선할 필요가 있다.

(參 考 文 獻)

1. H. Fukimuki and I. Furukawa, "Intelligent PLL Using Digital Processing for Network Synchronization"; IEEE Trans. Commu., Vol COM-31, PP. 1295-1297 Dec. 1983.
2. R. Metz, E. L. Reible and D. F. Winchell, "Network Clock Synchronization", B. S. T. J, Vol 60 PP.1109-1129, Jul. 1981.
3. "전전자 교환기 개발사업중 교환기 개발과제 보고서"; 한국전자통신연구소, 1985.6.
4. "시간 주파수의 기초와 응용"; 한국표준연구소, 1984.4.
5. "네트워크 동기방식 구성에 관한 연구"; 한국전자통신연구소, 1983.12.
6. CCITT Recommendations Redbook Vol III, Rec. G822, Oct. 1984.
7. Ronald E. Schauer, "External Clock Synchronization Plans for the GTD 3 EA X Digital Toll/Tandem"; IEEE Trans. Comm. Vol COM-27 PP988-989 Jul. 1979.
8. "Digital Telephony"; L. M. Ericsson, Stockholm 1977.
9. C. Anthony Cooper, "Synchronization for Telecommunications in a Switched Digital Network"; IEEE Trans. Comm. Vol COM-27, PP 1028-1030, Jul. 1979.



金玉姬(Kim, Og Hi)
1959년2월28일생
고려대학교 전자공학과 공학사
1982. 2. 3 ~1986 : 한국전자통신연구소
1986. 8. 현재 : 교환회로개발실 연구원



朴權喆(Park, Kwon Chul)
1953년10월 8일생
1977. 2 : 고려대학교 전자공학과 공학사
1979. 2 : 고려대학교 대학원 전자공학과 석사
1986 현재 : 고려대학교 대학원 전자공학과 박사과정
1982. 7 ~1986 : 한국전자통신연구소
1986. 8 현재 : 교환회로개발실 실장