

하드웨어 概要

朴恒九

〈要 約〉

본고는 TDX-1 하드웨어 전반에 관한 개요를 다음으로써 특집호의 내용중 각 부분에 서술되는 상세한 기술자료를 이해하기 위한 입문서로 작성되었다.

I. 개 요

TDX-1은 분산제어방식을 사용하고 통화로에 시분할 PCM 다중방식을 사용한 전전자식 교환기로서 국내의 농어촌 및 중소도시의 통신망 구조에 적합하도록 설계되었다.

TDX-1의 개발이 가능했던 주변여건으로는 첫째로 전자기술 및 부품기술의 발달을 꼽을 수 있으며, 대형시스템 구성기술의 발달, 공간분할식 및 1세대 시분할 전자교환기 설계기술과 반도체 기술의 발달로 집적도가 증대되고 신뢰도가 향상되었으며 단위기능당 가격이 저렴화된 점을 들 수 있다.

둘째로는 컴퓨터 및 제어기술의 발달로서 마이크로프로세서의 전자부품화, 염가화에 따른 컴퓨터 제어 시스템기술의 발달과 또한 이에 따른 소프트웨어 엔지니어링 기술 및 교환프로그램 구성기술의 발달, 프로그램의 표준화, 구조화 프로그램 기법의 보급에 기인된다. 특히 각종 문제 규정방식의 발달로 단계적 기술방법 및 유사언어 기법이 도입되고 데이터 구조와 알고리즘의 관계 명확화로 소프트웨어 구조가 좀더 유연성있게 대처될 수 있는 장점이 이를 가능하게 하였다.

II. 설계이념

개발에 적용된 기본이념으로는 첫째로 우리나라 환경과 생산업체능력에 맞는 구조에서 가능한한 기성 표준품을 대량 사용하고 기존기술, 물품의 활용으로 개발의 확실성이 보장되도록 하였다.

둘째로는 개발업무의 적용지침으로서 업

무의 분할 및 분업화를 최대한 고려하여 작업을 용이하게 하였고 각종 단계별 제 문서의 표준화로 각 분담 개발자간 통신연락 및 결합을 감소시켰으며 충분한 사전검토 및 실험확인으로 실패를 방지할 수 있도록 하였다.

또한 설계단계 부터 신뢰도 및 시험방법 등이 충분히 검토되었으며 상호결합부의 엄밀한 규정에 의한 착오를 방지하였고 사용부품 품종수를 극소화로 표준화하여 적용하였다.

세째로는 시스템 구조의 적절한 설계로서 부하 및 기능분담에 의한 분산제어방식을 채택함으로써 각부의 분할이 용이하고 상호 결합도가 낮아 개발분담이 적합하도록 하였으며, 각부 상호간 표준화된 명령에 의한 제어수수로 부분적 구조변경이 용이하며 독립설계가 가능하게 하였다. 또한 제어용 프로세서를 단일기종으로 통일함으로써 하드웨어 개발노력을 감소시켰으며 원격교환장치도 본체와 같은 단일단체들을 사용함으로써 개발노력을 절감하였다.

네째로는 생산측면에 대한 고려로서 부품, PBA 종수를 대폭 표준화하고 표준 범용부품을 대량 사용하도록 설계함으로써 양산효과를 제고하고 기술, 생산수명이 연장되도록 하였다.

다섯째로 운용측면에 대한 고려로서 철가수를 최소화하여 상면적의 대폭감소 및 변경, 증설에 용이하도록 하였으며, 극소고장이 타부분에 파급되지 않도록 하였고 계 감시체계를 완벽히 실현하여 유지보수 기능을 강화시켰다.

Ⅲ. 시스템 계층 구조

TDX-1의 시스템 구조는 시스템-서브시스템-기능블럭(Function block)-유닛-PBA의 계층구조로 형성되었으며 하드웨어와 소프트웨어는 일반적으로 기능블럭 레벨에

서 결합되도록 하였다.

하드웨어 유닛은 텔리포니 시스템과, 프로세서 시스템 양쪽에 배치되어 있으며 32개 유닛으로 TDX-1 본체(모국)와 RSS에 공용되고 PBA는 총 102종으로 그 내용은 <表1>과 같다.

Ⅳ. 하드웨어 설계

<表1>의 계층구조에 의해 TDX-1 시스템이 형성되고 하드웨어를 실현하는 면에서는 전통적으로 통화로계, 제어계 등의 모듈구조에 의한 설계가 실현되며 이를 <그림 1>에 나타내었다.

1. 제어계

교환기에서의 제어계 구조는 시스템 특성의 중요 요소가 되는 것으로서 TDX-1에서는 컴퓨터 및 관련 소자의 발달에 힘입어 시스템의 신뢰도, 확장성을 고려한 다수의 마이크로 프로세서로 구성된 분산 제어구조를 택하였으며 그 주요 특징은 단순, 모듈화된 구조 및 분산된 프로세서간 통신방식이라 할 수 있다.

효율적 기능 분담을 위해 프로세서군을 상위레벨(T레벨)과 하위레벨(B/D레벨)로 할당하였으며 상위레벨 프로세서는 시스템 차원에서 기능을 분할하였고 하위레벨 프로세서는 실시간이 많이 소요되는 단순한 제어기능을 담당하도록 하였다.

상위레벨 프로세서에는 스위치 네트워크 제어 및 전반적인 시스템운용 유지보수와 같은 중앙집중 성격의 제어기능을 수행하는 S WP, NTP, SAP, SMP와 시스템 용량확장을 위하여 다수가 사용되는 SLP 및 TLP가 있으며 신뢰도를 고려하여 이중화로 구성하였다. 하위레벨 프로세서는 호처리 기능에 관련된 상위레벨 프로세서에 연결되는 B 그룹 프로세서와 운용 유지보수 등 데이터 처

〈表 1〉 계층구조에 의한 하드웨어 기능 분할

System	Sub-System	Function Block	Unit			PBA	기능
			명칭	본체	RSS		
Telephony System	SSS	LI	RGD	0	0	RGSB	가입자회선정합
			ALID	0	0	GSLB, BSLB, CSLB, PSLB	
			SED	0	0	SSUB	
	LC	PBI	PBID	0	0	PBRB, PBSB	푸쉬버튼전화 번호수신
			TGD	0	X	DTSB	가입자집선장치
			DLCD	0	X	DDCB, ITXB, MUXB, DMXB, DAPB	
			RANMD	X	0	ANMB	
	RDLCD	X	0	DDCB, ITXB, MUXB, DMXB, DAPB			
	GSS	SWC	SWCD	0	X	MDCB, ITXB, SPXB, OTXB, MUXB, DMXB	스위치네트워크
			NES	NESD	0	X	NCPB, MCCB1, MCCB2, MGCB1, MGCB2, MGCB3, CPB, NSCB, NBCB, MBCB1, MBCB2, PCCB
		ANM	ANMD	0	X	ANMB	녹음안내장치
		RNES	RNESD	X	0	NCPB, MCCB1, MCCB2, MGCB1, MGCB2, MGCB3, CPB, NSCB, NBCB, MBCB1, MBCB2, PCCB	RSS의 망동기장치
		MSW	MSWD	0	X	CMAB	3자회의 가능
	TSS	ATI	ITID	0	X	LITB, RRTB	에널로그 입출중계정합
			OTID	0	X	LOTB, SOTB	
			TRGD	0	X	RLSB	
		DTI	DTID	0	X	TITB, TXTB, RXTB, SATB, DCTB, RITB	디지털 중계정합
		MFSI	MFSID	0	X	MSRB	R2 송수신장치
	TLC	TLCD	0	X	DPCB, ITXB, MUXB, DMXB, DAPB	중계선집선장치	
		TTD	0	X	DTSB		
TCS					호처리기능		
TMS	ITL	ITED	0	X	LTAB1, LTAB2, LTAB3, LTAB4, PGCB	가입자회선 시험장치	
	OTL	OTED	0	X	TAEb, ALEB, MCEB		
TAS					시스템운용기능		
Processor System	TPS	TPH	TPHD	0	X	CPB, EMB, CCIB, DPCB	T레벨 프로세서
			BMRD	0	X	BMRB	
	LPH	LPHD	X	0	LPB, EMB, CCIB, DPCB	RSS용 T레벨 프로세서	
	BPS	BPH	BPHD	0	0	CPB, MLIB	B레벨 프로세서
	DPS	DPH	DPHD	0	X	CPB, EMB, CCIB, IOIB, DKIB, MTIB, SAIB, ADCB, ALIB, OTIB	D레벨 프로세서
			ALS	ALMD	0	X	RAAB
	IOS	RDLS	RDLID	0	0	DCTB, SATB, RXTB, TXTB, RIRB, TITIB, DDCB	모국-RSS간 중계정합
			RALS	RALMD	X	0	RAAB
PMS	SCL	SCLD	0	X	SCSB, TDCB, TDDB	기준시간 발생기	

(주) 약어는 [부록] 영문 약어표 참조

리에 관련된 상위레벨 프로세서에 연결되는 D그룹 프로세서로 구성된다. 이와같은 프로세서들간 통신은 T 및 P 버스를 통하여 이루어지며 상·하위 및 동일 레벨간의 IPC(Int-er Processor Communication)에 의해 교환 기능을 포함한 제반 시스템 동작이 제어되도록 하였다.

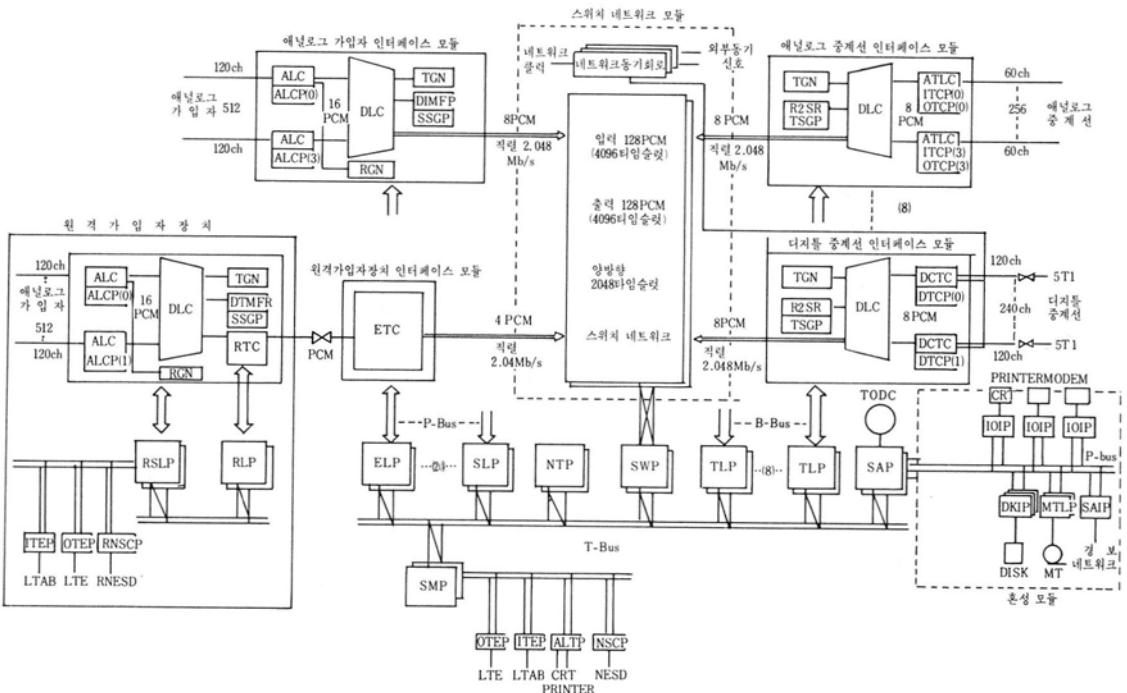
버스는 모두 이중화 구조로 T버스는 최대 32개의 이중화된 T 레벨 프로세서가 연결가능하며 이중화된 프로세서간 메시지 교환을 위한 X 버스를 구성하였고 이중화된 P 버스를 통하여 하위레벨 프로세서와의 통신 기능을 실현하였다.

하드웨어는 CPU, 메모리, 인터페이스 기능으로 표준화하여 모듈구조로 설계함으로

써 시스템 확장시 편의성을 제공해 주도록 하였으며 단일 기종의 범용 마이크로 프로세서(Z80A 계열)로 제어어계를 구성하고 제어 대상 회로계와 표준화된 인터페이스를 실현함으로써 개발 및 유지보수의 단순화를 기하였다.

2. 스위치 네트워크

스위치 네트워크는 time switch(약호 T), space switch(약호 S), multiplexer(약호 M UX) 및 demultiplexer(약호 DMX)의 조합으로 각 인터페이스 모듈로부터 입력되는 PCM 데이터에 대한 교환기능을 수행하며 완전 이중화되어 있다.



〈그림 1〉 TDx-1 하드웨어 구조

이론적으로 단일 T만으로도 대용량 스위치 네트워크 구성이 가능하나 이를 구성할 반도체 소자의 기술 한계성으로 T의 용량을 1K time slot으로 설정하였으며 소요 통화량을 처리하기 위하여 4×4의 S를 갖는 T-S-T 구조를 택하였다. T는 주로 고속의 메모리로 구성되며 time slot interchange 기능을 수행한다. 4개의 입력 T와 4개의 출력 T가 있어 이들은 고속의 gate IC로 구성된 4×4 matrix의 S로 연결된다. S의 기능은 각 T로부터의 PCM 데이터를 공간적으로 연결함으로써 T간의 스위칭 기능을 수행하게 된다.

스위치 네트워크에서는 직렬 2.048Mb/s의 PCM(32 time slot)highway 128개를 다중화한 4,096 time slot에 대한 교환을 행한 후 다시 직렬 2.048Mb/s의 PCM highway 128개로 배분함으로써 약 1,600Erlang(Blocking rate 1%)의 통화량을 처리할 수 있으며 이중화된 스위치 네트워크와 이중화된 프로세서(SWP)를 상호교차 연결하여 신뢰도를 높였다.

3. 망동기

디지털 교환망에서는 클럭주파수의 불일치에 의해 정보손실 요소가 될 수 있는 slip 발생을 방지하도록 동기 기능이 요구된다.

TDX-1의 망동기는 국내 동기망 체계에 맞추어 PAMS(Preassigned Alternate Master Slave)방식으로 구성하였다.

Slave의 입장에서 T1 전송로를 통해 국내의 상위국 교환기 혹은 동일 레벨의 다른 디지털 교환기로부터 입력되는 네트워크 기준 timing에 자체 클럭을 동기시키며 master의 입장에서 하위국으로 기준 timing을 공급하고 있다.

동기 timing 손실을 우려하여 최대 6개의 독립된 루트를 제공받을 수 있도록 하였으며 이들에게 우선순서를 부여하였다. 하드웨어

및 소프트웨어의 조합으로 입력 클럭의 상태를 계속 감시하여 장애시 동기에 미치는 영향을 최소화 시키었다. 동기 클럭 발생을 위해 digital PLL을 채택하였으며 TDX-1내에서 필요한 각종 클럭을 공급하는 시스템의 심장부로서의 위치를 중시하여 모든 회로는 3중화 구조를 갖도록 하였다.

출력 기본주파수는 스위치 네트워크에서 사용되는 최대 클럭주파수에 따라 32.768MHz가 되며 발생된 여러 종류의 클럭은 active, standby로 이중화 하여 시스템내에 공급되게 하였다.

CCITT에서는 동기를 위한 클럭 성능치를 권고하고 있으며 이를 만족하도록 고정확도의 발진기를 사용하고 소프트웨어에 의한 동기 클럭 제어방식으로 입력기준 timing 장애시 back up oscillator없이 안정도 높은 동기가 이루어지도록 구성하였다.

4. 회선 인터페이스 모듈

회선 인터페이스 모듈은 TDX-1에 연결되는 모든 가입자 회선 및 디지털, 애널로그 중계선을 정합하는 모듈로서 이들과 스위치 네트워크를 정합하기 위해 필요한 각종 기능을 수행한다.

시스템 내부의 통화로계에서는 μ -law PCM을 사용하므로 가입자 및 애널로그 중계선 인터페이스 모듈에서는 A/D 데이터 변환 기능이 필수적으로 요구된다. 모든 인터페이스 모듈에는 스위치 네트워크의 T와 동일한 하드웨어로 구성되는 디지털 집선기 DLC(Digital Line Concentrator)를 포함하며 이를 통해 스위치 네트워크와 연결되게 함으로써 시스템의 융통성과 효율화를 기하였다.

가입자 인터페이스 모듈은 일반가입자, 국내교환기(PABX), 공중전화기 및 공동시설 가입자에 대한 정합기능을 제공하며 DLC에 의해 트래픽 배분기능이 수행되어 하드웨어의 결선 변경없이 소프트웨어의 의해 2:1부

터 16 : 1 까지의 집선비 가변이 가능하도록 설계되었다. 가입자 회선을 정합하는 데는 일반적으로 BORSCHT 기능이 필수요소이며 하드웨어의 가격비중이 높으므로 경제성을 고려하고 기능 집적화를 기하여 PBA당 8 가입자를 수용하였다. 가입자회선 정합용 ALCP, 신호처리용 SSGP와 같은 하위레벨 프로세서가 이 회로들을 직접 제어하도록 설계되었다.

애널로그 중계선 인터페이스 모듈은 기계식 및 반전자식 교환기와 연결을 위하여 loop/decadic, 2/4 W E&M 및 R2MFC 신호 방식에 대한 정합기능을 제공하도록 설계되었으며 가입자 회로와 유사한 기술로 실현되었다.

디지털 중계선 인터페이스 모듈은 디지털 T1 carrier를 사용하는 국간에 대한 정합 기능을 수행한다. 대국 디지털 교환기와 T1 전송로를 통한 직접 연결 및 채널뱅크를 통한 기계식 및 반 전자식 교환기와도 정합이 가능하도록 하였으며 TDX-1의 원격가입자 수용을 위한 RSS를 본체와 연결시켜 주는 기능도 동일 하드웨어로 실현하였다.

정합방법은 채널의 효율성을 고려하여 1.544Mb/s T1 carrier 5 개와 시스템 내부의 2.048Mb/s PCM 4 개가 변환되는 GAZPACHO 기능으로 실현하였다. 중계선 인터페이스를 제어하는 상위레벨 프로세서(TLP)는 애널로그나 디지털 중계선을 공용 제어하도록 구성가능하게 하여 시스템의 호환성과 융통성을 높였다.

5. 신호장치

신호장치는 교환국간 신호장치와 가입자 신호 장치로 구성된다.

TDX-1의 국간 신호 방식은 loop/decadic, 2/4 W E&M 및 R2MFC 등을 사용하며 앞의 두가지 방식은 비교적 간단한 신호방식으로 디지털 및 애널로그 신호로 입력되는 정

보가 중계선 인터페이스 모듈내에서 호처리에 요구되는 데이터 형태로 쉽게 변형되어 회선 제어 프로세서 DTCP, ATCP로 전달되어 처리되도록 구성하였으며, R2MFC 방식은 다주파 조합에 의한 신호정보를 수수해야하므로 안정도 및 신뢰도를 중요 요소로서 고려하였다. 송신기는 두 주파수를 합성하여 30종의 신호를 송신하고 수신기는 입력 MFC 신호를 피펫 알고리즘을 이용하여 DFT (Discrete Fourier Transform) 방식으로 처리하며 이를 별도의 전용프로세서로 실현하여 처리속도 및 정확도를 제고하였다.

가입자 신호장치는 가입자로부터의 DTMF (Dual Tone Multifrequency) 신호를 처리하기 위한 push button 수신기, 디지털 tone 송신기, 가입자 ringing 공급회로 및 녹음안내 서비스 장치로 구성되며 가입자에게 필요한 모든 신호를 제공해 주도록 하였다.

6. 운용 및 유지보수장치

입·출력 장치는 시스템의 제반 동작상황 및 이상상태를 외부로 출력시키며 운용자와 교환기간 통신기능으로서, 또한 시스템 내부의 각종 데이터의 저장 및 입력을 위해 필수적인 요소가 된다.

TDX-1의 입·출력 장치는 MTU (Magnetic Tape Unit), DKU (Disk Unit) CRT 및 printer 등으로 구성하였다.

과금 및 통계에 관한 데이터 기록용으로 가입자 트래픽을 고려한 2,400ft 용량의 MT가 3 중화 채용되었고, 시스템 back up 용으로 각종 프로세서의 프로그램 및 데이터와 운용자 요구에 의한 변경사항을 저장하는 disk unit가 이중화로 구성되었으며 시스템 고장시 재시동이 가능하게 된다.

CRT는 시스템과 운용자간의 MMC (Man Machine Communication) 기능을 제공하는 도구로 printer와 함께 시스템의 상태에 관한 입출력 메시지 포트가 되며 modem 연결 기능

을 추가하여 중앙집중보전시스템 (CSMS) 과의 연동이 가능하게 하였다.

가입자에게 중단없는 서비스를 제공하기 위하여 시스템의 이상 상태를 감지하고 시험할 수 있는 기능이 요구되며 이를 위해 가입자 내부회로 및 선로를 시험하는 기능과 시스템의 제반 동작에 대한 크고 작은 장애를 감시하는 경보기능을 실현하였다. 시험기능은 일부 on-line을 병행하면서 주로 on-demand로 처리되도록 하였다. 가입자 회로를 통하여 시스템 내부를 시험하는 in-test 기능은 신호검출에 의해 시스템 내부의 전송 손실과 고장여부를 시험하도록 하였고, out-test 기능은 시험장비를 사용하여 가입자 선로의 상태를 측정, 가입자 회로의 고장여부를 판별하도록 하였으며 모든 시험의 결과는 별도의 CRT 및 printer로 출력되도록 하였다.

시스템의 경보체계는 장애가 발생한 경우 시스템에 미치는 영향을 구분하여 대책을 세울 수 있도록 등급을 나누었으며, 경보원은 하드웨어 및 소프트웨어에 의한 검출방식으로 이원화하여 사소한 장애도 감지 가능하도록 하였다.

시스템에서 발생된 모든 경보는 가시 및 가청경보와 함께 운용자를 위한 CRT/printer에 출력되도록 하였다.

7. 기구물

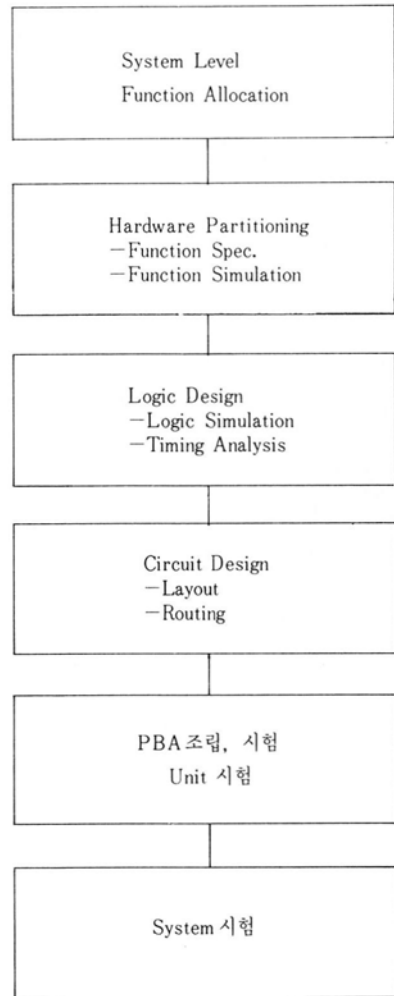
TDX-1의 기구물은 생산성을 고려하여 품종수의 표준화, 극소화에 중점을 두어 설계되었다.

PBA는 표준 PCB(8.2"×13") 1종으로 크기를 통일하였으며 각 shelf도 1종으로 통일하여 융통성있는 하드웨어 유니트 배치가 가능하도록 하였다. 시스템에 사용되는 rack은 일반형 1종과 MTU를 실장하는 특수형 1종으로 구성되어 전 기능이 실현되도록 하였다.

V. 개발보조장비

TDX-1의 개발은 <그림 2>와 같은 순서에 의해 일반적인 electronic system design hierarchy에 따라 실시되었다.

먼저 시스템 레벨에서 기능규격과 기능배치에 의한 하드웨어 분할이 이루어지고 시뮬레이션에 의한 검토결과 후에 하드웨어 설계 단계로 진행되었다. 이 단계에서는 각 논리의 시뮬레이션과 최악조건에서의 타이밍 분석까지를 포함하여 충분한 설계 마진을 가질 수 있도록 하였다.



<그림 2> 하드웨어 개발 순기

다음은 physical mask design 레벨에서 board별 소요부품과 배선을 제한된 위치에 고정도, 고밀도로 최적 배치 할당하는 auto layout와 routing 및 mask generation을 처리하는 과정을 거쳤으며 이는 최근 첨단기술 설계분야에 필수적인 CAD(Computer Aided Design) 시스템을 구축, 활용하여 설계기간이 전체 turn around time의 대부분을 차지하는 현시점에서 설계오류에 의한 개발지연을 최대한 방지하였다.

이와 같은 과정으로 PCB가 설계 제작되고 PBA가 조립되면 시험단계에서 생산에 관련된 모든 사항이 준비되어야 하며 자동화 대량생산을 위주로 한 in-circuit test 개념과 functional test 개념을 공존하도록 각종 test fixture 및 프로그램이 개발되고 활용되었으며 최종 시스템 시험을 STP(System Test Plant)에서 소프트웨어와 결합된 상태로 시험될 수 있도록 하였다.

VI. 결 론

TDX-1의 국내개발은 대형 개발과제를 국

내 기술진에 의해 최초로 실현했다는 점에서 의의 뿐만이 아니라 사용자의 엄격한 개발 확인의지로 인하여 장기간동안 현장에서 시험을 거침으로써 국내통신망에 적용이 확실하게 되었고 현장운용과정에서 요구되고 있는 유지보수 측면에서의 몇가지 사항이 추가 보완되면 손색이 없는 전전자 교환기로서 발전시킬 수 있으며 TDX-10 개발의 초석이 될 것으로 사료된다.

〈參 考 文 獻〉

1. W. Yu, H. G. Bahk, S. Y. Kang and H. Lee "TDX-1 Digital Switching System," International Switching Symposium (ISS) '84 Florence Italy. May, 1984.
2. 양승택의 전전자식교환기 개발사업 총괄보고서, 한국전자통신연구소 1985.
3. John. C. McDonald Fundamental of Digital Switching, Continental Telecom. Inc, Plenum Press, New York, 1983.



朴恒九(Bahk, Hang Gu)
1946년 8월 5일생
1965. 3~1976. 2 : 한양대학교 전자공학과 공학사
1976. 3~1979. 2 : 고려대학교 대학원 전자공학과 석사
1979. 3~1985. 8 : 고려대학교 대학원 전자공학과 박사

1972. 6~1977. 12 : KIST방식기연구실 연구원
1977. 12~1981. 12 : 한국통신기술연구소 선임기술원
1981. 12~1986. 8 : 한국전자통신연구소 책임연구원
1981. 8. 현재 : TDX개발단장(대)