

調查論文

통신용 초고속 반도체소자

- Digital GaAs 집적회로와 HEMT'S 를 중심으로 -

正會員 李 鎮 九*

Ultra-High-Speed Semiconductor Devices for Data Communication Applications

- Digital GaAs IC'S and HEMT'S -

Jin Koo RHEE*, Regular Member

要 約 III-V족 복합물 반도체인 GaAs를 이용한 초고속소자는 DBS(Direct Broadcast Satellite), 광통신, micro-wave 및 digital 집적회로에 널리 사용된다. 이와같은 GaAs를 substrate 재료로 D/E MESFET'S을 이용한 4K×4 bit SRAM, HEMT'S에 의한 4K bit SRAM과 X-band용 수신기전단부의 MMIC 화가 보고 되었고, 3차원적인 광집적회로의 연구도 가까운 장래에 완성될 것이다. 본 논문에서는 현재까지 널리 사용되어온 GaAs 반도체 재료, 제조공정기술, 소자응용과 집적회로 설계면을 고찰 검토한다. 마지막으로 초고속소자의 전망을 논의한다.

ABSTRACT GaAs, one of the III-V compounding semiconductors, has been widely employed as base materials for the fabrication of the ultra-high-speed devices in the fields of DBS, optical communications, MMIC'S and digital IC'S. There have been some reports on 4K×4 bit SRAM by D/E MESFET'S, 4K bit SRAM by HEMT'S, and receiver front ends for X-band by MMIC technologies, respectively. This paper reviews GaAs materials, wafer fabrication processes, device applications, and design aspects, and, finally, discusses the future of the ultra-high-speed devices.

1. 서 론

가. Digital GaAs 집적회로

III-V 복합물 반도체는 DBS(Direct Broadcast Satellite), MMIC(Microwave Monolithic IC), 초단파 및 광통신소자와 초고속 논리 소

자의 응용에 있어서 최근에 매우 각광을 받고 있는 반도체 재료이다⁽¹⁾. 특히 GaAs(Gallium Arsenide)는 direct energy band 구조, 높은 전자 이동도와 적은 전력소모등의 특성이 있다. 또한 질이 좋은 SI(Semi-Insulating) GaAs 기판의 성장이 가능하기 때문에 parasitic capacitance를 줄일수 있고, 소자간의 절연이 매우 좋다. 이와같은 GaAs 재료의 우월성을 집적회로 제작에 응용하기 위한 연구는 약 14년전 부터 시작 되었다⁽²⁾.

* 東國大學校 工科大學 電子工學科
Dept. of Electronic Eng.
school of Engineering Dong-guk University
Seoul, 100, Korea.
論文番號 : 86-16 (接受 1986. 6. 7)

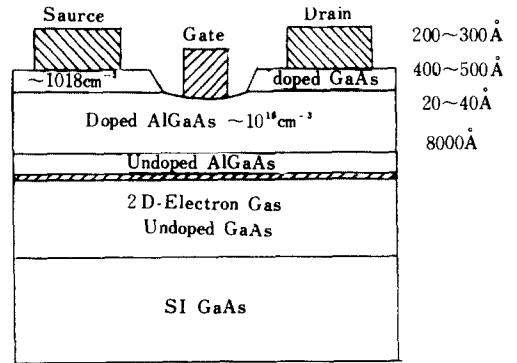
Depletion Mode Metal-Semiconductor Field Effect Transistor (D-MESFET's), Enhancement Mode MESFET'S (E-MESFET'S), High Electron Mobility Transistor's (HEMT'S) 와 Heterojunction Bipolar Transistors (HBT'S) 등의 새로운 소자들이 보고 되었다. D-MESFET'S 은 가장 널리 사용되어온 집적회로소자로서 BFL(Buffered FET Logic) 또는 SDFL (Schottky Diode FET Logic) 과 같은 기본 논리gate를 제작하는데 쓴다⁽³⁾. 그러나 D-MESFET'S 은 2종의 전원 공급기와 level shifter 가 필요하다. 이러한 문제점들을 보완하여 주기 위한 수단이 E-MESFET'S 이며, 대표적인 기본 논리 gates는 DCFL (Direct Coupled FET Logic) 이다. E-MESFET'S 은 SDFL이나 BFL 에 비해서 회로구성이 간단하고 동시에 전력소모가 적은 이점이 있다.

한편 광소자의 특성은 GaAs나 InP substrates 위에 epitaxial층을 성장 시키는 기술에 따라서 결정된다. 특히 ternary, quaternary, heterojunction, 및 superlattice 구조 성장시에 문제가 되는 것은 substrate 표면에 있는 defects, 격자정수 정합과 열 팽창 계수등이다. Superlattice의 구조에서 epitaxial층의 두께가 전자의 파장과 비교할 수 있을 정도로 얇으면 반송자의 energy level은 각 epitaxial층 내에서 양자화를 이룬 소위 양자우물 구조를 만들 수 있다. 이와같은 superlattice 내에서의 전자적 특성을 이용하여 전력소모가 적은 초고속 소자, 집적회로, laser와 photo diode등을 만들 수 있다.

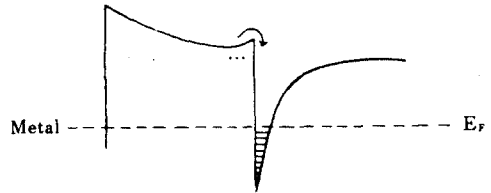
Silicon에서는 찾아 볼수 없는 superlattice의 특성, 즉 광 신호와 전자적 신호를 동시에 전송시킬 수 있는 이점을 이용한 삼차원적인 소자및 회로의 제작도 가능하다.

나. HEMT'S

AlGaAs-GaAs Heterojunction을 이용한 HEMT'S의 구조는 그림 1에 설명되어 있으며, 때로는 MODFET'S, SDHT'S 또는 TEGFET'S라고도 불리워지는 소자로서 1978년에 Bell Lab.에 의해서 처음 보고 되었다⁽⁴⁾. HEMT'S



(a) HEMT 구조



(b) Energy Barrier

그림 1 HEMT 구조와 Energy Barrier
HEMT structure and energy barrier

는 undoped GaAs 층에 계발될 수 있는 2차원적인 전자gas의 초고속 전자 이동도 특성을 이용하여 만든 새로운 소자이다. 따라서 GaAs MESFET보다 transconductance가 크고, 고전류를 전송할 수 있으며, substrate의 영향을 최소화할 수 있고, 전력을 적게 소모한다.

Josephson Junction 소자가 HEMT'S와 경쟁할 수 있는 소자중의 한가지이다. 그러나, Josephson junction 소자는 최적 작동을 위해서 주위 온도를 liquid helium 온도(약 4°K)까지 내려야 하기 때문에 매우 비경제적이다. 또한 재료의 순도와 thin film의 두께 조절등의 기술적인 문제의 어려움 때문에 IBM에서는 이미 1983년에 연구를 중단했지만 일본에서는 진행 중이다.

HBT'S 역시 HEMT'S와 경쟁할 수 있는 것이기는 하지만, 제작공정 기술과 charge storage 문제등 때문에 초고속 논리회로로서의 개발은 시간을 요하는 연구과제이다.

2. 기술 현황

가. 반도체 재료

(1) Digital GaAs 집적회로

Digital GaAs 집적회로, microwave 용 저잡음 및 고전력소자와 MMIC 등의 제작을 위해서는 질이 좋은 SI GaAs substrate를 준비해야 하고⁽⁵⁾, 다음과 같은 조건들을 만족해야 한다: (a) substrate와 active 층간의 상호 간섭 작용, (b) substrate로부터 active층으로 불순물의 확산, (c) 불순물의 함유와 (d) Crystalline defects가 적어야 하며, (e) 열 안정성이 좋아야 한다.

GaAs substrate의 성장 기술에는 HB(Horizontal Bridgman)와 LEC(Liquid Encapsulation Czochralski)방법등이 있으나, 각기 특별한 장점과 단점을 갖고 있다⁽⁶⁾. 그러나 여기에서는 가장 많이 쓰이는 LEC방법에 대해서만 간단히 설명하고자 한다. quartz crucible 속에 gallium과 arsenic 원소들을 함께 넣고 약820°C 정도로 가열한다. 이때 Ga-As 용액 위에는 boric oxide 용액으로 덮고 crucible 속은 약60atm의 불활성 기체로 채운다. 이때 boric oxide 용액은 As의 증발을 방지하여 Ga-As 용액의 crystalline stoichiometry를 유지시켜 주기 위한 수단이다. LEC방법에 의해서 성장된 GaAs crystal의 균일성을 개선하기 위해서 최근에는 다음과 같은 방법이 이용된다: (a) Crystal의 중심부와 외부와의 온도차이를 줄이고, (b) Ga-As 용액을 indium으로 doping, (c) Magnetic Field속에서 crystal성장, (d) Computer에 의해서 crystal의 지름을 자동적으로 조절, 그리고 (e) Crystal 성장시에 As을 주입시키는 방법등이 있다. 상온에서 비교적 높은 비저항($>10^7 \Omega \cdot \text{cm}$)을 얻기 위해서 2가지의 방법, 즉 doping을 하지 않는 법과 Cr을 Doping하는 법등이 사용되어 왔다⁽⁷⁾. 현재 반도체 산업계에서는 직접 이온 주입방식의 공정을 위해서 undoped SI GaAs substrates를 대부분 사용하고 있다. Undoped SI GaAs substrates의 높은 비저항은 carbon과 같은 shallow acceptor와 deep donor level(EL2)에 의한 보상의 결과로 볼 수 있다⁽⁷⁾. EL2에 관한

많은 연구가 진행되고 있다.

LEC 성장 방법에 의해서 최근 직경이 3"인 undoped SI GaAs substrate가 상용화 되어 있다. 그렇지만 dislocation의 밀도가 $10^4 \sim 10^6 \text{cm}^{-2}$ 로써 매우 크다. 이와같은 dislocation이 소자의 threshold전압의 변화에 직접 또는 간접적으로 작용을 하고 있다^{(8)~(11)}.

Dislocation은 Ga-As 용액의 온도와 주위온도와의 큰차이에 기인되는 열적인 stress 때문에 생성된다는 보고가 있다⁽¹²⁾. 따라서 상기와 같은 열차이를 줄이고, indium을 Ga-As 용액에 첨가함으로써 dislocation이 거의 없는 GaAs substrates를 성장시킬 수 있는 연구가 계속되고 있다. 이때 indium의 doping정도는 약 10^{19}cm^{-3} 정도이다.

그러나 indium doping 방법에 의한 crystal 성장법의 문제점은 indium의 분포정수가 약 0.08로 매우 낮다는 것이다. 따라서 GaAs crystal을 계속 성장 시켜가면, Ga-As 용액 속의 indium의 농도가 점차로 증가되어 constitution supercooling과 phase separation을 초래하게 된다. Indium이 doping된 GaAs substrate를 이용하여 만든 E-MESFET'S의 threshold전압의 변화가 매우 적다⁽¹³⁾.

(2) HEMT'S

Heterojunction 구조의 소자를 만들기 위한 epitaxial층의 성장 기술은 주로 MBE(Molecular Beam Epitaxy)와 MOCVD(Metal-Organic Chemical Vapor Deposition)의 방법을 사용한다. MBE에 의한 epitaxial층의 성장은 수nm부터 수백nm의 두께의 층에 이르기까지 매우 정확한 조절이 가능하다. MOCVD의 간단한 원리는 기체 상태의 반도체 재료들이 반응 chamber속에 있는 가열된 substrate 위에서 결합하여 epitaxial층이 성장되는 것이다.

Al GaAs층의 DX-Center에 관해서 체계적인 연구가 필요하다.

나. GaAs 집적회로 제작 기술

GaAs를 이용한 microwave용 소자는 mesa 형식을 이용해서 제작 해왔다. 그러나 planar 공정 제작 방식에 의한 digital GaAs 집적회로는 선택 이온 주입방식을 이용하여 dopants, 즉 Si 이온 등을 SI GaAs substrate에 직접 주입하는 방법으로 제작된다. 이때 소자간의 절연은 GaAs substrate 자체의 높은 비저항을 이용하지만, 최근에는 proton, boron 혹은 산소이온들을 선택 이온 주입방식으로 소자간의 절연을 높여 주어 상호간섭을 줄인다.

D-MESFET'S는 비교적 큰 논리전압 swings을 사용할 수 있기 때문에 threshold전압의 조절이 다소 용이하다. 그리고 D-MESFET'S의 channel의 두께가 E-MESFET'S보다비교적 두꺼워서 source / drain과 gate사이의 직렬저항이 소자 작동에 크게 영향을 끼치지 않아서 소자 제작 공정 시에 특별한 방법을 도입치 않아도 성능이 좋은 소자를 만들 수 있다. 그러나, E-MESFET'S의 제작 공정시에 대표적인 문제점들은 threshold 전압의 조절이 D-MESFET'S의 경우와 비교해서 매우 어려움과, gate와 source/drain간의 높은 직렬 저항이다. 후자가 전자보다 더 심각한 문제로 알려져 있다. Gate와 source/drain간의 높은 직렬 저항을 낮게 하기 위한 수단으로써 recessed gate 구조, JFET의 제작 기술과 SAG(Self-Aligned Gate)공정 기술등이 사용된다.

GaAs를 이용한 4K bit⁽¹⁴⁾와 16K bit SRAM의 집적회로가 성공리에 제작 되어 발표되었다⁽¹⁵⁾.

(1) Digital GaAs 집적회로의 planar공정 기술

Digital GaAs 집적회로의 planar 공정 기술은 선택 이온 주입방식의 도입에 의해서 개발 되었다. 그림 2에 설명되어 있는 planar 공정 기술은 원래 rockwell에서 개발 되었다⁽¹⁶⁾. planar 공정 방법은 plasma CVD기술에 의해서 약 900Å 정도의 Si₃N₄를 증착 시키므로써 시작된다.

n⁻와 n⁺영역의 doping은 대부분 Si⁺과 Si⁺⁺을 각기 선택 이온 주입 방식을 이용하여 만든다. Channel영역을 위한 n-doping은 이온주입후 ca-

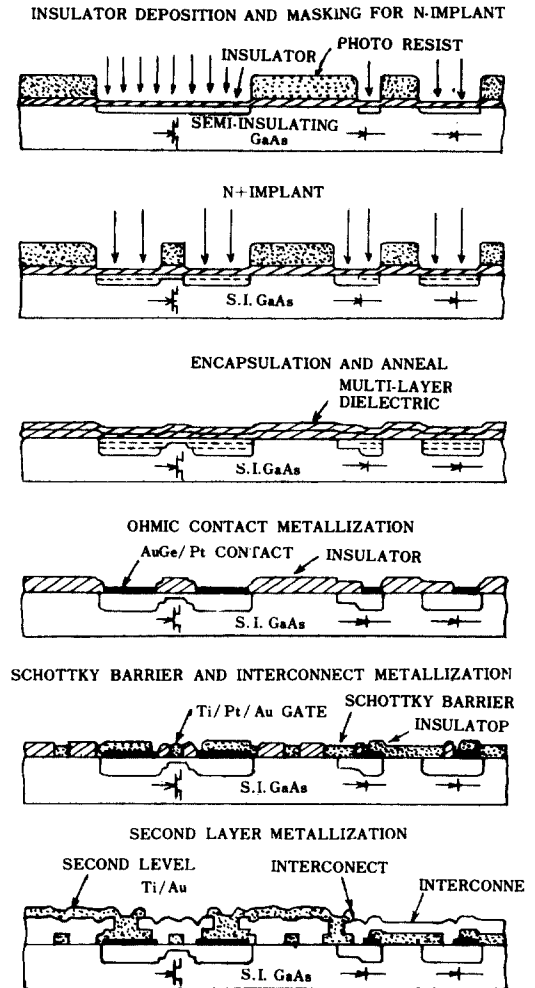


그림 2 Planar 공정기술(Rock well) Planar processing technology

rier의 최고 분포 지점을 GaAs wafer의 표면 근처에 위치하도록 이온의 energy를 선택한다. 그리고 전체 dose는 threshold전압을 약 1volt 정도 얻을수 있도록 조절한다. 그후 SiO₂ 층을 Si₃N₄위에 첨가하여 고온 annealing 처리를 한다.

1 μm의 gate길이를 갖는 집적회로의 소자는 감소 영상 photolithography 방법에 의해서 만든다. 그리고, Si₃N₄와 SiO₂와 같은 절연체는 일반적으로 dry etching 방법에 의해서 집적회로의 pattern을 만든다. Ohmic 접촉은 AuGe/Ni, Gate와 회로 연결은 Ti/Pt/Au를 각기 주로 사용하며, RF Diode 혹은 magnetron sputtering 이나

E-beam을 이용하여 증착 시킨후 lift-off 기술로 집적회로를 제작한다. 중간 절연체로써는 SiO₂을 많이 쓰며, Via는 RIE(Reactive Ion Etching)이나 plasma etching 방법을 이용하여 만든다. GaAs wafer를 Ti/Au/Ti로써 증착 시킨후 전기적인 plating방법에 의해 Au로써 via를 채운다. 그리고 최종 회로 구성을 위해서 Ti/Au를 증착 시킨 후 ion milling방법으로 회로 연결을 만든다. 최종적으로 GaAs wafer의 뒷면을 갈아내어 얇게 만든후 각 die를 분리 시킨다.

(2) Recessed Gate 공정

Digital GaAs 집적회로 제작에 많이 사용되어 오고 있는 recessed gate 공정 기술은 원래 microwave용 GaAs 저장음 및 전력 소자 제작 기술에서 도입된 것이다⁽¹⁷⁾. Recessed gate 구조는 그림 3에 설명 되어 있는 바와 같으며, 이온 주입방식에 의해서 형성된 channel의 두께를 약간 조절한다. 그러나 threshold전압의 변화가 recess의 정도에 매우 민감하므로 wet etching시에 특별한 주의를 요한다. 예를 들면, 1K bitSR-

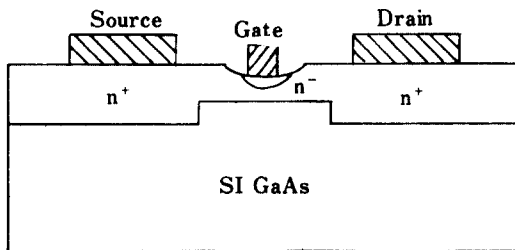


그림 3 Recessed gate 구조
Recessed gate structure

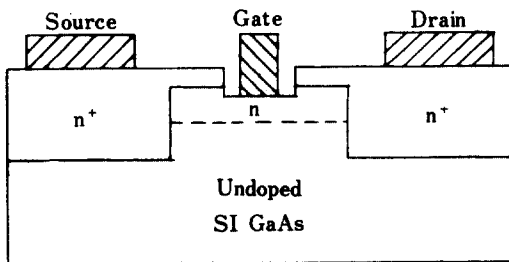


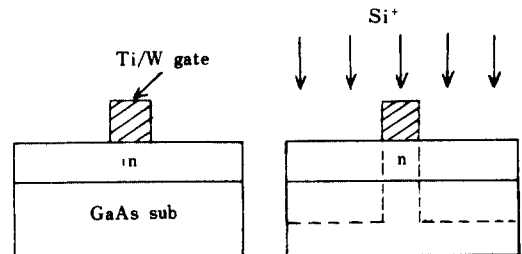
그림 4 shallow n+주입을 이용한 recessed gate 구조
A recessed gate structure using a shallow n+ implantation

AM 제작시에 20%의 Chip yield를 얻기 위한 computer수치 해석은 threshold 전압 변화의 표준 편차가 30mV 보다 적어야 한다는 결론을 얻었다⁽¹⁸⁾. 이때 E-MESFET'S의 평균 threshold 전압은 0.3V이다.

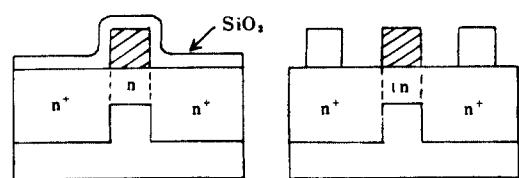
그림 4에 설명되어 있는 공정방식은 약300Å깊이의 n+ 이온 주입을 한 후, Wet Etching에 의해서 약 500Å 정도의 recess를 만들어서 소자를 제작한다. 이와 같은 공정 기술을 이용하여 2 wafer에 제작된 E-MESFET'S의 threshold 전압 변화의 표준편차는 66mV 이었다⁽¹⁹⁾.

(3) SAG 공정 기술

그림 5는 fujitsu에서 개발된 SAG공정방식이다⁽²⁰⁾. Refractory gate 금속으로써는 Ti/W을 썼다. 그러나, 이와 같은 fujitsu의 SAG 방법은 gate와 drain/source 간의 직렬저항을 매우 낮게 만들 수 있는 장점이 있으나, 반면에 gate 용량을 증가 시키고, Gate breakdown 전압을 낮게 만드는 단점도 있다. 이런 단점들을 개선하기 위해서 fujitsu는 높은 energy의 이온 주입 방식



(a) gate metallization (b) n+ implant



(c) SiO₂ deposition and annealing (d) ohmic metallization

그림 5 SAG 공정방법 (Fujitsu)
SAG processing method.

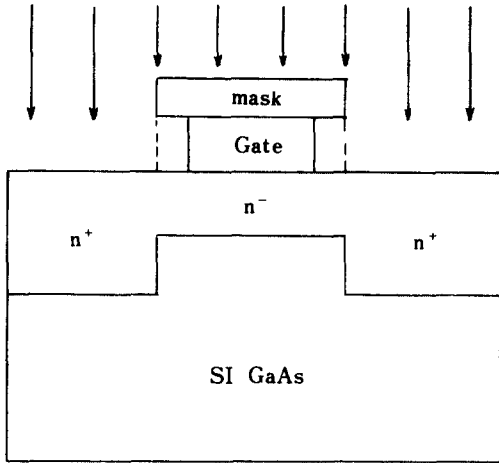


그림 6 T-형 gate를 이용한 SAG
A SAG using a T-type gate.

을 써서 n⁺ 영역을 깊게 만든다. 그러나 이와 같은 방법은 접촉 저항을 증가 시켜주기 때문에 제 2의 n⁺ 주입을 사용해야 하는 등의 복잡성이 있다.

Hughes⁽²¹⁾는 T-형 gate를 이용한 SAG방식을 개량했다. 그림 6에 설명되어 있는 바와 같이 Al을 n⁺ 이온 주입시에 mask로 사용하는 것이다. T-형 gate는 CF₄/O₂ plasma를 이용하여 Ti/W을 etching 하여 만들 수 있다. n⁺ 영역과 gate사이의 간격은 0.05~0.2μm가 가장 적합하다⁽²¹⁾.

NTT의 SAINT (Self-Aligned Implantation for n⁺-layer Technology) 방법은 그림 7에 설명되어 있다⁽¹⁵⁾. 이와 같은 공정 기술에 의해서 1K×4bit SRAM(Access time≃2.0ns, power dissipation≃0.89W), 과 4K×4bit SRAM (Access time≃4.1ns, Power Dissipation ≃2.52W)의 집적회로 제작이 보고 되었다. SAINT 공정 기술의 특색은 tri-level photoresist와 SiO₂를 써서 T-형 구조를 만들어 n⁺ 이온 주입시에 mask로 사용하는 것이다.

(4) Photolithography

Discrete GaAs 소자 또는 간단한 집적회로 제작은 vacuum contact lithography 기술을 사용

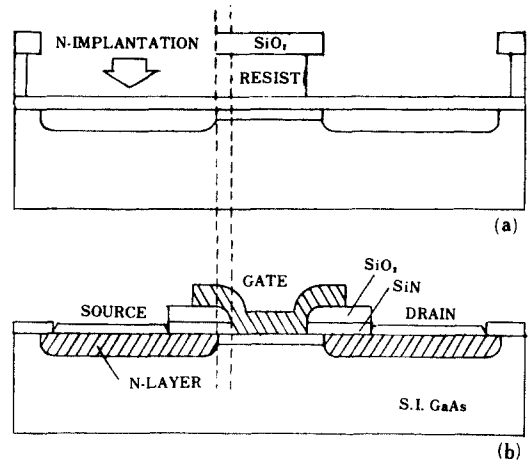


그림 7 SAINT 공정방법(NTT)
SAINT processing method.

해서 경비 절감을 하고 있다. Vacuum contact lithography 기술은 UV 혹은 mid-UV energy를 사용해서 Gate 길이가 약 0.7μm까지의 resolution이 가능하다. 경우에 따라서는 deep-UV와 PMMA를 사용해서 gate 길이가 약 0.3μm까지의 제작된 예가 보고 되었다⁽²²⁾.

최근에는 감소 영상 lithography 방법을 이용하여 복잡한 digital GaAs 집적회로를 제작한다. 이와같은 장비는 가격이 매우 비싼 것이 단점이나, 반면에 mask 수명의 증가와 mask 위의 결점이 실제로 제작하는 회로에 끼치는 영향의 감소 등의 장점 때문에 복잡한 집적회로 제작에 많이 쓰여 진다. Submicron gate 길이의 소자나 집적회로의 photolithography에는 E-beam lithography가 매우 효율적이다. 그러나 공정시간이 길고, multi-level-photoresist 공정 기술개발등의 단점이 있다.

(5) Ohmic 접촉

낮은 접촉 저항을 갖는 이상적인 ohmic 접촉을 만드는 것은 매우 어렵다.

따라서 channel보다 훨씬 높은 dose를 주입해서 source/drain 영역을 만든다. Digital GaAs 집적회로 제작시 대부분의 경우에 AuGe/Ni 을 써서 ohmic 접촉을 만든다. 이때 Ge은 donor로

써 작용하고, Ni은 AuGe의 균일한 접촉등을 도와 준다. Forming Gas속에서의 ohmic alloying은 420~550°C 사이의 온도에서 약 3초부터 4분까지의 시간을 요한다.

Ohmic 접촉을 만들기 위한 다른 금속 재료로서는 AuGa/Ag, AuGe/Pt와 AuTe/Ni 등이 있다.

(6) Gate 금속 재료

Ti/Pt/Au와 Al이 가장 많이 사용되고 있는 Gate 금속재료이다. Ti/Pt/Au 금속 재료에서 Pt대신에 Mo, W 또는 Pd등이 사용되기도한다.

SAG planar 공정 기술에서는 tantalum silicide, tungsten silicide, tungsten과 tungsten / aluminum 등의 재료들이 gate을 만드는데 사용된다.

그러나 이와같은 재료들은 Au에 비해서 일반적으로 높은 저항을 갖고 있기 때문에 연결 금속 재료 선택에 주의를 요한다.

(7) 연결 금속 재료

First level 연결은 source/drain과 Gate 사이에 집적회로 구성을 위해서 필요하다. Second level 연결은 완전한 집적회로 제작을 위해서 필요한 수단이다. 따라서 연결 금속 재료는 자체의 고유저항이 적어야 한다. 따라서 Ti/Pt/Au가 가장 많이 쓰여지는 재료이다.

LSIC 또는 VLSIC와 같은 집적회로에서는 회로의 복잡성 때문에 2 level사이에는 연결이 필요하다. 이때 level 간의 절연은 SiO₂를 주로 많이 쓰며, level 간의 연결은 Via를 통해서 가능하다.

Air Bridge 방법은 parasitic 용량을 줄이기 위해서 중간 절연체로서 공기를 이용하는 것이다.

(8) Packaging과 성능 시험

고속의 digital GaAs 집적회로의 packaging과 성능 시험 방법은 현재로써는 연구 과제 중의 하나이다. 초고속 집적회로의 packaging시에 고려해야 될 사항들은 다음과 같다 : (a) 신호 전파 지연시간을 최소한으로 줄일 것, (b) 고주파 간섭

을 방지할 것, (c) 임피던스 조절, (d) 반사의 제거, (e) 열처리 문제와 (f) power bus 잡음의 조절 등이다.

대부분의 Digital GaAs 집적회로 제작 회사들은 아직까지 silicon 집적회로에서 사용되어온 DC 측정과 VLSIC 시험장비 등을 응용하고 있다. 그러나 초고속 집적회로 성능 시험을 위해서는 특별한 시험장비와 Packages가 개발되어야 한다.

다. Digital GaAs 집적회로 설계

D-MESFET'S을 이용한 집적회로의 설계에

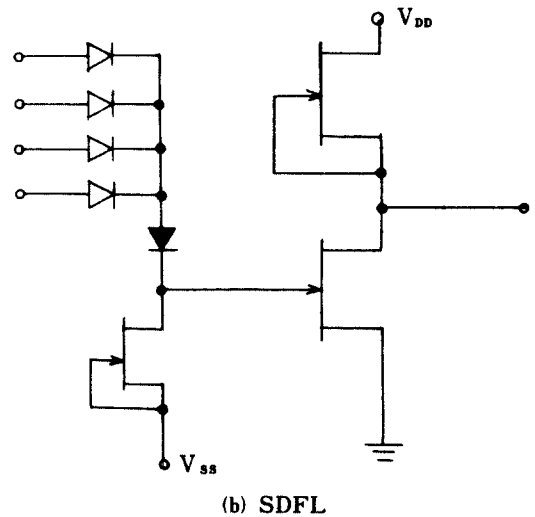
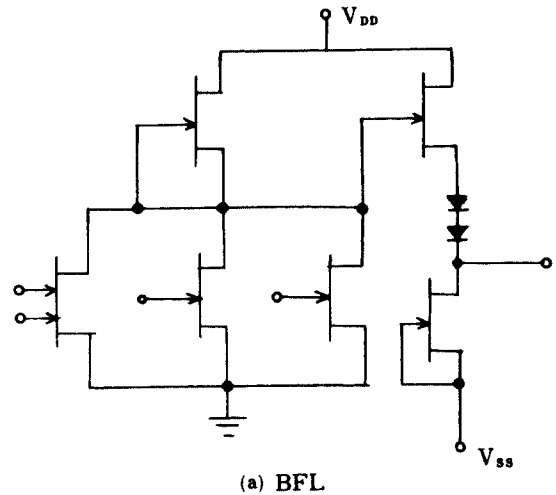


그림 8 D-MESFET's 을 이용한 기본논리회로. Basic Logic circuits using D-MESFET'S.

많이 사용되어온 기본 논리 회로로서는 그림 8에서 설명되어 있는 바와 같이 BFL과 SDFL 등이 있다.

최근에는 GaAs Substrate 성장기술과 공정기술의 개발로 E-MESFET'S의 설계와 제작의 연구가 진행되어 왔다. 이와같은 E-MESFET'S을 이용한 기본 논리 회로에는 DCFL, 또는 LPFL 등과 같은 것으로서 그림 9에 설명되어 있다. GaAs를 이용한 집적회로의 설계는 CAD (Computer Aided Design)에 의해서 쉽게 실현이 가능하다.

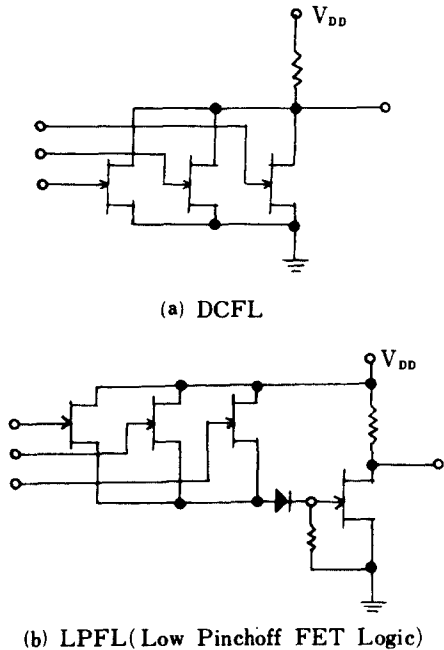


그림 9 기본논리회로
Basic Logic circuits.

라. Digital GaAs 집적회로의 응용

Silicon을 이용한 고속소자보다 GaAs 고속 소자의 빠른 switching 속도 및 적은 전력소모 등의 이점때문에 많은 연구가 집중되어온 결과와 정보화 고속의 시대적인 요구로 태어난 새로운 상품이 digital GaAs 집적회로이다.

Digital GaAs 집적회로의 응용분야는 대체로 supercomputer, 고속통신장치 및 광대역 전자장

치등이다. 구체적인 예로써는 clock rate가 매우 빠른 counters, prescalers, shift registers, multiplexers와 demultiplexers 등이다. 이와같은 집적회로의 성능에 관한 보고로서는 아직까지 toggle 주파수가 5.6GHz이고 gate Delay는 13.7 PS이다⁽²³⁾.

GaAs는 silicon에 비해서 radiation에 매우 강하고, 작동온도범위가 매우 크다. 이와같은 특성을 이용한 소자나 집적회로가 우주선용 또는 군사용으로도 많이 응용된다.

상기에 열거한 응용외에도, 작동 주파수가 1 GHz 이상인 집적회로는 광통신 장치에 응용될수 있다. 따라서 GaAs를 이용한 3차원적인 회로 구성을 통한 광전자 집적회로의 개발이 예상된다.

마. HEMT 제작 기술 현황 및 응용

HEMT'S의 제작 공정 기술은 MBE에 의한 epitaxial 층의 성장 과정을 제외하고는 GaAs MESFET'S의 공정기술과 거의 같다. 특히 E-HEMT'S의 제작에 있어서도 높은 channel 저항과 threshold 전압의 조절등의 어려운 문제점들이 있다. 또한 channel의 두께가 매우 얇은 관계로 인해서 열처리와 plasma etching 등의 공정시에 active층의 두께 혹은 물리적인 특성이 변하면 역시 threshold 전압의 변화를 초래하게 된다.

아직까지 발표된 GaAs 소자 중에서 HBT'S의 구조가 가장 복잡하다. HBT'S는 vertical 소자이다. 따라서 초고속 특성은 얇은 base 영역과, GaAs와 AlGaAs의 고전자 이동도에 기인한다. 이와같은 특성 때문에 이득-대역폭의 적이 100~200 GHz 까지도 가능한 소자이다. 또한 threshold 전압이 GaAs와 AlGaAs 층의 band gap에 의해서 결정되기 때문에 threshold 전압의 안정도가 매우 좋은 이점도 있다.

MBE 성장 기술의 발전에 힘입어, 전자의 이동도가 LHT(Liquid Helium Temperature)에서 $2,400,000 \text{ cm}^2/\text{V-sec}$ 이고, LNT(Liquid Nitrogen Temperature)에서 $450,000 \text{ cm}^2/\text{V-sec}$ 로 급격히 개선된 것을 볼 수 있다. 따라서 HEMT

의 transconductance가 GaAs MESFET 이나 Si NMOS 보다 훨씬 크다. 예를 들면, 77°K 에서 HEMT의 transconductance는 400mS/mm이다. 그리고 상온에서 HEMT의 transconductance는 270mS이고 GaAs MESFET은 230mS/mm이며 Si MOSFET은 80mS/mm이다. HEMT의 논리 전압 swing은 77°K에서 약 0.5V이다. 상온에서는 HEMT와 MESFET은 약 0.8V이고, MOSFET은 약 2.5V이다. 또한 전력 소모의 비를 검토하면 HEMT : MESFET : MOS-FET ≈ 1 : 2.6 : 25 정도이다. 그러나 AlGaAs-GaAs 구조의 HEMT는 radiation에 약하고 DX-center의 밀도를 줄이는 방법에 대한 연구등이 필요하다. 따라서 InGaAs-GaAs pseudomorphic 구조를 갖는 HEMT가 연구 되기도 한다²⁴. HEMT를 이용한 집적회로로서는, 77°K에서 10.1GHz까지 작동하고 전력소모가 49.9mW인 frequency divider가 있고²⁵, 상온에서 작동이 양호한 HBT를 이용한 frequency divider도 있다²⁶ 또한 HEMT를 이용한 4K×1bit SRAM²⁷은 77°K에서 Access 시간이 2.0ns이고 소모전력은 1.6W이다.

앞으로 HEMT의 제작기술이 개발되면, super-super-computer의 제작에 많이 응용될 것으로 기대된다. 예를들면, 초고속 대량 기억장치 및 논리회로 등이다. Analog 분야의 응용으로써는 microwave용 저잡음 증폭기 및 전력소자 등의 응용에도 기대된다.

3. 결 론

Digital GaAs 집적회로는 이제 연구실의 운상에서 벗어나, Harris microwave 회사의 digital GaAs 집적회로를 선두로 1984년 3월부터 세계 시장에 나타나기 시작했다. 또한 1984년 6월부터는 GigaBit 회사도 GaAs 집적회로 시장에서 판매 경쟁에 참여하였다. 현재의 GaAs 집적회로의 세계시장 규모는 silicon 집적회로의 세계시장 규모에 비교가 안되지만, 계속 빠른 속도로 성장하여, 1990년도에는 약 35억~45억\$의 규모가 예상된다²⁸. 그리고, Strategic, InC.는 1994

년의 세계시장 규모는 약 135억\$로 성장될 것을 예견하고 있다.

GaAs wafer의 값이 silicon에 비해 매우 비싸고 최종 yield마저 적어서, digital GaAs 집적회로의 판매단가가 비쌌어도 불구하고 그 수요는 계속 증가 할 것이다. 그 이유는 GaAs 재료 자체가 silicon보다 고속성이고, radiation에 강하고 저잡음과 같은 우월성을 갖고 있기 때문이다. 따라서 frequency divider로부터 16K bit SRAM까지 개발되어 있고, 집적도는 계속 증가 할 것이다. 또한 laser와 detector를 동일 chip 상에 설계 제작할 수 있는 광전자 집적도 가능하다. 이에 대한 앞으로의 연구경향을 살펴보면, 우선 chip 간의 광신호 연결방식이 선행될 것이고, 그 다음 단계의 연구는 광전자 집적회로의 실현이다.

Digital GaAs 집적회로의 생산 공정에 소요되는 시간이 ECL이나 CMOS의 생산공정 시간보다 짧게 걸린다. 1990년에는 4" GaAs wafer의 생산공정비와 4" Si wafer를 이용한 ECL과 CMOS의 생산 공정비가 거의 비슷하게 될 것이 예상된다.

Digital GaAs 집적회로의 성능시험과 packaging 문제도 GaAs 집적회로의 판매 가격에 크게 영향을 미친다. 새로운 packaging과 성능시험을 위한 장비가 개발되고, 또한 현재의 생산 공정 기술이 보완되면 앞으로 10년 이내에 Si 집적회로와 동일한 집적도를 갖게 될 것이다.

GaAs microprocessors와 memories가 앞으로 주요한 상품이 되리라고 예견된다. 그리고 앞으로 3년 이내에 digital GaAs 집적회로가 silicon ECL을 대체할 수도 있다. 이와같은 경향은 microwave 분야에서도 마찬가지이다. 즉, hybrid microwave 집적회로가 Analog GaAs 집적회로로 대체되어 가고 있다.

현재까지의 미국과 일본의 GaAs 집적회로에 대한 연구 및 생산 결과를 검토해 보면, 미국의 초점은 군사용이었고, 일본은 supercomputer의 개발에 역점을 두었다. 따라서 일본의 digital GaAs 집적회로 제조회사는 주로 RAMS을 생산 판매할 것이다. 반면에 미국의 회사는 pro-

cessors 혹은 memory controllers와 같은 복잡한 논리 집적회로의 공급이 주류가 될 것이다. 앞으로의 반도체 산업계의 경향을 살펴보면, GaAs 집적회로는 Si 집적회로와의 시장점유를 위한 경쟁이 아니고 서로 특성을 가지고 공존할 것이다.

參 考 文 獻

- (1) Jin K. Rhee and P.K. Bahtacharya, "Some properties of semi-insulating and si-implanted GaAs," J. of Electrochem soc., vol 131, pp. 1152-1159, 1984.
- (2) W. Jutzi and M. Beiser, "Threshold voltage of normally off MESFET'S", IEEE Trans. Electron Devices, ED-19 no. 3 pp. 314-322, March 1972.
- (3) T. Vu Tho et al., "A gallium arsenide SbFL gate array with on-chip RAM," IEEE Trans. Electron Devices, ED-31, no. 2 pp. 144-155, Feb. 1984.
- (4) R. Dingle et al., "Electron mobilities in modulation-doped semiconductor", Appl. phys. Letters, vol. 33, pp. 665-667. 1978.
- (5) Jin K. Rhee, et al., "Deep levels in device-quality Ion-Implanted GaAs", J. of Electrochem. Soc, vol 130, no 3, pp 97C, March 1983.
- (6) See "GaAs FET Principles and technology" ed. by J. F. Dilorenzo, Artech House, 1984.
- (7) See, for example, "Semi-insulating III-V materials", shiva publishing, 1982.
- (8) S. Miyazawa et al., "Direct observation of dislocation effects on threshold voltage of GaAs field-effect-transistor." Appl. phys. Lett., vol. 43 pp. 853-855, 1983.
- (9) S. Miyazawa et al., "Dislocations as the origin of threshold voltage scatterings for GaAs MESFET on LEC-grown semi-insulating GaAs substrate.", IEEE Trans, Electron Devices, ED-31, pp 1057-1062. 1984.
- (10) R. E. Lee et al. "Threshold voltage uniformity of MESFET'S fabricated on GaAs and In-Alloyed GaAs substrates" "GaAs IC symposium." pp. 45 1984.
- (11) H. V. Wiston et al, "Substrate effects on the threshold of GaAs field-effect transistors", Appl. phys. Lett., vol. 45, pp. 447-449. 1984.
- (12) A. S. Jordan et al, "A thermoelastic analysis of dislocation generation in pulled GaAs crystals". Bell Syst. Tech. J., vol. 59, pp 593, 1980.
- (13) K. Tada et al. "Growth and characterization of dislocation-free GaAs Mixed crystals for IC substrates". "GaAs symposium," pp. 49, 1984.
- (14) N. Yokoyama et al, "A Zns GaAs 4k×1b SRAM," Int. solid state circuits conf. digest. p44, 1984.
- (15) Y. Ishii et al, "Processing technology for GaAs memory LSI," pp 121. 1984.
- (16) B. M. Welch et al "LSI processing technology for planar GaAs intergrated circuit" IEEE Trans. Electron Devices, ED-27 pp. 1116-1123, 1980.
- (17) C. A. Liechti et al, "A GaAs MSI. world generator operating at 5 G bit/s data rate", IEEE Trans. Microwave Theory and Techniques, MTT-7 pp. 998-1006 1982.
- (18) M. Ino et al "Threshold voltage margin of normally-off GaAs MESFET in DCFL circuit", IEEE Electron Device Letters, EDL-2, pp. 144-146. 1981.
- (19) S. Takano et al, "A high performance GaAs FET with shallow implantation and recessed gate for fast static RAM", pp. 82-85. 1983.
- (20) N. Yokoyama et al. "A self-align source drain planar device for ultra high-speed GaAs MESFET VLSL'S", Int. Solid state circuits conf. Digest, pp. 218-219. 1981.
- (21) R. E. Lee et al "Material and device analysis of self-aligned Gate GaAs Ic's", pp. 177-180. 1982.
- (22) H. Ishiuchi, et al, Int. Electron device Digest 1982. paper 25. 4.
- (23) P. G. Flahive et al, "A GaAs DCFL chip set for multiplex and demultiplex applications at giga bit/set Data Rates" "Proc GaAs Symposium", pp. 7, 1984.
- (24) J. J. Rosenberg et al, "An In 0.15 Ga 0.85 As/GaAs Pseudomorphic Single Quantum Well HEMT". IEEE, Electron Device Letters EDL-6, 491, 1985.
- (25) S. S. Pei et al, "ultra high speed integrated circuits with selectively doped heterostructure Transistors" "Proc. GaAs IC symposium" pp. 129. 1984.
- (26) p. Asbeck, et al, 16th Int. conf. Solid statte Devices and Materials, pp. 343. 1984.
- (27) S. Kuroda et al. "New device structure for 4kb HEMT SRAM", "Proc. GaAs IC Symposium", pp 125-128, 1984.
- (28) W. Mc clean, VLSI Design, February. 1985 .



李 鎮 九 (Jin Koo RHEE) 正會員

1946年 2月 1日生

1965. 3 ~ 1969. 2 : 韓國航空大學電子
工學科 (工學士)

1973. 3 ~ 1975. 2 : 서울大學校大學院
電子工學科 (工學
碩士)

1977. 1 ~ 1979. 6 Oregon State
University 電氣電
子工學科 (工學博
士)

1969. 4 ~ 1972. 7 海軍技術將校

1982. 4 ~ 1982. 11 : Oregon State University (研究院)

1982. 12 ~ 1985. 2 : Cray Research (研究員)

1985. 3 ~ 1985. 8 : Microwave Semiconductor Corp. (研究員)

1985. 9 ~ 現在 : 東國大學校 工科學 電子工學科 副教授