

# 전력 VDMOSFET의 온도변화 특성에 관한 연구

## A Study on the Temperature Variation Characteristics of Power VDMOSFET

李 愚 宣\*  
(Woo-Sun Lee)

### Abstract

Double-diffused metal oxide power semiconductor field effect transistors are used extensively in recent years in various circuit applications.

The temperature variation of the drain current at a fixed bias shows both positive and negative resistance characteristics depending on the gate threshold voltage and gate-to source bias votage.

In this paper, the decision method of the gate crossover voltage by the temperature variation and a new method to determine the gate threshold voltage graphically are presented.

### 1. 서 론

N-channel silicon VDMOSFET (Vertical Double-diffused Metal-Oxide-Semiconductor Field-Effect Transistor)는 최근 각종 전력회로에 광범위하게 이용되고 있다.

VDMOSFET device의 주요한 2가지 잇점은 다수 carrier가 이동 한다는 것과 drain전류가 부성 온도계수를 나타내는 점이다.

MOSFET를 전력용으로 할 수 있는 이유는 MOSFET구조를 수직 2중확산형으로 할 수 있고 short channel로 할 수 있기 때문이다. 전력MOSFET로 사용 할 수있는 구조는 VMOS<sup>1)</sup>, VDMOS<sup>2)</sup>, U MOS<sup>3)</sup>가 있다. 이들은 모두 2중확산형이고 short channel이다.

근래에 전력 transistor의 특성을 분석하기 위해서 많은 연구가 되고 있으나 On-resistance를 중심으로 行하여지고있다.

VDMOSFET내부에서 다수carrier의 이동은 온도에 대해서 negative온도 계수를 나타낸다. 또한 gate전압이 일정한 상태에서 drain출력전류 특성 ( $I_{DS}$ 대  $V_{DS}$ )은 negative 저항특성을 나타낸다.<sup>4)</sup>

전력VDMOSFET의 gate전환전압은 온도와 관련하여 positive저항 특성과 negative저항 특성을 결정한다. 또 gate threshold전압의 결정은 실험적으로 결정하는데 많은 어려움이 있다.

본 논문에서는 전력 VDMOSFET의 온도 변화에 따른 gate전환전압(gate crossover voltage) 한계값의 결정법에 대해서 연구하고자 하며, VDMOSFET가 온도와 관련하여 gate threshold전압을 graph plot에 의해서 결정하는 새로운 방법을 제시하고 그 타당성을 입증하고자 한다.

### 2. 전력 VMOSFET의 구조

n-channel enhancemnt type double diffused short channel MOSFET의 구조를 그림 1에 나타낸다. Gate영역은 V자 형으로 etching되어있다. 이 VMOSFET구조는 평상시 turn-off되어 있다가 threshold전압 이상의 전압이 인가되면 turn-on 하여

\*正 會 員 : 朝鮮大 工大 電氣工學科 副教授 · 工博  
接受日字 : 1986年 2月 5日

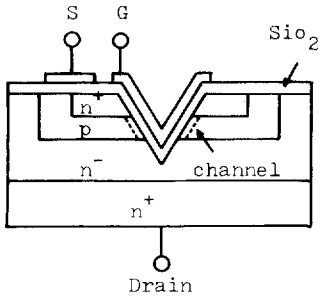


그림 1. 전력 VDMOSFET의 구조.  
Fig. 1. Structure of power VDMOSFET.

전기전도하기 시작한다. 본 구조는 gate와 source가 수평으로 배치되어 있으나 drain은 n<sup>-</sup>위에 n<sup>+</sup>가 있는 구조로 되어, gate와는 수직으로 배치 되어 있는 구조이다.

또 전류는 수직방향으로 흐르고, gate구성 물질로는 polycrystalline silicon 또는 알루미늄이 사용된다.

이 device에서 일반적인 doping profile은 n<sup>-</sup>-p-n<sup>-</sup>-n<sup>+</sup>의 구조로 되어 있다. n<sup>+</sup>영역은 source 영역을 이루고, p<sup>+</sup>영역은 channel bulk영역, n<sup>-</sup> 영역은 drain drift영역을 이룬다. P영역은 2중 확산 구조이며 short channel로 하여 breakdown의 영향

을 최소로 한 구조이다.

P-n<sup>+</sup>의 접합부는 zenor diode의 역할과 같은 역할을 한다.

실제적으로 제조되는 VDMOSFET의 구조에서 silicon영역은 직사각형이나 육각형의 소오스 모양을 갖고 있다.

이 구조는 고속 스위칭 트랜지스터 소자나 bipolar 트랜지스터 소자의 대용으로 사용이 가능하다. V(vertical double-diffused)형태의 구조는 고전압으로 할 수 있으며 대전류로의 사용이 가능하므로 상용화가 되었으며 적은 구동전압으로 대전력 제어가 가능하고 bipolar 트랜지스터에 비하여 회로구성이 간단하게 되어 열적으로 안정한 장치를 구성할 수 있다.

또 전압 대 전류특성이 전압제어형이고, 耐壓이 높고, carrier의 축적시간이 없으므로 스위칭시간이 짧으며, 열폭주가 없고 구동회로가 간단하여 DC-DC converter, switching regulator, PWM증폭, 초음파 응용회로 등 외에도 많은 응용회로에 이용이 가능하다.

### 3. 실험결과 및 검토

#### 3.1 실험회로

전력VDMOSFET의 내부온도를 측정하기 위한 실험회로를 그림 2와 같이 구성 하였다. 이 회로에

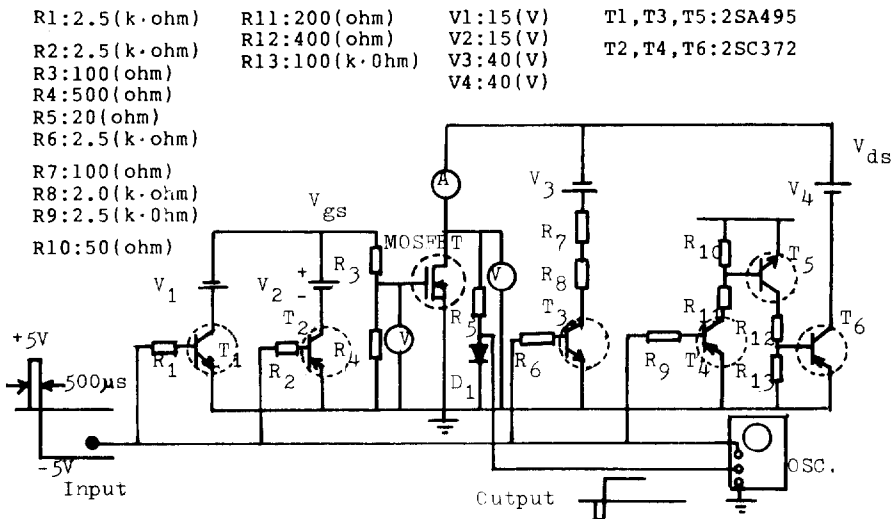


그림 2. 내부온도측정 실험회로  
Fig. 2. Experimental circuit for internal temperature measurement.

서는 VDMOSFET의 입력전압은  $\pm 5(V)$ 이고, 500 ( $\mu\text{sec}$ )의 펄스를 인가 하였으며 출력전압 측정은 오실로스코프를 사용하여 측정 하였다. 이 회로에서 온도 측정시, VDMOSFET가 heating될때 회로내의 NPN transistor가 모두 turn on하고 온도측정시에는 PNP transistor가 모두 turn on한다.

3.2 VDMOSFET의 등온상태 측정

short pulse상태에서의 VDMOSFET의 전달특성은 298(K)에서 drain전압  $V_{ds}$ 를 0~20(v)범위내에서 일정전압으로 고정하고서, gate전압  $V_{gs}$ 대 drain포화전류  $I_{ds(SAT)}$ 을 구하였다. 본 실험에서 사용한 전력VDMOSFET는 device 1으로 Motorola 회사 제품인 MTN15N45와 device 2로 Toshiba회사 제품의 S1983을 사용 했다. 사용pulse폭은 VDMOSFET 내부온도 방산에 의한 온도상승을 막기 위해서 30 ( $\mu\text{sec}$ )의 short pulse를 사용했다.

그림 3은 VDMOSFET의 전달특성을 나타낸 것으로  $I_{ds(SAT)}$  대  $V_{gs}-V_t$ 값을 각각 log-log plot 한 것이다. 이때 두 device의 slope는 각각1.6이다. 여기서 drain포화전류  $I_{ds(SAT)}$ 은 다음식으로 계산된다.

$$I_{ds(SAT)} = A \mu_{eff}(V_{gs} - V_t)^n \tag{1}$$

여기서  $V_t$ 는 threshold전압으로 device 1이 4.0 (V), device 2가 2.8(V)로 (1)식에 의해서 계산 된다. 온도영역 293-428(K)범위에서 구한 4개의  $V_t$ 값은 그림 4와 같다. 여기서는 drain전압을 20 (V)로 고정시킨 상태에서 온도를 각각 일정값으로 한 후 gate전압을 변화시켜  $I_{ds} \cdot \frac{\Delta V_{gs}}{\Delta I_{ds}}$  값을 구하여 여기에서 구한 값과 각각의 온도에서 측정된 값을 least square법으로 직선을 그어서 그림상의 Y축과의 교점에서  $V_t$ 를 구하였다. 이는 각각의 온도에서 실측한  $V_t$ 값과 일치 하였다. 여기서 구한 threshold전압은 온도가 증가함에 따라 선형적으로 감소하는 현상을 보였다. 이와 같이 VDMOSFET의 threshold 전압을 graph plot에 의해서 구할 수 있음을 보였다. 이 graph에서 Y축의 값은 다음과 같이 구할 수 있다.

식 (1)의  $I_{ds}$ 를  $V_{gs}$ 로 미분하면

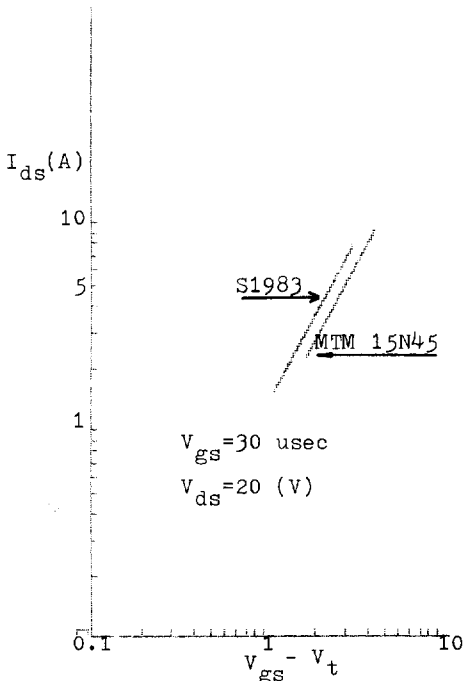


그림 3. 전달특성  
Fig. 3. Transfer characteristics of this device.

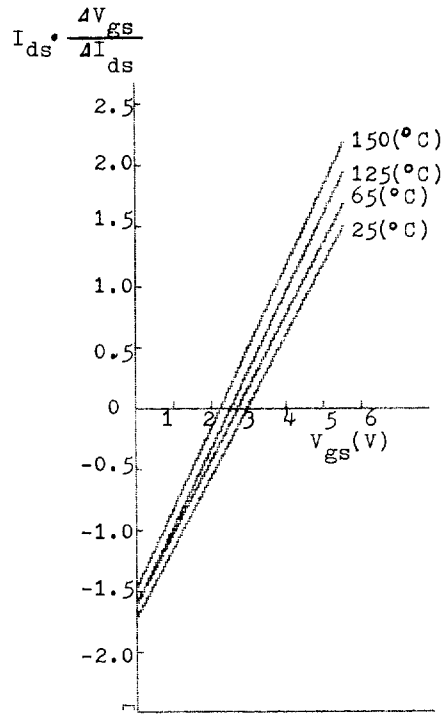


그림 4. Threshold 전압  
Fig. 4. Threshold voltages. It was found to decrease linearly with temperature.

$$\frac{\partial I_{ds}}{\partial V_{gs}} \Big|_{V_{ds}=\text{const.}} = \frac{n I_{ds}}{V_{gs} - V_t} \text{ 이다. 따라서}$$

$$\frac{1}{I_{ds}} \left( \frac{\partial I_{ds}}{\partial V_{gs}} \right) \Big|_{V_{ds}=\text{const.}} = \frac{n}{V_{gs} - V_t}$$

$$I_{ds} \left( \frac{\partial V_{gs}}{\partial I_{ds}} \right) = Y, \text{ 라 하면}$$

$$Y = \frac{V_{gs}}{n} - \frac{V_t}{n} \text{ 따라서 } V_{gs}=0 \text{ 일 때는}$$

$$Y = -\frac{V_t}{n} \text{로 된다.}$$

또 식 (1)에서  $\mu_{eff}$ 는 VDMOSFET 역전도층에서 유효전자 이동도이고, A는 정수이다. Gate threshold 전압  $V_t$ 는 다음과 같다

$$V_t = V_{t0} + \alpha (T - T_0) \quad (2)$$

여기서  $V_{t0}$ 는 상온  $T_0$ 에서 gate threshold 전압이고,  $\alpha$ 는 threshold 전압 온도계수이다. 이 온도계수는 다음식과 같다.

$$\alpha = \frac{dV_t}{dT} \left[ 2 \frac{1}{N_c N_v} \sqrt{\frac{\epsilon_s q N_a t_{ox}}{\phi_f}} \right] \quad (3)$$

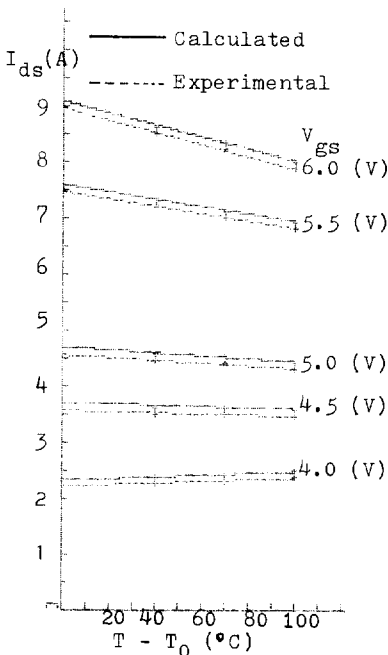


그림 5a. Gate 전압가변시 온도 대 drain 전류 특성 (Device 1)

Fig. 5a. Drain current vs. temperature at various gate voltages, at a drain voltage of 20 volts (Device 1).

$$\text{여기서 } \frac{d\phi_f}{dT} = \pm \frac{1}{T} \left[ \frac{E_g}{2q} - |\phi_f(T)| \right] \text{ 이다.}$$

윗식에서  $\phi_f$ 는 균일한 acceptor 농도 Na로 dop된 실리콘의 Fermi 전위이고,  $t_{ox}$ 는 oxide 두께,  $\epsilon_s$ 는 silicon 유전율,  $N_c$ 와  $N_v$ 는 각각 전도대와 가전자대에서의 에너지 상태밀도, K는 Boltzman의 정수, q는 전하,  $\alpha$ 는 온도계수이다.<sup>7)</sup> Device 1과 device 2의  $\alpha$  값은 각각  $-4.3(\text{mv}/^\circ\text{k})$ 와  $-3.5(\text{mv}/^\circ\text{K})$ 이다.

Drain 전류 대 온도에 대한 pulse 인가 실험은 drain 전압을 20(V)로 고정하여 하였고 이 결과를 그림 5에 나타냈다.

그림 (5a)는 device 1에 대한 경우인데, gate 전압이 5.0(V) 이하에서는 positive 저항 특성을 나타내었고 5.0(V) 이상에서는 점차로 negative 저항 특성을 나타내었다. positive 저항 특성에서 negative 저항 특성으로 전환되는 전환전압은 5(V)이었다. 그림 (5b)는 Device 2의 경우인데 positive와 negative 저항 특성의 한계치를 나타내는 gate 전환전압은 5(V)이었다. 측정된 전류값은 해당 온도에서 얻어지는 drain 포화전류 값이고 이 값에 대한 실험값과

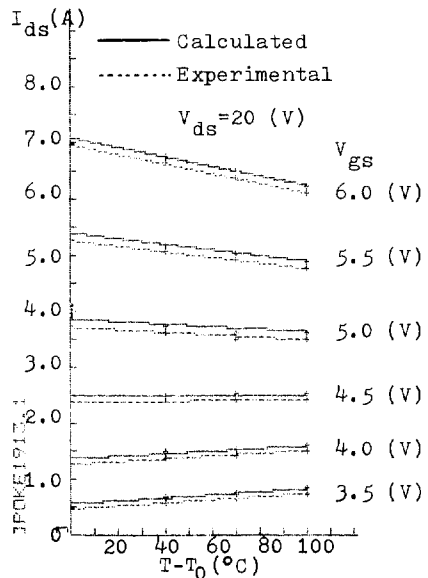


그림 5b. Gate 전압가변시 온도 대 drain 전류 특성. (Device 2)

Fig. 5b. Drain current vs. temperature at various gate voltages, at a drain voltage of 20 volts (Device 2).

온도영역 298-423 (°K)에서 시의존 유효이동도  $\mu_{eff}$ 는

$$\mu_{eff} = \mu_o \left( \frac{T_o}{T} \right)^m \quad (4)$$

여기서  $\mu_o$ 는 상온  $T_o$ 에서 유효이동도이다. 식 (4)를 식 (1)에 대입하고 온도상승을 고려하면  $I_{ds}(T)$ 는 다음과 같다.

$$I_{ds}(sat) = \mu_o \left( \frac{T_o}{T} \right)^m (V_{gs} - V_t)^n, \quad \text{[단 } V_t = \alpha(T - T_o)]$$

양변에  $\ln$ 을 취하면

$$\ln(I_{ds}) = \ln(\mu_o) + m \ln T_o - m \ln T + n \ln(V_{gs} - V_t)$$

양변을 미분 하면

$$\begin{aligned} \frac{dI_{ds}}{I_{ds}} &= -m \frac{dT}{T} + n \frac{(-dV_t)}{V_{gs} - V_t} \\ &= \frac{dT}{T} \left( -m - n \frac{\alpha T}{V_{gs} - V_t} \right) \\ \frac{dI_{ds}/I_{ds}}{dT/T} &= -m - \frac{n \alpha T}{V_{gs} - V_t} \quad (5) \end{aligned}$$

식 (5)를 0으로 놓고 온도 T에서 gate 전환전압  $V_{gs}(co)$ 를 구하면

$$\begin{aligned} m + \frac{n \alpha T}{V_{gs} - V_t} &= 0 \\ V_{gs}(co) &= V_t - \frac{n \alpha T}{m} \quad (6) \end{aligned}$$

이 gate 전환전압은 주로 gate threshold 전압과 온도에 의존한다. 따라서 이 전환전압은 온도증가와 VDMOSFET channel의 doping농도가 증가함에 따라서 증가된다. 위식과 관련하여 본 연구에 사용된 device 1과 device 2의 각 parameter 값과 정적 전압, 전류는 다음 표 1과 같다.

VDMOSFET channel 유효 이동도의 온도 의존도는  $\alpha$ ,  $n$ ,  $V_t$ ,  $V_{gs}(co)$ , 값에 따라 결정된다. 또 온도영역 298-423 (°K)에서  $m=1.0 \pm 10(\%)$ 이다. 그러므로 VDMOSFET의 유효 이동도는 절대온도와 역으로 되어 감소한다. 이 유효 이동도의 감소는 (1)식에 나타난 drain전류가 감소됨을 뜻한다. 또 낮은 gate전압에서 온도가 증가하게 되면 threshold 전압이 감소된다.

VDMOSFET DC 출력특성곡선에서 negative 저항 특성이 발생하는데 이는 drain 전압과 전류가 높

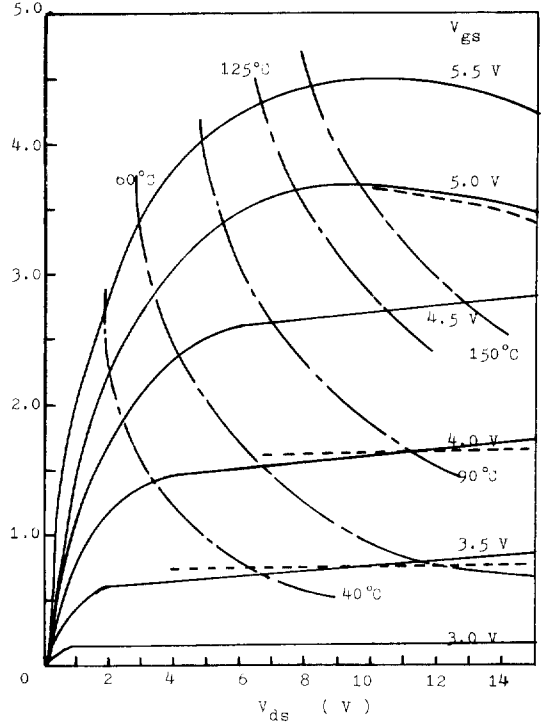


그림 6. DC출력특성곡선 (Device 1)

Fig. 6. DC output characteristic for Device 1. Showing negative resistances in the  $V_{gs}=5.0$  and  $5.5$  volts curves.

은 영역에서만 발생한다. 그림 6은 device 1의 경우 DC 출력특성 곡선인데 negative 저항 특성은 VDMOSFET 내부에서 측정된 온도로 423 (°K) 이상에서 발생하였다. 이 때의 gate 전압은 5 (V)이었다.

그림 7은 device 2의 경우인데 negative 저항 특성은 그림 6과 동일조건에서 측정에서 온도영역 448 (°K) 이상에서 발생 하였다. 이 때의 gate 전압은 5.5 (V)이었다.

이 negative 저항 특성이 고온에서 일어나는 원인은 VDMOSFET device에서 drain전압이 증가되면 전류와 온도가 증가되므로 VDMOSFET 내부의 전력이 더욱 방산되어 짐으로 channel의 유효이동도가 감소하게 되어 일어난다고 본다.

표 1. Device Parameter.

Table 1. Device Parameter.

Device	$V_{to}(298^{\circ}K)$ (V)	n	(mV/°K)	$V_{gs}(co)$ (V)	n	$I_{dp}$ (A)	$V_{ds}$ (V)
Device 1	4.0	1.6	-4.3	5.0	1	65	450
Device 2	2.8	1.6	-3.5	5.0	1	15	250

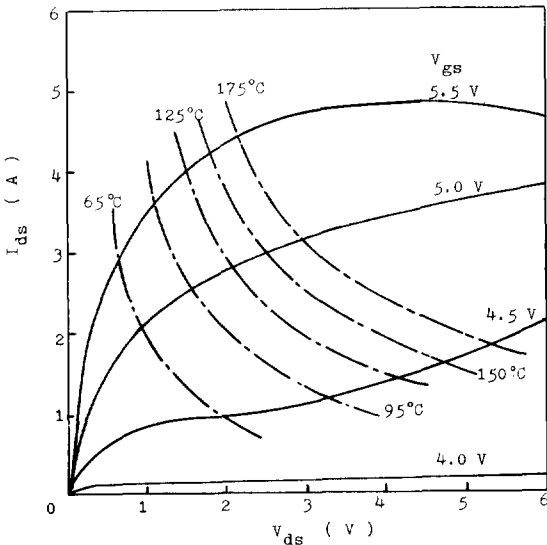


그림 7. DC 출력 특성 곡선 (Device 2)  
Fig. 7. DC output characteristic of Device 2.

3.3 VDMOSFET의 내부온도 측정

앞의 그림 6과 그림 7은 drain전압과 drain전류가 일치된 각점에서 온도를 실측하여 같은 온도가 되는 점을 1점쇄선으로 서로 연결한 등온곡선이다. 측정된 온도는 내부온도이고 이 내부 온도측정은 Blackburn<sup>8), 9), 10)</sup>이 행한 방법과 유사하다. 내부온도 측정 방법은 drain 전류를 본 방법에서는 4.0 (mA)로 고정하고 gate전압을 조정하여 등온상태에서 calibration curve를 실측하여 만들어서 그 다음 device를 실험하여 여기에서 측정된 gate 전압을 calibration curve와 일치시켜서 VDMOSFET의 내부온도를 구하였다. 여기에서 구한 calibration curve는 그림 8과 같다.

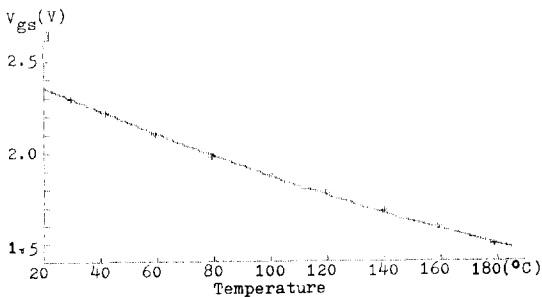


그림 8. Calibration 곡선  
Fig. 8. The calibration curve, which was generated under isothermal conditions.

VDMOSFET에 long pulse (500μsec 이상)을 인가하면 내부온도 T는 시간 t에 비례하여 감소한다. 이 때의 출력은 drain 전압과 drain전류의 곱으로 되고 이 곱이 device의 내부온도를 결정한다. 그러나 VDMOSFET의 온도저항은 drain전압이나 전류를 결정하는 함수는 아니다. Device 1의 온도저항은 0.5(°C/w)이고 device 2는 7.3(°C/w)인데 이 값은 gate와 drain전압을 결정하는 일정한 정수이다.

3.4 고온에서 VDMOSFET의 carrier 이동도

온도영역 298-423(°K)에서 drain 포화전류는 식 (1)과 식 (5)에서 구한 값과 실험에 의해 측정된 값이 서로 같았다. 이 포화전류는 이동도에 거의 전부 영향을 미친다. 이동도는 온도가 고온으로 됨에 따라서 선형적으로 감소했으며 423(°K)를 초과했을 경우 이동도의 변화는 온도 T<sup>-1.5</sup>로 되었다. T<sup>-1.5</sup>에 따라서 drain전류가 감소되는 온도는 device 1이 423(°K), device 2가 448(°K) 이상에서였다.

4. 결 론

본 논문에서는 power VDMOSFET의 gate 전압이 positive와 negative 저항 특성을 결정하는 전환전압의 한계값에 대해서 연구 하였으며, 이 값을 구하는 이론적인 수식을 구하여 실험적인 결과를 비교한 결과 잘 일치하였다. 이 전환전압은 gate threshold전압에 의존함을 알았다.

Power VDMOSFET에서 온도와 관련하여 threshold전압을 결정하는 방법은 많으나 본 논문에서는 graph plot에 의해서 threshold전압을 결정하는 새로운 방법을 제시하고 이론적인 식과 비교하여 타당성을 입증하였다.

VDMOSFET DC 출력특성 곡선에서 negative 저항 특성이 발생하는데 본 논문에서는 전력VDMOSFET 2개를 예로 들어서 두개 device 각각 negative 저항 특성이 발생하는 한계온도를 실험에 의해서 구하였다.

VDMOSFET의 drain전류는 threshold전압이 감소됨에 따라서 증가함을 보였다.

VDMOSFET의 내부온도가 증가함에 따라서 이동도는 고온영역에서 거의 선형적으로 감소 하였으며 두 device로 실험한 결과 최소한의 고온은 423(°K)이었다. 이 선형적인 감소는 시간 t에 따랐고 이와 같은 감소의 원인은 고온에서 VDMOSFET에서 이동도가 감소하기 때문인 것으로 본다.

온도가 증가됨에 따라서 gate threshold 전압은 감

소하였으며 온도저항은 이 전압의 함수로 작용하지 않았다.

VDMOSFET 내부온도와 gate 전압이 점차로 증가함에 따라서 drain 전류는 positive 저항 특성에서 negative 저항 특성으로 점차 전환 되었으며 positive 저항 특성은 gate threshold 전압과 온도의 함수 관계이었다.

參 考 文 獻

- 1) V. A. K. Temple and R. P. Love, "A 600 volt MOSFET with near Ideal on Resistance," IEDM Conf. Dig., pp. 664-666, 1978.
- 2) Adolph Blicher, "Field Effect and Bipolar Power Transistor Physics," Academic Press, pp. 270-305, 1981.
- 3) E.S. Ammar and T. J. Rogers, "UMOS Transistor on (110) Silicon," IEEE Trans. Electron Devices, vol. ED-27, pp. 907-914, 1980.
- 4) Dinesh Sharma et al, Negative Dynamic Re-

- sistance in MOS Devices," IEEE Trans. Solid-state Circuits, Vol. SC-13, pp. 378-380, June. 1978.
- 5) Michael Pocha, "Threshold Voltage Characteristics of Depletion Mode MOSFET," IEEE Trans. Electron Devices, ED-21, No. 9, 1981.
- 6) Matthew Wordem, "Threshold Voltage Controllability in Double-Diffused MOS Transistor," IEEE, Trans. ED-21, No. 9, 1981.
- 7) S. M. Sze, "Physics of Semiconductnr Devices," pp. 540-543, John Willey and Sons, Inc. 1969.
- 8) D. Blackburn, "Power MOSFET Temperature Measurment," IEEE, Power Electronics Specialists Conference, 1982.
- 9) D. Blackburn, "Transient Thermal Response Measurment of Power Transistors," IEEE Trans. IECI-22, No. 2, 1975.
- 10) D. Blackburn et al, "Thermal Charcterization of Power Transistors," IEEE Trans. Electron Devices, ED-23, No. 8, 1976.