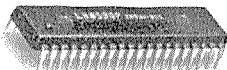


# 256K DRAM의 信賴性



MOS DRAM의 集積密度, 性能은 年率 약 2 배의 속도로 진행하고 있으며 현재는 256K 비트 다이내믹 RAM(이하 256KDRAM)이 주류를 이루고 있다(圖1). MOS DRAM은 역사적인

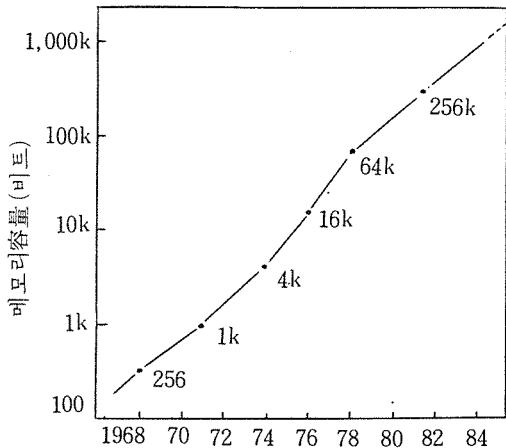


圖 1 IC 메모리의 变遷

經緯上에 다종다양한 IC가 등장하는데 사용 프로세스 기술, 集積密度, 性能, 生產量 등에서 항상 최고 수준에 있기 때문에 IC 제조기술 수준을 평가하는 데 있어서 대표적인 존재가 되고 있다.

여기서는 256K DRAM의 信賴性에 대해 이의概略을 소개한다.

256K DRAM은 64K DRAM의 4배나 되는 메모리 容量을 갖고 있기 때문에 극히 단순히 생각하면 不良率은 4 배가 된다. 또 메모리 容量은 4 배인데도 수용하는 패키지는 64K DRAM과 같은 크기이기 때문에 프로세스의 微細化가 필요하며 나아가서 64K DRAM에는 사용되지 않는 新技術이 採用되고 있으며 64K DRAM 시대의 IC 제조기술로는 信賴性이 높은 256K DRAM을 제조하기가 어렵다는 것을 이해할 수 있을 것으로 생각한다.

신뢰성은 당장에는 눈에 보이지 않는(計測器에 포착되지 않는다) 성질의 것이지만 신뢰성에 관한 加速評價試驗 결과 및 고객으로부터 나오는 요구(크레이임 포함) 등은 이들을 조사, 解析한 다음 이것이 엄격한 기준이 되어 設計·製造技術에 환원되며, 항상 보다 높은 신뢰성을 얻기 위한 노력이 계속되고 있다. 이것은 고객은 물론이거니와 메이커 자신으로서도 대단히 유익한 것이다.

## 1. 256K DRAM의 信賴性試驗

富士通의 256K DRAM에 대한 신뢰성 시험방법, 시험결과 및 品質管理工程에 대한概略을 기술하기로 한다. 被試驗 샘플은 同社의 量產ライン으로부터 無作為 추출된 것이다.

表 1 MB81256 하메틱 패키지의 信賴性試驗方法 및 試驗結果

### (a) 耐久性試驗

試驗項目	MIL-STD-883B	試驗 샘플數	累積디바이스수	不良數
高温保存 250°C	1008C	55	55,000	0
高温連續動作 150°C	1005C	55	55,000	0
高温連續動作 125°C	1005D	105	105,000	0
低温連續動作 -55°C		55	55,000	0

(b) 환경시험 및 기계적 테스트 (부분)

테스트 항목	MIL-STAN	테스트 샘플 수	불량 수
	883D		
남법 내열성		55	0
온도 사이클	1010C	55	0
열 충격	1011A	55	0
기계적 충격	2002B		
변형 주파수 진동	2007A	38	0
증가 가속도	2001E		
내부 수증기 함유량	1018	3	0
靜電 헤아림	3015	25	0

(1) 하메틱 패키지 테스트

표 1에 당사의 하메틱 패키지 256K DRAM의 신뢰성 시험 방법 및 이의 시험 결과를 제시한다.

(2) 플라스틱 패키지 테스트

표 2에 동사의 플라스틱 패키지 256K DRAM의 신뢰성 시험 방법 및 이의 시험 결과를 제시한다.

(3) 품질 관리 공정

표 2에 동사의 256K DRAM의 품질 관리 공정을 제시한다.

(1), (2)에 제시한 신뢰성 시험 방법 및 이의 시

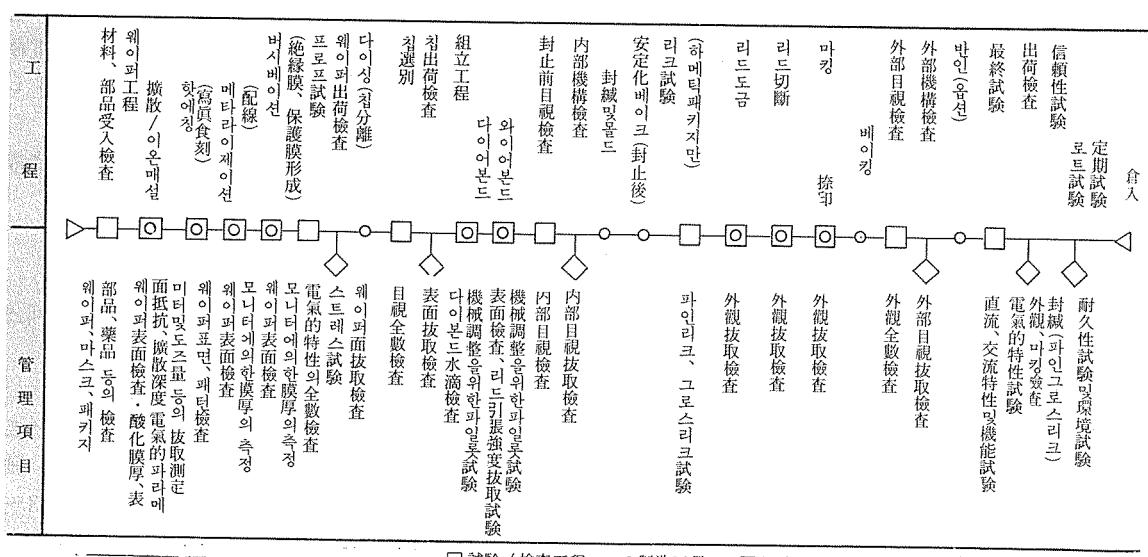
표 2 MB81256 플라스틱 패키지 테스트의 신뢰성 테스트 방법 및 테스트 결과

(a) 내구성 테스트

테스트 항목	MIL-STAN	테스트 샘플 수	累積 디비 이스 시간	불량 수
	883B			
고온 보관 (150°C)	1008C	55	55,000	0
고온 연속 작동 (150°C)	1005C	55	55,000	0
고온 연속 작동 (125°C)	1005D	105	105,000	0
고온 고습 보관 (85°C, 85%)		55	55,000	0
고온 고습 연속 작동 (85°C, 85%)		55	55,000	0
저온 연속 작동 (-55°C)		55	55,000	0

(b) 환경 테스트 및 기계적 테스트 (부분)

테스트 항목	MIL-STAN	테스트 샘플 수	불량 수
	883D		
남법 내열성		55	0
온도 사이클	1010C	55	0
열 충격	1011A	55	0
기계적 충격	2002B		
변형 주파수 진동	2007A	38	0
증가 가속도	2001E		
靜電 헤아림	3015	25	0
증기 압력 (PTHS121°C, 2atm)		25	0



험 결과는 한 예에 지나지 않으며 특히 新品種開發時에는 각 고장 메커니즘을 想定한 신뢰성 테스트를 대량의 샘플을 사용하여 실시하고 있다. 이 가운데 低溫連續動作 테스트는 Hot Electron

effec에 대한 신뢰성 테스트로써 유효한 것이다. 또 플라스틱 패키지 테스트에 대한 高溫高濕 연속작동 테스트 (85°C / 85% RH, 바이어스印加)은 耐濕性評價法으로서는 대단히 유효한 것이지

만, 耐濕性에 관한 IC 제조기술이 괄목할 만한 진보를 거듭하고 있어서 평가하는데 장시간을 요구한다.

현재는  $110^{\circ}\text{C}/85\%\text{RH}$ ,  $130^{\circ}\text{C}/80\%\text{RH}$  등의 HAST(Highly Accelerated Stress Test: 非飽和蒸氣加壓試驗=非飽和PTHB) 라 불리는 耐濕性高速試驗을 실시해 왔다.

HAST는 단시간내에 耐濕性을 평가할 수 있는 것으로서 보다 유효한 신뢰성 방법의 하나라 할 수 있다.

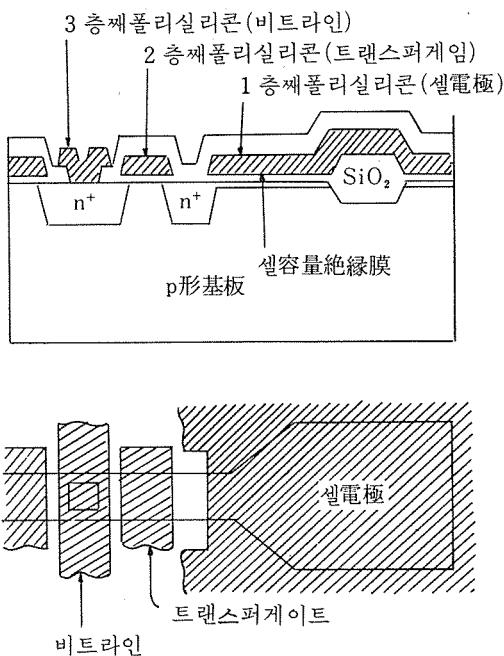


圖 3 富士通製 MB81256/MB81257 的 셀斷面圖

이와 같이 하여 실시해온 신뢰성 시험결과에 따라 不良發生 메카니즘마다 温度, 濕度 및 電壓(電界) 依存性 등의 데이터를 취득하여 이를 바탕으로 實用狀態(最惡水準)에서의 故障率을 推定하는 것은 일반적으로는 와이블프로트 등으로부터 不良 메카니즘마다의 热的活性化 에너지를 얻은 후에 알레니우스 方程式, MIL-HDBK217 등에 의거하여 행해진다. 그리하여 당초에 설정된 信賴性 基準이 만족될 때까지 디바이스를 改良(設計와 IC 제조조건 등의 변경)하며, 그후에 제품의 본격적인 量產화로 들어간다.

## 2. 不良메카니즘의 事例

256K DRAM의 불량 발생 메카니즘의 대표적인 사례의 일부를 소개한다.

### (1) 비트不良(셀용량絕緣膜의 破壞不良)

MOS DRAM이 가진 특유의 不良現象은 먼저 비트不良을 들 수 있다. 이것은 圖 3에 제시하는 바와 같이 메모리 셀 容量을 구성하는 絶緣膜(酸化膜, 窒化膜 등)이 셀電極과 基板間에 絶緣破壞를 일으켜 쇼트하기 때문에 발생하는 것이다.

絶緣 파괴는 高温連續動作試驗 등으로 가속된다. 절연파괴의 원인은 주로 중금속 오염 등에 의한 局部的인 耐壓劣化이다. 高集積化, 성능향상에 따른 디바이스의 微細化로 絶緣膜厚는 감소하지만 (스케일링 原理 또는  $\alpha$ 線에 의한 소프트 에러對策面에서도 絶緣膜厚는 제약을 받는다) 電源電壓은 표준적인 NMOS 디바이스 등과의 瓦換性을 중히 여기기 때문에 일반적인 가치 5V 그대로이다. 따라서 절연막에 가해지는 電界는 증대한다. 또 메모리용량의 증가에 따라 셀電極 總面積은 확대하고 있다. 100~150 Å 정도의 薄은 酸化膜은 오히려 불량률이 감소하여 350~400 Å 정도 산화막쪽의 不良率이 높다는 보고를 볼 수 있으나 일반적으로는 셀電極 총면적이 확대하면 비트 不良 발생률은 보다 나쁜 방향으로 향하게 된다.

비트 不良 발생률을 낮게 억제하기 위해 충분히 配慮된 재료와 工程이 적용된다.

#### 구체적으로는

- 不純物, 欠陷 등이 적은 웨이퍼의 사용
- 高耐壓에서 分布特性이 좋은 酸化프로세스의 적용

• 모니터 체크에 의한 耐壓管理의 實施  
• Primary Test Final Test에서의 오버스트레스 스크리닝의 실시 등이다. 또 비트 不良發生의 热的活性化 에너지는 일반적으로 0.3~0.35eV이다.

### (2) 高集積化, 微細化에 起因하는 不良

MOS DRAM의 高集積化, 微細化에 따라 主要構成素子인 MOSFET의 素子치수의縮小化가 과해져 왔다. 이에 따라 配線패턴, 電極窓 치수도 당연히 축소되어 지금까지의 웨이퍼프로세스 工程에서는 문제가 되지 않았던 미세한

결함이 디바이스 特性에 영향을 미치게 되었다.

이 때문에

- 耐壓低下 (비트不良發生)
- Electro migration
- Hot Electron效果
- 固相에피成長에 의한 電極窓컨택트 不良 등  
과 같은 문제가 일어났다.

여기에서는 固相에피成長에 의한 電極窓 컨택트 不良에 대해 간단히 기술한다. 固相에피成長이란 配線材料인 알루미늄 中의 실리콘(配線材料 알루미늄의 擴散層으로의 컨택트 突出不良 發生防止를 위해 실리콘을 數% 넣어 두었는데) 이 電極窓內의 基板上에 再結晶화하는 것이다. 再結晶 실리콘은 알루미늄을 포함하는 실리콘이기 때문에 컨택트 抵抗을 두드러지게 증가시켜 특히  $n^+$ 에 대해서는 컨택트는 논오믹이 된다. 이것이 LSI의 不良 發生 요인이 된다. 固相에피成長은 高溫保存試驗에 加速되어 이의 熱的活性化 에너지는 1.1~1.2 eV인 것으로 알려지고 있다.

表 3. 高溫連續動作試驗結果

( $T_A = 125^\circ\text{C}$ , MB81256/MB81257冗長셀 使用品)

샘플數	168時間	312時間	500時間	1000時間
1510	0	0	0	0

이들 不良 發生은 충분히 고려된 재료, プロセ스 工程의 적응에 따라 대처되어 왔다.

### (3) 冗長 셀 사용품의 信賴性

당사의 256K DRAM은 제품을 안정되게 대량으로 공급하기 위해 冗長 셀을 갖추고 있다. (冗長 셀을 갖추고 있는 것이 일반적이다.) 冗長 셀을 갖추고 있을 경우 信賴性面에서 주의해야 할 점은 • 冗長 셀로서 切換하는 ROM의 신뢰성 • 救濟된 셀 欠陷이 주위의 良品 셀에 미치는 영향 등이 있다.

同社의 256K DRAM은 冗長 셀로의 切換은 폴리실리콘 휴즈의 切斷 / 非切斷에 의해 행해진다. 切斷 휴즈상태의 오픈→ショート 不良 (그로우 팩)은 폴리실리콘 휴즈 때문에 잘 일어나지 않도록 되어있다. 결함때문에 불충분하게 切斷되는 휴즈도 극히 드물게 존재하지만 휴즈 절단 전후의 특별한 特性測定으로 제거되어 있다. 또作動中의 휴즈 切斷不良 (ショート→오픈)은 휴즈에

微小電流밖에 흐르지 못하도록 回路動作 條件을 채용하고 있어 발생하지 않도록 연구되고 있다.

救濟된 셀 欠陷이 주위의 良品 셀에 미치는 영향에 대해서는 救濟될 수 있는 欠陷의 대부분이 패턴의 이그리짐 등 주위의 良品 셀에 영향을 미치지 못한다는 것이 확인되었다. 表3에 256K DRAM 冗長 셀 使用品의 高溫連續 동작시험 결과를 제시한다.

### (4) 플라스틱 패키지品의 信賴性

플라스틱 패키지品은 세라믹 유리 등에 의한 하메틱 패키지品에 비해 量產性, 經濟性이 뛰어나며 量產 効果에 의한 품질관리상의 메리트도 크기 때문에 또한 플라스틱 재료, 백시베이션膜, 工程管理 技術 등의 두드러진 향상과 더불어 256K DRAM과 같은 最尖端技術을 사용한 LS I도 플라스틱으로 봉함할 수 있게 되었다. 256K DRAM은 高集積化, 微細化가 畏害점에 따라 電極配線間 電界가 커져, 電蝕을 일으키기 쉬운 것과 다이내믹回路이기 때문에 微小리크 電流의 영향을 반기 쉬운 것 등을 이유로水分侵入에 의한 不良 發生이 우려된다. (플라스틱 봉함품이면 장시간의水分侵入은 피할 수 없다.)水分侵入에 의한 不良 發生은 高溫高濕保存, 高溫高濕 연속동작 및 蒸氣加壓(PTHS) 시험에서 加速된다. (최근에는 HAST도 실시하고 있다). 耐濕性에 대해서는 이 정도까지 유지되면 좋다는 명확한 기준을 설정하기가 어려우며 욕심을 말한다면 한이 없는 것이다.

水分侵入에 의한 不良 發生을 가급적 억제하기 위해 충분히 배려된 재료·工程이 적용된다.

구체적으로는 • 리드材料와의 密着性이 좋은 플라스틱 材料의 사용 • 플라스마 成長 커버膜의 사용 • Chip edge部 構造의 연구 (알루미늄 링 등의 사용) • 패턴 設計上의 연구 (더미電極配線의 사용 등) • 와이어 본딩後의 Chip表面으로의 酸化膜의 成長 등이 있다.

플라스틱 패키지品의 또 하나의 不良 發生 형태는  $\alpha$ -線에 의한 소프트 에러 對策으로서 Chip Coating材를 사용했을 경우에 볼 수 있는 와이어 오픈 不良 등이 있다. 이것은 사용재료의 热膨脹差에 의한 것이지만 충분히 배려된 재료를 사용함으로서 문제 해결을 꾀하고 있다. 와

이어 오픈 不良은 温度사이클, 热衝擊試驗에서 가속된다.

#### (5) 기타의 不良

기타의 주요한 不良發生 형태로서 •  $\alpha$ 線에 의한 劣化故障(損傷의 蓄積)과 소프트 에러(粒子線에 의한 일시적인 電離에 의함) 등이 있다.  $\alpha$ 線에 의한 소프트 에러는 특성이 經時의 으로 변동하여 영구적으로 不良해진다는 것이 아니라 메모리 디바이스中에 Random을 발생하여, 더우기 다음 Input Cycle에 가서는 완전히 회복하는 것으로 素子의 構造設計 및 素子에 의존하는 것이다. 소프트 에러發生의 메커니즘에 대해서는 여러가지 보고가 있으며 여기에서는 생략한다. (T. C. May, M. H. Woods 兩氏에 의한 「A New Physical Mechanism for Soft Errors in Dynamic Memories」 (16th Annual Proceedings of 1978 International Reliability Physics Symposium, p.33) 가 가장 알기 쉬운 것이라 생각한다.)

소프트 에러 發生率의 평가 방법은  $\alpha$ 線源에 의한 加速試驗法과 實使用하고 있는 상태에서 여러개의 디바이스를 작동시켜 常時 出力を 모니터하는 評價方法이 있다. 同社는 양쪽의 시험방법으로 소프트 에러 發生率을 평가하고 있으며 256K DRAM에 있어서는 1,000Fit 이하의 評價 데이터를 얻어놓고 있다.

한편 放射線에 의한 劣化故障(損傷의 蓄積)과 소프트 에러(粒子線에 의한 一時的인 電離에 의한)는 宇宙用機器 應用部品으로 최근 각광을 받고 있으며 LSI Device로서는 중요한 문제의 하나가 되고 있다.

$\gamma$ 線과 같은 電離放射線이 256K DRAM과 같은 MOS Device에 入射하면 絶緣膜(酸化膜 등) 중에 電子-正孔對가 발생하여 그 일부가 絶緣膜內에 결린다. 正바이어스 印加로는 正孔이 Si-SiO<sub>2</sub> 界面 등에 正의 固定電荷를 형성한다. 이 固定電荷가 디바이스의 한계電壓을 負側에 전환하는 효과를 가져온다. 이같은 메카니즘에 의해 필드 領域에 寄生 MOS가 발생하여 리크電流가 增大한다.

이들의 영향으로 Access 時間의 증가와 리크電流增大 등과 같은 마진低下가 발생한다.

MOS Device의 耐放射線 대책은 • 不純物·欠陷이 적은 酸化膜의 形成 • 素子分離技術의 향상 • 特性劣化를 감안한 Device의 設計 등을 들 수가 있다. 그러나 耐放射線性 評價에는 적절한 평가시설이 부족한 것과 더불어 평가는 이제 막 시작되었다는 것이 현실정이다.

이상과 같이 256K DRAM의 信賴性에 대해概要를 기술했다. 256K DRAM의 信賴性은 그런대로 수준에 도달하고 있다고 생각한다.

앞으로 信賴性은 LSI를 구성하는 素子와 비特當의 換算이 아니라 더욱 더 構成素子 全體에서 측정할 수 있게 된다.

따라서 構成素子 전체의 信賴性이 不變한다면 集積密度의 상승과 더불어 素子當의 信賴性要求는 한층 어려운 방향으로 끊임없이 전개될 것으로 보인다.

信賴性 要求를 충족시키기 위한 경쟁은 앞으로도 한없이 계속될 것이다.

