

이온 주입된 MOSFET의 문턱 전압의 해석적 모델

(Analytical Threshold Voltage Model of Ion-Implanted MOSFET)

金孝植*, 秦周鉉**, 慶宗旻***

(Hyo Shik Kim, Joo Hyun Jin and Chong Min Kyung)

要 約

이온 주입된 소형 MOSFET 소자에 대한 해석적 문턱 전압 모델이 유도되었다. 일정한 도우핑 농도를 갖는 MOSFET에 적용되는 Yau 모델을 implanted channel 구조와 bird's beak 구조의 MOSFET에 대하여 적합한 형태로 수정하여 short channel 현상과 narrow width 현상을 정량적으로 설명하였다. Channel 영역의 불순물 분포를 SUPREM 결과에서 2-step profile로 근사시켜 문턱 전압의 short channel model을 제안하였다. Weighting factor를 사용하여 bird's beak 영역의 불순물 분포를 고려함으로써 narrow width 현상을 성공적으로 설명하였다.

Abstract

Analytical threshold voltage model of small size ion-implanted MOSFET's is proposed. Yau's model which is only applicable to MOSFET's with constant doping concentration was modified to handle the MOSFET's with nonuniform channel doping concentration and bird's beak, whereby the short and narrow-channel effect was quantitatively described. Threshold voltage model for short-channel MOSFET's was derived by approximating the SUPREM result of channel impurity profile to a 2-step profile, and the narrow width behaviour was successfully described using the 'weighting factor' to accommodate the doping profile in the bird's beak region.

I. 序 論

이온주입 기술은 주입할 불순물의 양을 정확히 조절할 수 있기 때문에 반도체 소자제작 공정에서 target 문턱 전압의 실현에 많이 사용되고 있다. MOSFET의 크기가 점점 작아짐에 따라 소자 특성상에 있어서

conventional MOSFET에서는 나타나지 않았던 현상들이 중요한 문제점으로 제기 되었는데, MOSFET channel length와 channel width에 따른 문턱 전압 변화가 그중 하나이다. Short channel 소자에 있어서 bulk charge 영역은 gate 영역 아래의 직사각형으로 정의될 수 없으며, conventional MOSFET에서 gate field에 의해 deplete된 charge의 일부를 source field와 drain field가 공유하게 되어, 이른바 short channel 현상이 나타난다. 또한, MOSFET channel width가 작아 질수록 임계 전압이 증가하는 narrow width 현상은 conventional MOSFET에서는 무시되었던 thick oxide 영역의 charge가 narrow width MOSFET에서는 무시될 수 없기에 나타난다. 이러한 short channel

*正會員, 金星半導體(株) 中央研究所

(Gold Star Semi. Co., LTD Central Research Lab.)

**正會員, 三星半導體通信(株)

(Samsung Semiconductor & Telecommunications Co.)

***正會員, 韓國科學技術院 電氣 및 電子工學科

接受日字: 1985年 5月 25日

현상과 narrow width 현상에 관한 이론적 모델은 channel의 doping 농도가 균일한 MOSFET에 대해서는 잘 알려져 있다.

본 논문에서는 기존의 model을 non-uniform한 doping profile을 갖는 MOSFET로 확장시켰다. Short channel length에 대한 Yau^[1] 모델을 non-uniform한 doping profile을 갖는 MOSFET에 적용되도록 수정하였고, narrow width에 의한 문턱 전압 증가 현상을 weighting approximation에 의해 전개하였다.

II. 理 論

1. 넓고 긴 channel MOSFET의 문턱전압 모델

MOSFET의 문턱 전압을 조절하기 위한 implant profile의 해석적 근사식은 통상 식(1)과 같은 gaussian 분포로 표현된다.

$$N(x) = N \cdot \exp\left\{ -\frac{(x - \bar{x})^2}{2\sigma^2} \right\} \quad (1)$$

여기서 \bar{x} 와 σ 는 각각 projected range와 straggle을 나타내며, N는 maximum concentration을 나타낸다. Step approximation에 의한 평균 불순물 농도, N_{eq} 는 식(2)와 같이 근사된다.

$$N_{eq} = \frac{1}{X_1} \int_0^{X_1} N \cdot \exp\left\{ -\frac{(x - \bar{x})^2}{2\sigma^2} \right\} \cdot dx \quad (2)$$

여기서 $X_1 = \bar{x} + 2\sigma$ 이므로 근사된 step profile의 길이이다.

그림 1은 SUPREM에 의해 계산된 MOSFET의 channel 영역에서의 이온주입 직후와 drive-in을 거친후의 불순물 분포와 식(2)에 의한 step 근사를 나타낸다.

그림 1에서 step 근사에 있어서의 문턱전압 계산은 다음의 두 경우로 나뉘어 진다.

a) $0 \leq x_{dm} < X_1$

$$x_{dm} = \sqrt{\frac{2 \cdot \epsilon_0 \cdot \epsilon_{si} \cdot (\psi_B - V_{BS})}{q \cdot C_{impl}}} \quad (3)$$

여기서 $C_{impl} = N_{eq} + N_{sub}$ 이며 $\psi_B = (2kT/q) \ln(C_{impl}/n_i)$ 이다. 이경우 threshold voltage V_{TH} 는 식(4)와 같이 정의된다.

$$V_{TH} = V_{fb} + \psi_B + \frac{1}{C_{ox}} \sqrt{2 \cdot \epsilon_0 \cdot \epsilon_{si} \cdot C_{impl} \cdot (\psi_B - V_{BS})} \quad (4)$$

식(3)에서 V_{BS} 가 증가하여 x_{dm} 이 X_1 와 같게 되면 effective doping concentration은 N_{sub} 로 떨어지며, 이때의 V_{BS} 를 V_{cri} ^[3]로 정의한다.

$$V_{cri} = \frac{q \cdot N_{eq}}{2 \cdot \epsilon_0 \cdot \epsilon_{si}} X_1^2 - \psi_B \quad (5)$$

b) $x_{dm} \geq X_1$

$$x_{dm} = \sqrt{\frac{2 \cdot \epsilon_0 \cdot \epsilon_{si} \cdot (-V_{cri} - V_{BC})}{q \cdot N_{sub}}}$$

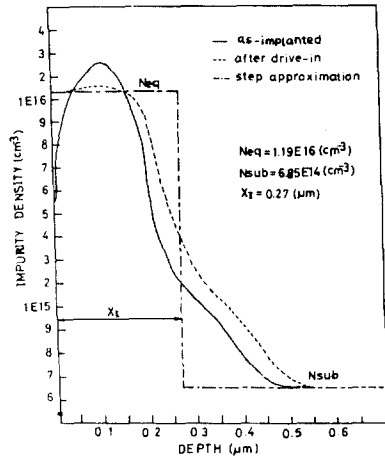


그림 1. SUPREM II에 의한 게이트 영역내의 ion-implant 분포

Fig. 1. Calculated ion-implant profile in the gate region.

$$= \sqrt{\frac{-2 \cdot \epsilon_0 \cdot \epsilon_{si} \cdot (V_{cri} + V_{BS})}{q \cdot N_{sub}}} \quad (6)$$

그러므로 threshold voltage는 식(7)과 같이 정의된다.

$$V_{TH} = V_{fb} + \psi_B + \frac{q \cdot N_{eq} \cdot X_1}{C_{ox}} + \frac{1}{C_{ox}} \sqrt{2 \cdot \epsilon_0 \cdot \epsilon_{si} \cdot N_{sub} \cdot \sqrt{-(V_{cri} + V_{BS})}} \quad (7)$$

여기서 $\psi_B = \frac{2kT}{q} \ln \frac{N_{sub}}{n_i}$ 이다.

2. Short channel 현상

Yau 이론에 의한 short channel model에서 charge sharing factor, F는 식(8)에서 정의된다.

$$Q_{def} = F \cdot \int_0^{x_{dm}} C(x) \cdot dx = F \cdot Q_d \quad (8)$$

Implant된 불순물 분포를 전술한 바와같이 step분포로 근사하여, Yau의 model을 적용하면, 그림 2와 같

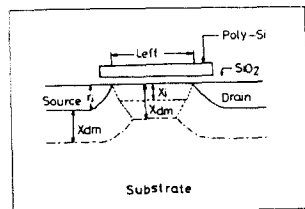


그림 2. 이온 주입된 구조의 short channel 모델

Fig. 2. Short channel model of ion-implanted structure. X_1 is the depth of ion-implantion and x_{dm} is the depletion layer depth.

이 charge sharing factor가 F_i 와 F_b 의 두가지 parameter에 의하여 implant 영역과 substrate 영역에서 따로 정의된다.

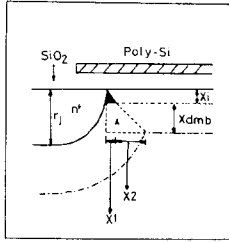


그림 3. 이온 주입된 MOSFET의 short channel 모델

Fig. 3. Short channel model of ion-implanted MOSFET. Dark triangle represents charge reduction in implant region, and dashed trapezoidal portion 'A' is charge reduction in bulk region.

a) $-V_{BS} \leq V_{cri}$

이 경우는 $x_{dm} \leq X_i$ 이므로 $F = F_i$ 가 된다. 그림 3 으로부터

$$F_i = \frac{Q_{d\text{eff}}}{Q_d} = \frac{(L_{\text{eff}} - x_1) \cdot q \cdot x_{dm} \cdot C_{\text{impl}}}{q \cdot C_{\text{impl}} \cdot L_{\text{eff}} \cdot x_{dm}} = \frac{L_{\text{eff}} - x_1}{L_{\text{eff}}} \quad (9)$$

이때 $x_1 = \sqrt{(r_j + x_{dm})^2 - x_{dm}^2} - r_j$

$$x_{dm} = \sqrt{\frac{2 \cdot \epsilon_0 \cdot \epsilon_{Si} \cdot (\psi_B - V_{BS})}{q \cdot C_{\text{impl}}}} \quad \text{이므로}$$

$$F_i = 1 - \frac{r_j}{L_{\text{eff}}} (\sqrt{1 + 2x_{dm}/r_j} - 1) \quad (10)$$

b) $-V_{BS} > V_{cri}$

이 경우는 $x_{dm} > X_i$ 에 해당하며 implant 영역의 전하 공유 factor, F_i 외에 bulk에서의 공유 factor, F_b 가 정의된다.

$$F_b = \frac{Q_{d\text{eff}}^b}{Q_d} = \frac{(L_{\text{eff}} - 2x_1 - x_2) \cdot x_{dm} \cdot q \cdot N_{\text{sub}}}{q \cdot N_{\text{sub}} \cdot L_{\text{eff}} \cdot x_{dm}} \quad (12)$$

여기서 $x_{dm} = \sqrt{\frac{-2 \cdot \epsilon_0 \cdot \epsilon_{Si} \cdot (V_{cri} + V_{BS})}{q \cdot N_{\text{sub}}}}$,

$$x_2 = \sqrt{(r_j + X_i + x_{dm})^2 + (X_i + x_{dm})^2} - (r_j + X_i)$$

이다.

식(9)과 식(12)에서 구한 charge sharing factor, F_i 와 F_b 를 식(4)와 식(5)에 고려해 줌으로써 non-uniform doping concentration을 갖는 MOSFET의 short channel 현상이 고려된 threshold voltage model이 식(13)와 같이 주어진다.

$$V_{TH} = V_{fb} + \psi_B + F_i \cdot \sqrt{\frac{2 \cdot \epsilon_0 \cdot \epsilon_{Si} \cdot q \cdot C_{\text{impl}}}{C_{\text{ox}}^2}} \cdot \sqrt{\psi_B - V_{BS}},$$

$$x_{dm} \leq X_i \quad (13)$$

$$V_{TH} = V_{fb} + \psi_B + F_i \frac{P \cdot N_{eg}}{C_{\text{ox}}} X_i + F_b \cdot \sqrt{\frac{2 \cdot \epsilon_0 \cdot \epsilon_{Si} \cdot q \cdot N_{\text{sub}}}{C_{\text{ox}}^2}} \cdot \sqrt{-(V_{cri} + V_{BS})}, \quad x_{dm} > X_i \quad (14)$$

3. Narrow Width 현상

Conventional한 local oxidation 공정후의 MOSFET 구조를 보면 thick oxide 영역과 thin oxide 영역사이의 transition 영역에는 bird's beak가 생겨난다. Field inversion을 방지하기 위해 thick oxide 밑에 implant를 행하는데 thermal process step을 통해 이 field implant는 lateral diffusion이 일어나며 channel 영역으로 기어들이 가게 된다. 그림 4는 field oxide 영역에서 channel stop ion-implant profile을 나타내며, 이 경우 implant dose와 energy는 각각 $1.0E13\text{cm}^{-2}$ 과 60KeV이다.

Narrow width 현상은 thick oxide와 tapered oxide 영역 아래 존재하는 charge에 의해 나타난다. 즉 MOSFET의 width가 감소되면 gate region에서의 charge 양도 줄어드나 thick oxide와 tapered oxide 아래 존재하는 charge 양은 일정하기 때문이다. Narrow width MOS 소자에 대한 threshold voltage model은 thick oxide와 tapered oxide 아래의 field charge를

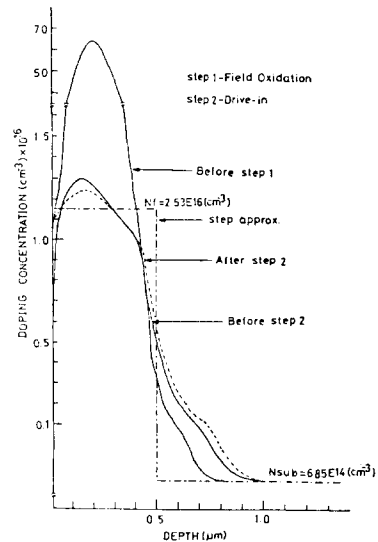


그림 4. SUPREM II에 의해 시뮬레이션된 field oxide 영역내의 ion-implant 분포

Fig. 4. Ion-implant profile in field oxide region simulated by SUPREM II.

근사시킴으로써 전개되어 왔다.

Substrate가 uniform한 doping을 가질때 geometrical approximation 방법이 크게 3 가지로 이루어졌다.

이 3 가지 방법은 triangle approximation, quarter circle approximation 그리고 square approximation 으로서 각각에 대한 fixed charge 들은 다음과 같이 결정 된다.¹⁴⁾

$$Q_w = \frac{q \cdot N_{sub} \cdot x_{dm}^2}{2} \quad \text{triangle approximation}$$

$$Q_w = \frac{q \cdot N_{sub} \cdot x_{dm}^2}{4} \quad \text{quarter circle approximation}$$

$$Q_w = q \cdot N_{sub} \cdot x_{dm}^2 \quad \text{square approximation}$$

위의 세 approximation 방법은 poly-Si gate process 에서는 적용할 수 없다. 이에 대해 Akers, Beguhala 그리고 Custod에¹⁵⁾ 의해 poly-Si gate MOS에 있어서 thick oxide와 tapered oxide 영역의 fixed charge 를 고려한 analytical model이 나왔으나 이 model에서는 channel stop profile의 lateral variation이 linear 하다고 가정하였기에 실제 tapered oxide 영역에서 급격히 변화하는 profile에서는 큰 error를 갖는다. 실제로 tapered oxide 영역내의 substrate의 불순물 농도 분포는 bird's beak의 2 차원 topography와 channel stop dopant의 counterdoping으로 인하여 매우 복잡해져서 여러 공정조건에 따른 analytic한 solution을 쉽게 구할 수 없기 때문에, 이 논문에서는 substrate doping 농도에 weighting factor, η 를 포함한 값을 tapered oxide 영역내의 effective doping 농도로 간주하는 방식을 택하였다.

즉, 그림 5에서 tapered oxide 영역내의 fixed charge 를 Q_w 라 하면,

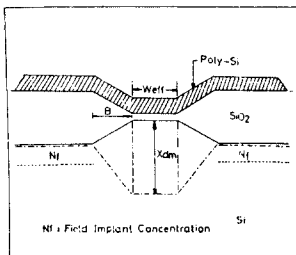


그림 5. Bird's beak 현상에 대한 narrow width 모델. B는 소자공정에 의해 결정되는 bird's beak 크기이다.

Fig. 5. Narrow width model of bird's beak phenomenon. B shows bird's beak size determined by device process.

$$Q_w = \frac{B}{W_{eff}} \cdot \sqrt{2 \cdot \epsilon_0 \cdot \epsilon_{si} \cdot q \cdot N_w \cdot (\psi_B - V_{BS})}, \quad x_{dm} < X_1$$

$$Q_w = \frac{B}{W_{eff}} \cdot \sqrt{-2 \cdot \epsilon_0 \cdot \epsilon_{si} \cdot q \cdot N_w \cdot (V_{crit} + V_{BS})}, \quad x_{dm} \geq X_1$$

가 되고, 여기서 $N_w = \eta N_{sub}$ 이며 B는 bird's beak 크기이다. Weighting factor, η 의 값은 특정 MOS 공정에 대하여 문턱 전압의 substrate bias에 대한 변화를 가장 잘 따라가도록 least square 방법에 의하여 추출된다.

III. 實驗 및 結果

2장에서 전개한 이론을 증명하기 위해 starting material로서 surface orientation이 <100>이고 16~25ohm-cm의 resistivity를 갖는 p-type silicon wafer를 사용하였다. Boron channel implantation energy와 dose는 각각 50KeV와 3.5 E11cm²이고 gate oxide 두께는 650Å이다. 이외의 Si-gate CMOS process data가 표 1에 나타나 있다.

표 1.

step	spec
Well implant	Phos., 100KeV, 2.0E12cm ⁻²
Well drive-in	1150°C, 16 hrs
Field implant	Boron, 60KeV, 1E13cm ⁻²
Field oxidation	925°C, 8500 Å
P ⁺ S/D implant	Boron, 35KeV, 3E15cm ⁻²
N ⁺ S/D implant	As, 150KeV, 4E15cm ⁻²
N ⁺ S/D drive-in	1000°C, 30 mins

그림 6은 V_{BS} 를 parameter로 사용하여 effective channel length에 따른 threshold voltage variation

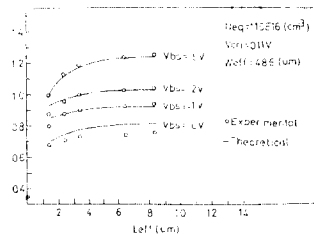


그림 6. V_{BS} 를 parameter로 할때 유효 channel length인 L_{eff} 에 따른 임계전압의 변화. 이론치와 실험치 사이의 최대 error는 $V_{BS} = 0$ 에서 7%이다.

Fig. 6. The extrapolated threshold voltage changes as a function of effective channel length L_{eff} , where V_{BS} is a parameter. Maximum error between theoretical and experimental results is around 7% at $V_{BS} = 0$ V.

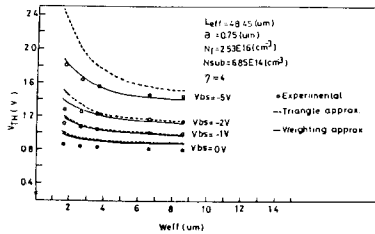


그림 7. V_{bs} 를 parameter로 할때 유효 channel width 인 W_{eff} 에 따른 임계전압의 변화 Weighting 근사치가 실험치와 잘 일치된다

Fig. 7. The extrapolated threshold voltage changes as a function of effective channel width, W_{eff} , where V_{bs} is a parameter. A weighting approximation is in good fit with experimental data.

을 2장에서 전개한 이론치와 실험치를 비교한 것이며, V_{bs} 가 high voltage로 갈수록 이론치와 실험치가 잘 일치함을 알 수 있다. 그림 7은 narrow width 현상을 실험치와 이론치로 비교해 본 것이다. Conventional MOS에 적용되어 왔던 triangle approximation을 V_{bs} 가 높아질수록 큰 error를 내고 있으나, $\eta=4$ 를 사용한 경우의 weighting approximation에 의한 이론치와는 매우 잘 일치하는 것을 알 수 있다. 여기서 η 값은 process parameter로서, least square 방법 혹은 interactive 방식에 의해 선택된다.

IV. 結 論

2장에서 전개한 non-uniform doping concentration을 갖는 MOSFET에 대한 analytical threshold model

들을 small size MOSFET 소자에 대해 전개하였고, 3장에서 실험치와 이론치가 $V_{bs}=0$ 일 때가 worst case로서 7% 이내로 일치되었다. 특히 위 model들은 body effect를 나타내는 parameter γ 의 model을 short channel effect와 narrow width effect가 모두 포함되도록 이루어졌으므로 circuit simulator model로서 용이하다.

$$\left\{ \gamma = \frac{1}{C_{ox}} \cdot \sqrt{2 \cdot \epsilon_0 \cdot \epsilon_{si} \cdot q} (\sqrt{N_{CH}} \cdot F + \frac{B}{W_{eff}} \cdot \sqrt{\eta \cdot N_{sub}}) \right\}$$

參 考 文 獻

- [1] L.D. Yau, *A Simple Theory to Predict the Threshold Voltage of Short-Channel IGFET's*. IEEE Trans. Electron Devices, pp. 779, 1978.
- [2] P.P. Wang, *Threshold Voltage Characteristics of Double-Boron-Implanted Enhancement-Mode MOSFET's*. IBM J. Res. Develop., pp. 530, 1975.
- [3] Tadanori Yamaguchi, *Analytical Model and Characterization of Small Geometry MOSFET's*. IEEE Trans. Electron Devices, pp. 559, 1983.
- [4] K.O. Jeppson, *Influence of the Channel Width on the Threshold*. Electron. Lett., July 1975.
- [5] L.A. Akers, *Threshold Voltage Models of Short, Narrow and Small Geometry MOSFET's: A Review*. Solid-State Electron., pp. 621, 1982.

감사의 글

이 논문의 test 트랜지스터 특성은 전자기술연구소의 silicon gate NMOS 공정에서 얻은 것입니다. 논문의 수행에 많은 도움과 격려를 주신 김충기 교수님과 전자기술연구소의 김보우씨에게 감사를 드립니다.