

질화실리콘막을 사용한 표면보호층 구조에 관한 연구

(Passivation Layer Structures with a Silicon Nitride Film)

李 鍾 武
(Chong Mu Lee)

要 約

APCVD SiO₂ 또는 PSG 및 PECVD SiN 막으로 구성된 이중 또는 삼중층의 반도체 표면보호막 구조의 특성을 층배합방법, 두께 등이 다른 여러 경우에 대하여 비교분석하였다. 문턱전압의 변동, 크랙 및 핀·홀의 발생, 내습성 등의 성질을 검토한 결과, 4,000Å 이상의 두께를 가진 PSG막과 6,000Å 두께의 SiN막으로 된 이중층이 표면보호막 구조로 가장 적합하다는 결론을 얻었다.

Abstract

Comparisons and analyses were made of the properties of double or triple passivation layer structures composed of APCVD SiO₂ or PSG and PECVD SiN films with various layer combinations and layer thicknesses. As a result of the analyses of the properties such as threshold-voltage shift, crack resistance, pinhole density, and moisture resistance, a conclusion was reached that the proper passivation layer structure is the double layer consisting of a 4,000Å or thicker PSG film and a 6,000Å SiN film.

I. 序 論

반도체 소자의 표면은 외부로부터의 물리적 또는 화학적 요인이나 소자 표면에 이미 내재하는 불안정한 요인에 의해 손상되기 쉬우므로 보호막을 입혀 그 표면을 보호하는 것이 보통이다. 표면보호막 층으로는 그동안 CVD(Chemical Vapor Deposition) 법에 의한 SiO₂ 막 또는 PSG(Phospho-Silicate Glass, P₂O₅-SiO₂) 막을 많이 사용해 왔다. 그러나 최근에는 내습성이 좋으며 알칼리 이온의 침투를 막는 효과가 크고, 그 외에도 기계적 강도등의 특성이 더 우수한 PECVD(Plasma Enhancement CVD) 질화실리콘(SiN)

막을 SiO₂ 또는 PSG와 함께 조합한 다층 표면보호막 구조를 사용하는 경향으로 바뀌어 가고 있다.¹⁾

그러나 막막재료마다 각각의 특성이 다르고 막층 상호간에 미치는 영향이 있으므로 장기적으로 소자의 특성에 나쁜 영향을 주지않는 최선의 보호막 층구조를 결정하기 위해서는 이러한 복합적인 요소들을 모두 고려해야 한다. 현재까지 표면보호층으로 사용되는 단일막의 특성에 관해서는 많이 보고되었으나 복합막의 층배합방법, 층두께 등에 관해서는 자세히 알려지지 않고 있는 실정이다.

소자표면으로부터 침투하여 소자의 동작에 해를 끼치는 요인들 중에서 가장 대표적인 것으로 수분과 알칼리이온을 들 수 있다. 표면으로부터 소자내부로 침투한 수분은 층간절연막의 크랙(crack)이나 핀·홀(pin-hole) 등의 조직이 형성한 부분을 통해 금속배선층에 도달하게 되고, 전기 화학적인 반응으로 금속을 부식

*正會員, 仁荷大學校 金屬工學科
(Dept. of Metallurgical Eng., Inha Univ.)
接受日字: 1985年 5月 22日

시키게 된다. 더우기 PSG의 P성분이 수분에 가세할 경우 금속의 부식은 더욱 촉진된다.¹⁴⁾

한편, Na이온, K이온 등의 알칼리이온은 여러가지 경로를 통하여 SiO₂막 표면에 이르게되고, 일단 표면에 부착된 이온들은 막내부로 쉽게 확산해 들어간다. 막내부에서는 전장의 영향을 받아 이동하게 되고, Si-SiO₂ 계면상태를 변화시켜 반전층(inversion layer)을 형성하기 때문에 PN접합의 누설전류의 증가, 전류증폭율의 변동, 문턱전압(threshold voltage, V_T)의 변동, 잡음(noise)의 증가 등, 소자의 전기적 특성에 현저히 나쁜 영향을 미친다.^{18,19)}

초기에는 표면보호막 재료로 순수한 SiO₂가 사용되었으나, SiO₂는 내습성이 나쁘고 알칼리이온의 오염을 효과적으로 방지하지 못하므로, 그 후 알칼리이온의 이동을 잘 막기 위하여 SiO₂에 P₂O₅를 첨가한 PSG가 사용되었다. 그러나 PSG 역시 내습성면에서 불충분하므로 최근에는 내습성이 더 우수하고 기계적 강도가 더 좋은 PECVD SiN막으로 대체되어 가고 있다. 표면보호막으로서의 SiO₂, PSG, SiN등의 도포에는 APCVD, LPCVD, 또는 PECVD와 같은 CVD법이 주로 사용되고 있는데, 그 이유는 반도체소자의 상부배선층 재료로 주로 쓰이는 Al의 용점이 낮으며, Al용점 이하의 온도에서 이들 막을 열적으로 성장시키는 것이 불가능하기 때문이다.

SiN막을 단층으로 사용하면, 단결정 Si과 gate 산화물의 계면영역에 플레즈마 방사선에 의하여 이온화된 트랩(trap), N₂가 생성되어 결과적으로 소자의 V_T를 떨어뜨릴 위험이 많다.¹¹⁾ 따라서 CVD공정 이후에 적절한 어닐링 처리를 해 주어 N₂를 제거해 주거나^{12,13)} SiN층 아래에 SiO₂ 또는 PSG층을 넣어 플레즈마 방사선의 투과를 차단시켜 주는 것이 필요하다. 三沢豊¹⁴⁾ 등의 연구에 의하면, PSG를 하층으로, SiN을 상층으로 한 이중 표면보호막층을 사용할 경우, PSG에서의 P₂O₅의 농도가 증가함에 따라 PSG와 SiN간의 화학반응이나 열팽창계수의 차이로 인하여 상층인 SiN 층에 크랙이 발생할 가능성이 더 높아진다고 한다. 따라서 크랙이 발생되지 않기 위하여 허용되어지는 질화막의 최대두께 또한 P₂O₅의 농도증가에 따라 점점 더 감소된다. PSG층과 질화물층 사이에 완충층으로 SiO₂ 층을 넣어주면, 질화물층이 상당히 두꺼워도 크랙이 생길 가능성이 적어지지만, 이중층에 비하여 공정수가 늘어나므로 생산성면에서 볼 때 바람직하지 못하다.

본 보고서는 SiO₂, PSG 및 SiN등을 적절히 조합하여 내습성이 우수하고, 알칼리이온의 침투를 막는 능력이 뛰어나며, 기계적 강도 또한 좋아, 반도체소자에

대한 신뢰성있는 보호막층을 얻을 수 있는 조건을 찾는데 그 목적이 있다.

II. 실험

64KDRAM 생산라인에서 최종표면보호막 도포 이전까지의 모든 공정이 끝난 직경 4인치 웨이퍼(wafer) 70여매를 취하여 다음과 같은 실험을 행하였다.

먼저 웨이퍼 각각의 테스트칩(test chip)들에 대하여 V_T를 측정 한 다음, 순수한 SiO₂ 또는 PSG를 하층, SiN을 상층으로 하여 이중 또는 삼층의 다층표면보호막을 도포하였다. 웨이퍼에 따라 막재료, 막두께, PSG에서의 P₂O₅의 농도를 달리하였다. SiO₂와 PSG 막은 APCVD법으로, SiN막은 PECVD법으로 도포하였다. APCVD와 PECVD 각각에서의 대표적인 도포조건은 표 1의 (a) 및 (b)에 보인 바와 같다.

막의 도포가 끝난 이들 웨이퍼들은 소자공정 순서에 따라 본딩패드(bonding pad)를 위한 사진식각공정을 실시하였다.

표 1. 도포 및 에칭공정 조건

Table 1. Deposition and etching conditions.

(a) SiO₂/PSG도포

setting temperature : 410°C
N₂ (O₂ carrier) flow rate : 12SLM
N₂ (SiH₄ carrier) flow rate : 11.9 SLM
belt speed : 103mm/min
SiH₄ flow rate : 61 SCCM
PH₃ flow rate : 80 SCCM
O₂ flow rate : 730 SCCM

(b) SiN도포

setting temperature : 320°C
time : 970 sec
rf power : 2.1 Ampere
pressure : 0.35 torr
SiH₄ flow rate : 444×3 SCCM
NH₃ flow rate : 140 SCCM
N₂ (deposition) flow rate : 276×3 SCCM
N₂ (purging) flow rate : 850 SCCM
N₂ (etching) flow rate : 150 SCCM

(c) SiN 에칭

time : 4~7 min
rf power : 500 watt
pressure : 0.15 torr
O₂ flow rate : 15 SCCM
CF₄ flow rate : 85 SCCM
SF₆ flow rate : 15 SCCM

(d) PSG 에칭

7 : 1 BOE (Buffered Oxide Etchant)

이 과정중 SiN의 에칭에는 플레즈마 건식에칭법을,

SiO₂ 또는 PSG의 에칭에는 습식에칭법을 사용하였다. 이 때 각각의 에칭조건은 표 1의 (c) 및 (d)에 보인 바와 같다. 이 단계에서 다시 이들 웨이퍼 각각에 대하여 보호막형성공정에 따른 V_T의 변동을 조사하기 위하여 테스트칩들의 V_T를 측정하였다.

이상의 공정을 끝낸 웨이퍼들 중의 일부에 대하여 PECVD SiN공정에서의 플라즈마 방사선 효과로 인한 손상을 보상해주기 위한 어닐링처리를 행하였다. 이 어닐링처리는 300℃에서 3분간 유지한 것이었지만, 이미 300℃의 온도하에 있는 어닐링튜브 속으로 웨이퍼를 집어 넣는데 약 7분, 다시 꺼내는데 약 14분의 시간이 소요되었으므로 실제로 열처리에 소요된 총 시간은 약 24분 가량된다. 어닐링처리한 웨이퍼들에 대하여 어닐링 효과를 알기위해 다시 V_T를 측정하였다.

이어서 모든 샘플 웨이퍼들은 EDS (Electrical Die Sorting) 테스트를 거쳐 크랙과 핀홀의 존재여부를 조사하였다. 한편, 핀홀은 핀홀탐지기로 바이어스(bias) 전압 50V 하에서 각 웨이퍼당 5-10군데를 지정하여 관찰하였으며, 각 지점의 관찰면적은 약 25mm²였다.

이상의 절차가 끝난 웨이퍼들을 칩 단위로 분리하여 조립한 다음, preburn, burn-in, post burn, hot final, ambient등의 전기적 특성검사에 합격한 칩만을 추출해냈다. 최종까지 남은 양품들중 웨이퍼 별로 60개 혹은 66개씩 샘플로 취하여 PCT(Pressure Cooker Test)에 의한 내습성검사를 실시하였다. PCT에서의 조건은 120℃, 2기압하에서 200시간동안 유지하는 것이었다.

이상의 실험에서 사용한 SiN막의 도포공정 조건은 많은 실험을 거쳐 결정된 최선의 조건이다. 이 공정조건을 설정하기 위하여 rf-power, 압력, 개스유동속도 및 도포온도의 변화에 따른 굴절률, 막두께, 절연내압 등을 조사하였다.

III. 實驗結果 및 檢計

1. 문턱전압(V_T)

V_T의 측정은 표 1에서 보는 바와 같이 표면보호막들의 도포 이전과 그 이후, 그리고 어닐링처리한 후의 세차례에 걸쳐 실시하였다. 한 웨이퍼당 5개의 테스트칩이 있으며 매 칩마다 채널너비/채널길이의 값이 μm 단위로 25/10, 25/3.5, 25/2.5, 3/3.5가 되는 채널 및 트랜지스터에 대한 V_T를 -2.5V의 substrate bias 하에서 측정하여 비교하였다. 가장 주된 경향을 보이는 트랜지스터의 V_T에 대해 그 전형적인 값의 범위만을 표 2에 수록하였다. 표 2를 보면, 다음과 같은 경향을 알 수 있다.

1, 2, 3, 4조의 V_T 값을 비교하면, 아래층의 SiO₂ 또는

PSG의 두께가 3,000Å 이하일 때에는 표면보호막 도포 이후에 V_T가 감소하며, 감소하는 정도는 SiO₂나 PSG층이 얇을수록 더 큼을 알 수 있다. 초기 V_T 값은 1.00V-1.16V 사이의 값으로 거의 비슷하나 SiO₂막의 두께가 얇은 경우(1조), 다음의 SiN막 도포시에 생기는 플라즈마 방사선의 투과를 완전히 차단하지 못하여 V_T의 변동이 크다. 그러나 SiO₂막의 두께가 4,000Å 이상(4조)일 때에는 V_T의 변동이 전혀 없음을 알 수 있다. SiN막의 아래층으로 6,000Å 두께의 SiO₂막(5조)을 사용한 경우와, 같은 두께의 PSG막(6조)을 사용한 경우를 비교하면, 보호막도포 이후, 양쪽 모두 V_T의 변동이 없으며, 따라서 양자간에 차이가 거의 없다.

PSG내에서의 Na 이온의 용해도가 SiO₂ 내에서보다 훨씬 더 크기 때문에 Na 이온이 게이트산화물(gate oxide) 층으로 이동하는 것을 저지하는 효과가 있으므로 PSG를 사용할 때가 순수한 SiO₂를 사용할 경우보다 알칼리이온에 대한 V_T의 변동이 없을 가능성이 더 높다. 그러나 5조의 경우도 V_T의 변동이 전혀 없는 것으로 보아, 상부층인 6,000Å 두께의 SiN막이 이미 외부로부터의 알칼리이온의 침투를 충분히 잘 막아주고 있으며 SiO₂막에 이미 내재하는 알칼리이온의 양이 무시할 만한 것으로 판단된다. 또한 이것으로부터 1-4조에서의 V_T의 변동은 알칼리이온의 침투에 의한 것이 아니라 순전히 SiN막 도포시의 플라즈마 방사선의 영향에 의한 것임을 알 수 있다.

플라즈마 방사선에 의한 V_T의 저하는 열처리에 의하여 보상해 줄 수 있다. 열처리 효과를 조사하기 위하여 2, 4 및 6조에 대하여 300℃, 질소분위기하에서 약 3분간 열처리하였으며 그 결과는 표 2에 보인 바와 같다. 앞에서 언급한 바와 같이 어닐링 튜브속에서 웨이퍼를 집어넣는 시간과 튜브로부터 꺼내는 시간을 합하여 21분 가량의 시간이 소요되었으므로 실제 열처리 시간은 3분보다 더 길다. SiN막의 도포이후 V_T의 저하가 심했던 2조에서는 열처리 효과에 의하여 V_T가 현저히 회복되었으나 완전히 원상으로 회복되기에는 어닐링 정도가 불충분했던 것으로 보인다.

한편, SiN막 도포이후 V_T의 변동이 전혀 없었던 4조와 6조의 경우는 어닐링처리 이후에 V_T가 보호막 도포 이전보다 오히려 더 커졌음을 발견할 수 있는데 그 정확한 원인은 알 수 없다. 따라서 열처리로는 V_T를 정확하게 조절하기 어렵고, 공정이 하나 더 늘어나는 데 따른 어닐링 튜브의 준비, 먼지(particle) 발생 요인의 증가 등으로 바람직하지 못하므로 아예 V_T의 변동이 생기지 않을 충분한 SiO₂ 두께를 택하는 것이 좋겠다.

삼중층인 SiO₂/PSG/SiN (8조)와 PSG/SiO₂/SiN(9조)의 경우, 보호막도로 이후에 각각 0.06 및 0.13 정도 V_T가 저하되었다. 그러나, 왜 V_T의 변동이 일어났는지, 또 왜 후자에서 V_T의 저하가 더 크지에 대해서는 확실히 알 수 없다. SiN막의 아랫층인 SiO₂막과 PSG막의 두께의 합이 7,500Å으로 플라즈마 방사선 손상을 막기에 충분히 두껍다고 판단되기 때문이다.

10-12조는 PSG에서의 P₂O₅의 농도의 변화에 따른 효과를 보기 위한 삼중층 구조들이다. 1-9 조에서의 PSG막의 농도는 3.5wt% P₂O₅, 10, 11조에서는 6.6% P₂O₅, 그리고 12조에서는 8.5% P₂O₅이다. 이들 세 조에서는 V_T의 변동을 거의 발견할 수 없다. SiN 막의 하층인 SiO₂와 PSG막의 두께가 충분히 두꺼워서 방사선 손상도 없고 PSG에서의 P₂O₅의 농도가 높아 알칼리이온에 대한 V_T 변화도 없기 때문인 것으로 생각된다.

따라서 이상의 V_T 실험 결과로 보아서는 4,000Å 이상의 두께를 가진 SiO₂ 또는 PSG막을 하층으로, 6,000Å 두께의 SiN막을 상층으로 하는 이중층 구조가 표면 보호막 구조로 적합하다고 볼 수 있겠다.

2. 크랙 및 핀홀

표 2의 1-12조에 속하는 시편에 대하여 광학현미경을 사용하여 크랙의 유무를 조사하였다. 일반적으로 어떤 막위에 다른 종류의 막을 도포할 때, 두막재료간의 열팽창계수의 차이나 계면에서의 화학적 반응에 의

표 2. 여러 보호막 층구조에 대한 문턱전압에 관한 데이터

Table 2. Threshold voltage data for various passivation film layer structures.
(PSG*의 농도는 6.6wt% P₂O₅, PSG**의 농도는 8.5wt% P₂O₅이며, 그 외의 모든 PSG의 농도는 3.5wt% P₂O₅이다.)

실험 조	層 구조 (Å)	문턱 전압, V _T (Volt)		
		보호막도이전	도포이후	어닐링이후
1	SiO ₂ 1,500/SiN 6,000	1.00-1.11	0.17-0.50	
2	SiO ₂ 2,000/SiN 6,000	1.09-1.16	0.31-0.50	0.73-0.81
3	SiO ₂ 3,000/SiN 6,000	1.00-1.11	0.88-0.95	
4	SiO ₂ 4,000/SiN 6,000	1.02-1.06	1.02-1.06	1.06-1.11
5	SiO ₂ 6,000/SiN 6,000	0.97-1.09	0.97-1.09	
6	PSG 6,000/SiN 6,000	0.92-1.10	0.92-1.09	0.98-1.14
7	PSG 9,000/SiN 6,000	1.09-1.13	1.06-1.11	
8	SiO ₂ 1,500/PSG 6,000/SiN 6,000	0.97-1.06	0.92-0.99	
9	PSG 6,000/SiO ₂ 1,500/SiN 6,000	0.92-0.95	0.78-0.83	
10	SiO ₂ 1,500/PSG* 6,000/SiN 3,000	1.02-1.15	1.02-1.15	
11	SiO ₂ 1,500/PSG** 9,000/SiN 3,000	1.02-1.11	1.02-1.11	
12	SiO ₂ 1,500/PSG** 9,000/SiN 3,000	1.02-1.06	1.02-1.04	

하여 막에 크랙이 생길 우려가 있다. 三沢豊¹¹⁾ 등의 보고에 의하면, 하층을 PSG, 상층을 SiN로한 이중구조에서 SiN막에 크랙이 생길 가능성은 PSG 층에서의 P₂O₅의 농도와 SiN막의 두께 등과 밀접한 관계가 있다고 한다. 또 P₂O₅의 농도가 증가됨에 따라 크랙이 생기지 않기 위하여 허용 되어지는 SiN막의 두께는 약 11% P₂O₅까지 대체로 직선적으로 감소한다고 보고하고 있다.

광학현미경으로써 조사한 결과, 기대한 바와 같이 1-12조의 어느 시편에서도 크랙을 발견하지 못 하였다. 이것은 본 실험에서 PSG와 P₂O₅ 농도가 3.5%일 때에는 6,000Å 두께의 SiN(6,7 및 8조)를, P₂O₅의 농도가 6.6% 또는 8.5%인 PSG에 대해서는 3,000Å 두께의 SiN(10, 11, 12조)를 사용하여 어떤 경우에도 三沢豊의 크랙이 발생하지 않는 범위에 속하기 때문으로 보여진다.

때때로 SiN막의 층(step)이진 부분의 구석에서 그림 1과 같은 구조상의 결함이 관찰되었다. 이러한 구조상의 결함은 SiN막의 아래에 있는 SiO₂나 PSG막의 층이 진곳의 SiN막에서 많이 관찰되었는데 크랙이라기 보다는 불안정한 도포에 의해서 생긴 void로 보여진다. 이러한 void는 PSG(6,7조) 보다는 순수한 SiO₂(1-5조)의 경우에 더 심한 경향을 보였으며, PSG에서의 P₂O₅ 농도가 높으면 PSG막이 연해져서 스텝·커버리지(step coverage)가 좋아지기 때문인 것으로 생각된다. 이러한 면에서 보면, PSG가 SiO₂보다 더 우수하다고 볼 수 있겠다.

한편, 핀·홀 추적기로 조사한 바에 의하면, 12조를 제외하고는 10조의 5시편중 한 개의 시편에서만 핀·홀 한 개를 발견했을 뿐, 다른 어느 조에서도 SiN막에서 핀·홀을 발견하지 못하였다. 12조의 시편들에게만은 시편당 평균 4.6개나 되는 많은 수의 핀·홀을 발견했는데 그 원인은 확실치 않다. 12조를 8-11조까지의 다른 삼중층 구조들과 비교할 때, PSG에서의 P₂O₅의 농도만 증가되었을 뿐, SiN 도포시의 도포공정 조건에는 차이가 없으며 PSG 농도의 증가가 SiN막의 핀·홀 생성에 별로 영향을 미치지 않을 것으로 판단되기 때문이다. 아마 SiN 도포 후의 웨이퍼 세척시 이상이 발생했을 가능성이 있다.

3. 내습성

표 3은 본 실험에 사용된 각 시편들에 대한 PCT (Pressure Cooker Test) 결과를 보인 것이다. 이 시편들의 표면보호막은 하층이 SiO₂ 또는 PSG막, 상층이 SiN막으로 된 이중층 또는 삼중층 구조로 되어있다. 이중층의 경우, 1조가 2-5조에 비하여 불량율이 높은 것으로 보아 상층에 6,000Å 두께의 SiN막이 있을 지라도 하층의 SiO₂막 두께가 2,000Å 이하일 때에는

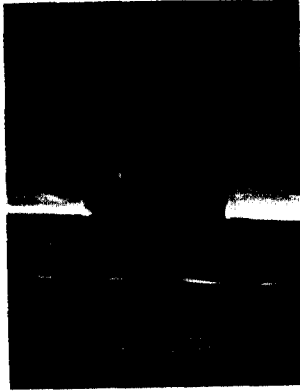


그림 1. 스텝의 구석에 void가 있는 SiN막의 SEM사진
Fig. 1. SEM photograph of a SiN film with voids at the corners of steps.

내습성에 우려가 있음을 알 수 있다. 3-9 조에 대해서는 6조에서 200시간 이후 불량이 하나 나왔을 뿐, 그 외에는 불량이 전혀없다. 그림 1과 같이 SiN 막에서 생기는 void의 존재가 PCT결과에 나쁜 영향을 줄 것을 우려 하였으나 큰 해가 없는 것 같다.

표 3. 各組別 PCT데이터

Table 3. PCT data for each group.

시 편 組	1	2	3	4	5	6	7	8	9	10	11	12
200시간 후 총 불량률 불량칩수/총칩수	0	0	0	0	0	0	0	0	0	0	0	0

삼중층의 8, 10, 12조를 서로 비교해 보면, PSG막에서의 P₂O₅의 농도가 증가됨에 따라 내습성이 급격히 저하됨을 알 수 있다. 특히 11과 12조를 비교하면 P₂O₅의 농도가 6.6wt%로부터 8.5wt%로 증가됨에 따라 불량율이 10배 이상 증가되었음에 주목할 필요가 있다. 주지하듯이 P₂O₅ 농도의 증가는 흡수된 수분과 함께 Al배선층의 선기부식을 촉진시키므로 표면보호막으로 사용될 경우에는 삼중층의 중간층일지라도 PSG막에서의 P₂O₅의 농도는 낮게 유지되어야 할 것이다.

본 실험의 PCT 결과가 양호했던 조들은 WHOPL(Wet High Temperature Storage Test), HOPL(High Temperature Test) 등의 다른 신뢰성 시험에서도 결과가 매우 양호하였다.

IV. 결 론

본 실험에서는 순수한 SiO₂, PSG, SiN등을 재료로 하여 층 배합방법 및 두께등을 달리한 이중 또는 삼중층 표면보호막 구조에 대하여 문턱전압, 크랙 및 핀·홀, 내습성 등의 성질을 비교 검토한 결과 다음과

같은 결론을 얻었다.

- 1) SiO₂ 또는 PSG(4,000 Å 이상)/SiN(6,000 Å)의 구조가 V_T 변동을 일으키지 않는다.
- 2) 삼중층에서는 오히려 V_T가 저하하는 경우가 있다.
- 3) 어닐링 처리를 하면, 저하되었던 V_T가 회복되나 V_T의 정확한 조절이 어렵다.
- 4) SiO₂보다는 PSG를 사용할 때, Void가 잘 생기지 않는다.
- 5) SiO₂ 또는 PSG(2,000 Å 이상) SiN(6,000 Å)의 구조가 내습성에 좋다.
- 6) PSG에서의 P₂O₅의 농도가 높을 때에는 삼중층을 사용하더라도 내습성이 불량하다.

이상의 결과로부터 미루어 볼 때 4,000 Å 이상의 두께를 가진 PSG막과 6,000 Å 두께의 SiN막으로 된 이중층이 표면보호막으로 적합하다고 볼 수 있다.

參 考 文 獻

- [1] Kenneth E. Bean, et al., *J. Electrochem. Soc.*, vol. 114, no. 7, pp. 111, 1976.
- [2] Y. Catherin, et al., *Thin Solid Films*, vol. 41, pp. 57, 1977.
- [3] A.K. Sinha, et al., *J. Electrochem. Soc.*, vol. 125, no. 4, pp. 601, 1978.
- [4] M.J. Helix, et al., *Thin Solid Films*, vol. 55, pp. 143, 1978.
- [5] K.M. Mar, et al., *Solid State Technol.*, pp. 137, April 1980.
- [6] S. Yokoyama, et al., *J. Appl. Phys.*, vol. 51, no. 10, pp. 5470, 1980.
- [7] Nakai (Private Communication).
- [8] W.M. Paulson and R.W. Kirk, *Proc. Annu. Reliability Phys. Symp.*, 12th, 1974.
- [9] R.J. Krieger, *IEEE Proc. Reliability Phys. Sym.*, Las Vegas, NV, pp. 250, April 2-4, 1974.
- [10] E.S. Schlegel, *IEEE Trans. Electron Devices*, ED-14, pp. 728, 1976.
- [11] A.K. Sinha, et al., *J. Electrochem. Soc.*, vol. 125, pp. 601, 1978.
- [12] N.H. Sander and B.L. Gregory, *IEEE Trans. Nuclear Science*, NS-22, pp. 2157, 1957.
- [13] G.F. Derbenwick and B.L. Gregory, *IEEE Proc. Nuclear and Space Radiation Effects*, Arcata, CA, July 14-17, 1975.
- [14] 三沢豊, 일본 특허 昭50-40635, "반도체 소자의 표면 안정화 보호막", Dec. 25, 1975. *