

다결정 실리콘 이중전극 구조를 이용한 16×16 이차원 전하결합 영상감지소자의 설계, 제작 및 동작

(Design Fabrication and Operation of the 16×16 Charge Coupled Area Image Sensor Using Double Polysilicon Gates)

鄭智采*, 吳春植**, 金忠基**

(Ji Chai Jeong, Choon Sik Oh and Choong Ki Kim)

要約

전하 결합 소자를 이용한 16×16 이차원 영상 감지 소자가 제작되었다. 제작된 소자는 2상(two-phase)의 전극 구조로 제작되었고 프레임 이동(frame transfer) 방식으로 동작한다. 표면 전위차를 얻기위해 이온 주입을 했고 NMOS공정을 따라 제작되었다. 영상을 얻기위한 시스템은 광학 렌즈, 클럭 발생 및 구동 회로, 계단형 신호 발생기로 이루어지는데, EPROM을 사용하여 클럭 발생회로를 간단하게 하였다. 영상 시스템을 사용하여 오실로스코프 화면에 알파벳트를 표시할 수 있었다. 소자의 특성으로 전하 이동 손실률과 암전류를 측정하였다.

Abstract

A charge-coupled device (CCD) area image sensor has been demonstrated with an experimental 16×16 prototype. The prototype is a vertical frame transfer charge-coupled imager using two-phase gate electrode structures. In this device, ion-implanted barriers are used for two-phase CCD, and NMOS process has been adopted. The total imaging setup consisting of optical lens, clock generators, clock drivers, staircase signal generators, and oscilloscope is easily achieved with the aid of PROM. English alphabets are displayed on the oscilloscope screen using the total imaging set-up. We measure charge transfer inefficiency and dark current for the fabricated devices.

I. 序 論

1970년에 Bell 연구소의 Boyle과 Smith에 의해 발표된¹⁾ 전하결합소자(charge-coupled devices)는 이미 1950년대 부터 잘 알려져 있던 MOS (metal-oxide-

semiconductor) 커패시터를 기본요소로 하기 때문에 그 후 10년 동안에 급속히 발전하여 중요한 실리콘 반도체 소자가 되었다. 전하결합소자는 MOS커패시터를 매우 근접시켜 배열하여 반도체 내부 또는 표면에 저장된 전하를 소자의 구조에 따라 전기 신호에 의해 비교적 자유롭게 이동시킬 수 있으므로, 영상 감지소자^{2,3)}, 디지털 기억소자⁴⁾, 아날로그 신호 처리⁵⁾ 등에 응용되고 있다.

전하결합 영상 감지 소자에서 전위 우물(potential well)이 소자의 전극아래에 형성 되었을때, 400Å~1100Å의 파장을 갖는 광자가 소자 표면에 입사하면 소

*正會員, 韓國科學技術院 半導體 材料研究室
(Semiconductor Materials Lab., KAIST)

**正會員, 韓國科學技術院 電氣 및 電子工學科
(Dept. of Elec. Eng., KAIST)

接受日字: 1985年 1月 26日

수 반송자(minority carrier)가 생성되어 신호 전하를 구성하며 신호 전하량은 입사광의 세기에 비례한다. 따라서 이를 이용하면 전하 결합 소자는 다양한 영상 감지 소자에 이용될 수 있다. 영상 감지 소자로 전하 결합소자를 사용하면 전력 소모가 적고, 영상 감지 시스템의 크기가 작으며, 빛에 대한 감도를 높일 수 있다. 최근에는 다결정 실리콘 전극 기술을 이용하여 컬러 TV용 전하결합 영상 감지 소자를 한개의 칩(chip)으로 개발하는 단계에 도달해 있다.^(1,2)

본 논문에서는 전하결합 영상 감지 소자의 기본형

인 16×16 배열의 소자를 설계, 제작하고 동작시켜 전하 결합 영상 감지 소자에 대한 특성을 이해하고 해석하고자 하였다. 그리고 전하 결합 소자의 원리, 영상 감지 소자의 원리, 소자의 설계, 제작 및 동작을 차례로 설명하고, 마지막으로 측정된 전하 이동 손실과 암전류 등에 대해서 기술 하였다.

II. 전하 결합 소자

1. 전하결합 소자의 원리

MOS 커패시터에서 반도체를 접지시키고 게이트에 반도체의 다수 반송자와 같은 극성의 전압을 가하기가하면 반도체 표면의 다수 반송자가 밀려나게 되어 deep-depletion 상태가 이루어진다. 그림 1은 deep-depletion 상태의 MOS 커패시터의 단면도와 에너지 밴드 구조를 보여주고 있다.

전하 결합소자는 전위우물에 빛에 의해 발생한 소수 반송자와 열적으로 발생한 소수 반송자를 저장시켜, MOS 커패시터가 반전(inversion)상태로 되기전에 다른 전극밑으로 소수 반송자를 이동시킬 수 있는 원리를 이용한 소자이다. 전하결합소자는 여러가지 구조로 제작되고 다양한 방식으로 구동시킬 수 있으나^(3,4), 최근 NMOS RAM의 기술발전으로 인하여 전하 결합소자 기술도 NMOS 제작기술로 다결정 실리콘을 이용한 이중전극 구조를 널리 사용하게 되었다. 본 논문을 위해 제작된 영상 감지소자도 2상(two-phase)으로 동작하는 표면 n-채널 소자로 설계 하였으며 동작원리에 대해서 그림 2를 이용하여 설명하기로 한다.

MOS 커패시터에서 게이트 전압은

$$V_g = \frac{Q_s}{C_{ox}} + \frac{\sqrt{2K_s \epsilon_0 q N_A V_s}}{C_{ox}} + V_s \quad (1)$$

의 관계식으로 표시 되는데⁽⁴⁾, Q_s 는 반전층의 전하, C_{ox} 는 단위 면적당 산화막의 커패시턴스, K_s 는 실리콘의 비유전율, N_A 는 불순물 농도, V_s 는 표면전위를 각각 나타낸다. 같은 게이트 전압에 대해서 산화막의 두께나 불순물 농도가 다르면 실리콘 표면의 전위 V_s 는 달라 질 수 있으므로, 소수 반송자에 대해 전위우물(potential well)을 형성할 수 있다. 그림 2에서는 서로 다른 전위를 얻기 위해 전위우물이 아닌 곳에 이온 주입을 했다. $t=t_1$ 에서 신호 게이트(SG)는 입력게이트(IG)보다 표면 전위가 더 높다. $t=t_2$ 에서는 입력 다이오드(ID)의 표면 전위가 입력 게이트의 표면 전위보다 더 낮아서 소수 반송자인 전자가 신호전하로 주입된다. $t=t_3$ 에서는 입력 다이오드의 표면 전위는 다시 높아져서 신호 게이트 아래에 입력 게이트와 신호 게이트 표면 전위차에 비례하는 신호 전하가 저장 된다.

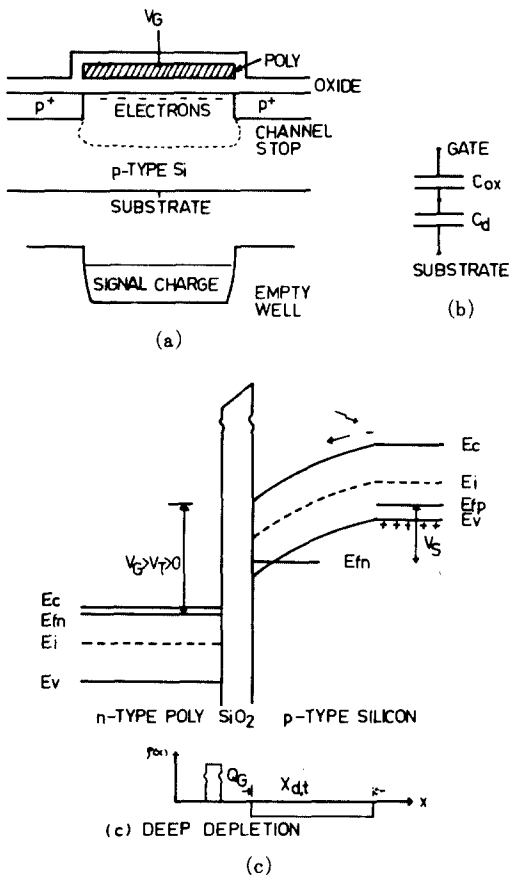


그림 1. (a) MOS 커패시터에 대한 단면도
 (b) MOS 커패시터에 대한 등가회로
 (c) Deep depletion 상태에 있는 MOS 커패시터의 에너지 밴드 다이어그램 및 전하 분포도

Fig. 1. (a) Cross-sectional view of an MOS capacitor.
 (b) An equivalent circuit of an MOS capacitor.
 (c) Energy band diagram and charge distribution of an MOS capacitor in deep depletion.

이때 신호 전하량 Q_s 는

$$Q_s = C_{ox} \cdot (V_{s, ig} - V_{s, sc}) \cdot A \quad (2)$$

로 표시 되는데, $V_{s, ig}$ 와 $V_{s, sc}$ 는 입력 게이트와 신호 게이트의 표면전위, A 는 신호 게이트의 면적을 나타낸다. 클럭 신호에 의해서 여러 전극밑을 신호전하가 지나가는 동안 암전류에 의한 전하는 신호 전하에 더해지고, 이동 손실에 의한 전하는 빠진다. $t=t_1$ 에서는 ϕ_1 전극의 전압이 높고 ϕ_2 전극의 전압이 낮으므로 신호전하는 ϕ_1 전극 아래로 이동한다. 이처럼 계속 진행하여, $t=t_2$ 에서 출력 게이트(O_c) 전단까지 신호전하가 이동해 온다. $t=t_3$ 에서 출력 게이트의 전압을 높여 표면 전위를 높게하면 신호전하는 n^+ 확산 영역으로 넘어와 증폭 MOSFET의 게이트 전위를 변화시킨다. 즉 검출된 출력 전압의 크기는

$$\Delta V_{out} = \frac{Q_s \cdot g_m R_s}{C_{out} \cdot (1 + g_m R_s)} \quad (3)$$

이 되는데, g_m 은 MOSFET의 transconductance, C_{out} 은 MOSFET의 게이트 커패시턴스, R_s 는 소오스의 저항이다. 전하결합소자는 이처럼 신호전하를 거의 손실없이 출력단에서 검출할 수 있다.

2. 암전류^[1]와 전하 이동 손실^[1]

앞 절에서 설명한 바와같이 열적으로 생성된 소수 반송자가 신호전하에 더해지는데, 이와같은 반송자들

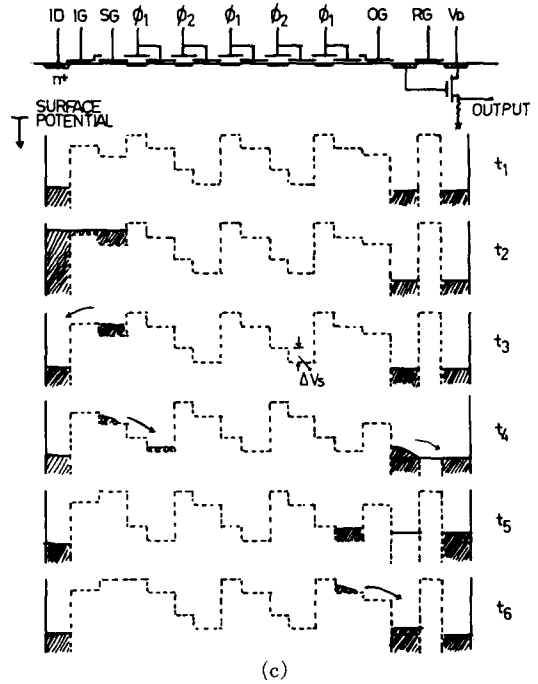
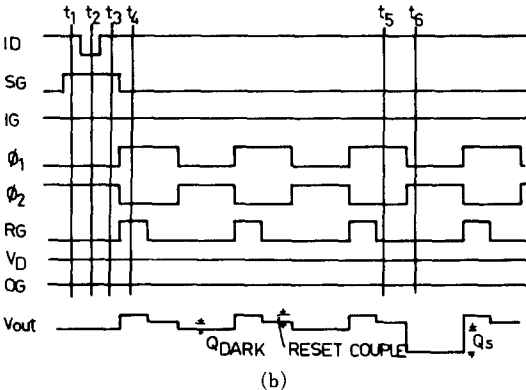
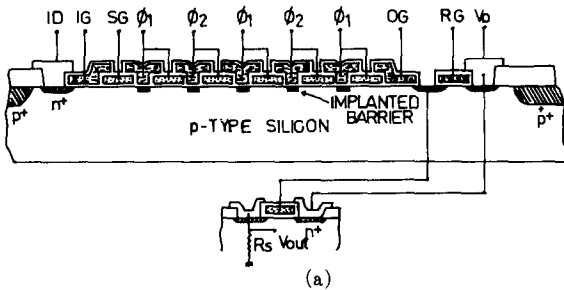


그림 2. 2상 CCD에 대한 설명도
 (a) 단면도
 (b) 소자 동작에 필요한 클럭 파형
 (c) 시간에 따른 표면전위 및 신호전하의 분포도

Fig. 2. (a) Cross-sectional view of an 2-phase CCD.
 (b) Clock waveforms for operating the device.
 (c) Surface potential profile and signal-charge distribution in 2-phase CCD at each time.

은 MOS 커패시터의 전극아래에 형성된 전위 우물의 공핍층에 존재하는 생성-재결합 센터에 의한 것과 bulk로부터의 소수 반송자의 확산에 의한것, 그리고 실리콘과 실리콘 산화막 사이에 있는 빠른 표면 스테이트(fast surface state)에 의한 생성 등이 있다. 그러나 전하 결합소자의 경우는 MOS 커패시터의 경우와는 달리 게이트 가장자리와 채널 스탑(channel stop) 확산한 곳에서도 상당수의 소수 반송자들이 발생된다. 이들 반송자에 의한 것을 암전류라고 하는데 이들 다섯 가지 중에서 공핍층과 빠른 표면 스테이트와 채널스탑 확산 영역에서 발생하는 것이 많기 때문에 다른 것들을 무시하면,

$$J_{dark} = \frac{qx_d}{2 \tau_0} + \frac{qS_0}{2} n_1 + f(V_G) \cdot J_{so} \quad (4)$$

로 표시할 수 있다. 여기서 x_d 는 공핍층의 폭, τ_0 는

공핍층내에서 반송자의 effective lifetime, S_0 는 표면 재결합속도, n_i 는 intrinsic carrier 농도, $f(V_G)$ 는 게이트 전압의 어떤함수, 그리고 J_{s0} 는 표면 전계가 zero 일때의 누설전류를 나타낸다. 전하 결합 소자를 동작시킬때 암전류에 의해 신호 전하가 손상받을 수가 있기 때문에 암전류의 양을 줄이는 것이 가장 중요하다. 전하결합소자에서 전하가 이동할 때 처음에 대부분의 전하는 내부에서 야기된 전계(self-induced electric field)에 의해서 이동하고, 마지막에는 열확산(thermal diffusion)에 의해 이동하며 나머지 미소한 양의 전하 이동은 fringing field에 의해 이루어진다. 그러나 전하가 이동할 때에는 밴드 갭(band gap)내에 있는 표면 스테이트 등에 의해서 신호전하가 포획되어 어느정도 시간이 지난후에 방출되므로 전하이동에 손실이 있게 된다.

전하이동 효율, η 은

$$\eta = 1 - \frac{N(T)}{N(0)} \quad (5)$$

로 정의 되는데, $N(T)$ 는 $t=T$ 시간에 전극 A 아래에 남아있는 총 전하량이고, $N(0)$ 는 전하이동이 시작되기 전에 전극 A 아래의 총 전하량이다. 일반적으로 표면 스테이트가 자유전하를 포획하는 시간은 매우 짧으나 포획후 방출하는 시간은 길기 때문에 여러패킷(packet)의 신호전하를 이동시키는 경우 처음 패킷의 신호전하는 표면 스테이트에 많은 전하를 빼앗기므로 나중 패킷보다 적은양의 전하를 출력단에서 검출하게 된다. 이러한 전하 이동 손실을 줄이기 위해서 신호전하에 임의의 전하를 더해서 이동시켜 표면 스테이트를 채우는 방식이 있고, 전하 이동을 표면이 아닌 벌크(bulk)에서 이동시키는 벌크 전하 결합소자도 있다.

III. 전하 결합 영상 감지 소자의 설계시 고려 사항

1. 영상 감지 소자의 구성

앞절에서 전하 결합 소자의 원리를 설명하였는데, 전하결합소자의 전극 아래에 전위 우물이 형성되었을때 빛의 세기와 빛을 받는 시간에 비례하는 소수 반송자들이 발생되어 전위우물내로 모인다. 이처럼 감지 영역에서는 빛의 세기와 양에 비례하는 소수 반송자가 모여서 아주 짧은 시간에 저장 영역으로 옮겨져 출력 레지스터를 통해 영상이 전기 신호로 바뀌어 나온다. 영상소자는 전하결합 감지영역과 저장 영역, 그리고 출력 레지스터로 구성 될 수 있다. 이러한 원리를 이용한 영상 감지 소자의 중요한 응용분야는 위치 감지소자(position sensing device), 비디오 카메라(video camera) 그리고 각종 산업, 군사적인 감지소자를 들 수 있다. 이차원 영상 감지 소자의 대표적인 두가지 구

조는 인터라인(interline)이동 방식⁽¹¹⁾과 프레임(frame)이동방식⁽¹²⁾이 있는데, 그 구조와 영상을 감지하는 개략도는 그림3에 각각 보여 주고 있다.

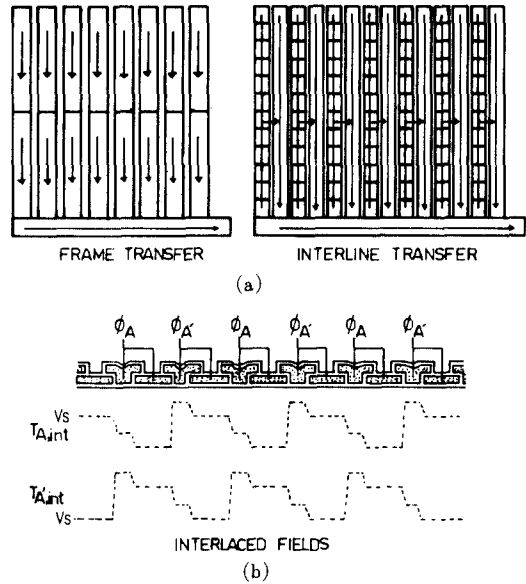


그림 3. (a) 영상감지소자의 개략적인 감지방식
(b) 2:1 interlacing 방식으로 동작하는 2상 프레임 이동 CCD의 단면도 및 표면 전위도

Fig. 3. (a) Readout organization of area image sensor.
(b) Vertical cross-sectional diagram through the sensing area, and surface potential profiles of a 2-phase transfer imager during the integration of 2:1 interlaced fields.

인터라인 이동 방식은 프레임 이동 방식의 절반의 면적을 가지고 같은 해상도(resolution)를 낼 수 있는 반면에 구조가 복잡하고 클럭킹 방식 또한 복잡하다.

프레임 이동 방식에서는 저장 영역을 필요로 하는 대신에 전극 구조가 간단하고, 인터레이스(interlaced)된 비디오 형식을 얻기가 용이하다. 보통 TV에서도 2:1 인터레이싱을 해서 한 프레임당 두개의 필드(Field)로 화면을 구성하고 있다. 그림3(b)에서 처럼 ϕ_A 전극과 ϕ_A' 전극에서 각각 감지를 해서 저장 영역으로 옮겨 영상 신호를 얻을 수 있다.

2. 16×16 전하 결합 영상 감지 소자의 설계

전하 결합 소자는 MOS 소자의 특별한 형태로 MOS 공정 기술의 발전 단계를 따라왔다. 초기에는 PMOS 공정을 이용한 다결정 실리콘-알루미늄 이중 전극 구

조와 알루미늄-알루미늄 이중 전극 구조를 사용했으나, 현재는 NMOS RAM의 기술 발달로 인하여 NMOS 공정 기술을 변형시킨 전하 결합 소자의 공정 기술을 개발하여 이중 n-형 다결정 실리콘 전극을 갖는 소자로 발전하였다. 본 논문을 위해 제작된 칩(chip)은 신호 전하의 이동에 방향성을 주도록 이온 주입 공정을 사용했고 NMOS공정을 따라 감지 영역과 저장영역은 이중의 다결정 실리콘 전극, 출력 레지스터는 다결정 실리콘-알루미늄의 이중 전극 구조로 되어있다. 설계 구조를 요약하면

- (1) 2 : 1 인터레이싱 형태를 갖는 프레임 이동 방식
- (2) 자동으로 배열된 이온 주입 장벽을 갖는 이상 표면 n-채널 전하결합 소자(two-phase surface n-channel CCD)
- (3) 이중 n-형 다결정 실리콘 전극 구조

위의 같은 세가지 구성방식으로 5 μ m 설계규칙 (design rule)을 고려하여 설계 하였다.

감지 영역은 실리콘에서 빛을 흡수하여 신호 전하가 발생될 수 있도록 다결정 이중 전극 구조로 우물전극은 25 μ m×50 μ m 장벽 전극은 10 μ m×50 μ m로 되어 단위 셀 (Unit Cell)의 크기는 35 μ m×50 μ m로 설계 하

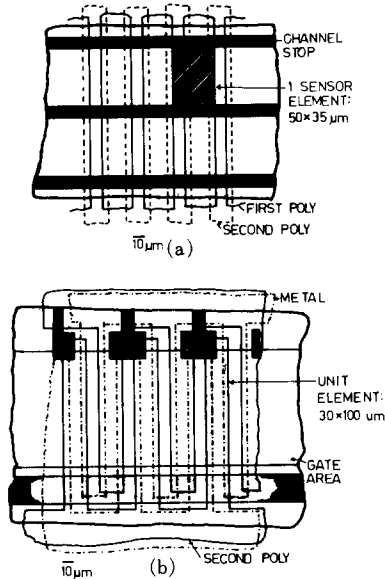


그림 4. 16×16 CCD 영상감지자의 기본구성 요소에 대한 간략화된 설계도
 (a) 수직 쉬프트 레지스터
 (b) 수평 쉬프트 레지스터
 Fig. 4. Simplified diagram of the pixel of 16×16 CCD area image sensor.
 (a) In the vertical shift register.
 (b) In the horizontal shift register.

였다. 저장영역도 감지영역과 같은 구조로 되어있고 그 사이에 장벽 게이트를 두어 감지영역의 제일 마지막 줄의 신호 전하를 보존하였다. 마지막으로 출력레지스터에의 전극구조는 다결정 실리콘과 알루미늄을 사용하는 이중 전극 구조로 설계 하였으며 각 요소의 구성방식 감지요소와 같으나 단위요소의 크기를 30 μ m×100 μ m로 하였다. 즉 감지 영역에서 감지된 신호전하의 두배에 해당하는 양을 저장하도록 설계되었다. 그림 4는 단위 cell의 구조를 보여주고 있으며, 그림 5는 전체 설계도를 나타낸다. 또한 출력레지스터는 전하 이동 손실을 측정하기 위해 그림 2와 같은 입력, 출력구조로 구성하였다. 또한 우물전극과 장벽전극의 표면 전위차를 측정하기 위한 MOSFET도 설계되어있다.

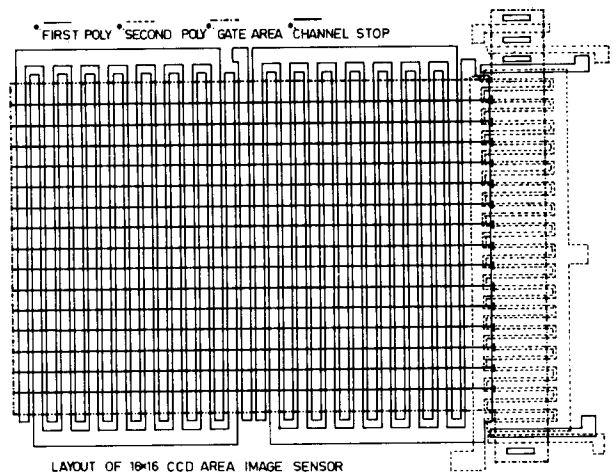


그림 5. 16×16 CCD 영상감지소자의 간략화된 설계도
 Fig. 5. Simplified layout of the 16×16 CCD area image sensor.

3. 소자의 제작 및 동작

1) 소자의 제작

소자를 제작하기 위해서는 우선 필요한 8장의 마스크(mask)를 만들고, 비저항 8ohm-cm, 방향이 (111)인 p/p+ 실리콘 에피웨이퍼를 사용하여 공정을 수행하였다. 8장의 마스크를 공정에 필요한 순서대로 번호를 붙이면 다음과 같다.

- # 1 ; 채널 스타프 확산용 마스크(Channel stop diffusion mask)
- # 2 ; 활성 영역 마스크(Active area mask)
- # 3 ; 1차 다결정 실리콘 에칭 마스크(1st polysilicon etching mask)
- # 4 ; 이온 주입용 마스크(Boron ion implantation mask)

- # 5 ; 2 차 다결정 실리콘 에칭 마스크(감지 영역과 저장 영역)
- # 6 ; 2 차 다결정 실리콘 에칭 마스크(출력 레지스터)
- # 7 ; 콘택용 마스크(Contact mask)

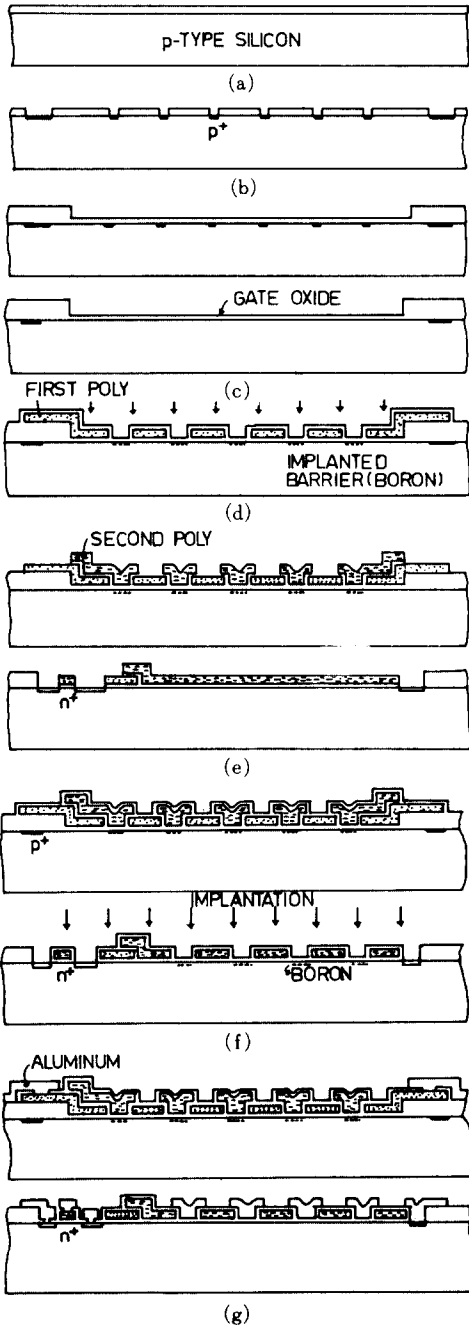


그림 6. CCD 영상감지소자의 제작공정을 나타내는 단면도
Fig. 6. Fabrication steps of the CCD area imager.

8 ;알루미늄 에칭 마스크(Aluminum etching mask)

그림 6 은 소자의 제작 과정으로 감지 영역과 저장영역 그리고 출력 레지스터에 대한 각 부분의 단면도를 보여주고 있다. (a)에서처럼 550nm 두께의 산화막을 형성하고, # 1 마스크를 사용하여 (b)처럼 채널 스탑 영역의 산화막을 에칭하였다. BN· 1100 확산 source를 사용하여 975℃에서 20분간 확산 하였는데 표면저항(sheet resistance)이 43ohm/sq.였다.

표면의 산화막을 제거하고 600nm 두께의 산화막을 형성하였다. 드라이브인 후의 표면저항이 118ohm/sq.였다. # 2 마스크로 활성영역을 정하고, 다시 TCE 산화방법에 의해 100nm 두께의 산화막을 형성하였다. 500nm 두께의 다결정 실리콘을 LPCVD 방법으로 엮고, PH-1000 확산 source를 사용하여 1000℃에서 20분간 확산하여 34 ohm/sq.와 표면저항을 얻었다. 다결정 실리콘을 에칭하기 위해 50nm 정도의 산화막을 기르고 # 3 마스크로 산화막을 에칭한후 에칭용액(HNO₃:NH₄F=100:3 부피비)으로 1 차 다결정 실리콘을 에칭하였다. 다결정 실리콘 위의 산화막과 실리콘 위의 노출된 게이트 산화막을 제거하고 (d)처럼 게이트 산화막을 100nm 두께로 형성하였다. # 4 마스크를 사용 레지스터 부분은 포토레지스트로 가리고 감지 영역과 저장영역의 장벽 전극 밑에 보론(B)을 45KeV로 6 × 10¹¹ atoms/cm²의 dose로 이온 주입하였다. 이는 우물전극과 장벽 전극의 표면 전위차를 2 volts 정도 얻기 위함이다. 500nm 두께의 2 차 다결정 실리콘을 LP-CVD방법으로 엮고 PH-1000 확산 source로 다결정 실리콘과 MOSFET의 드레인과 소오스를 동시에 인(P)으로 도우핑(oping)시켰다. 이때 단결정 실리콘의 sheet 저항은 21ohm/sq.였다. 50nm 두께의 산화막을

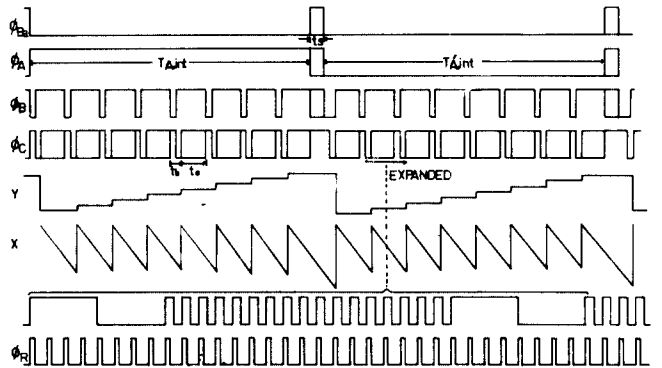


그림 7. 제작된 영상감지소자의 동작에 필요한 클럭과 형들의 타이밍 다이어그램
Fig. 7. Timing diagram of clock signals for operating the fabricated imager.

형성하여 #5 마스크로 산화막을 제거한 후 1차 다결정 실리콘의 경우와 똑같이 에칭하여 (e)처럼 되었다. 또 다른 #6 마스크로 출력 레지스터의 2차 다결정 실리콘을 에칭하고, 산화막을 제거하였다. 게이트 산화막을 100nm 두께로 형성한 후, (f)처럼 출력레지스터에도 보론을 주입하였다. #7 마스크로 콘택트 영역을 정하고, 알루미늄을 1μm 두께로 증착하여 #8 마스크로 식각하였다. 450℃에서 질소 분위기로 10분동안 열처리 하였다. 그림 8은 완성된 칩의 사진을 보여주고 있다.

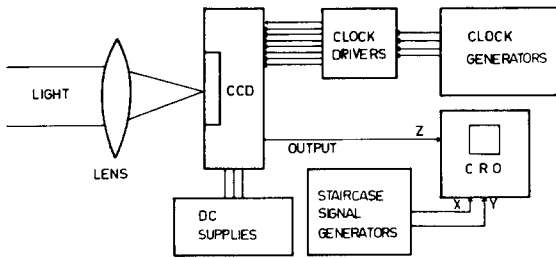


그림 8. 영상시스템에 대한 개략적인 구성도
Fig. 8. Schematic organization of the imaging system.

2) 소자의 동작을 위한 장치

본 소자를 동작시키기 위해서는 그림 7에서와 같이 복잡한 클럭 신호가 필요하므로, 2708 PROM에 미리 기억시켜서 클럭 신호를 얻을 수 있다. ϕ_A 와 $\bar{\phi}_A$ 는 감지 영역의 전극에 가해지고 ϕ_B 와 $\bar{\phi}_B$ 는 저장영역의 전극에 가해지며 ϕ_{BA} 는 감지영역과 저장영역의 사이에 있는 장벽 게이트에 가해진다. ϕ_C 와 $\bar{\phi}_C$ 는 출력레지스터의 전극에 가해져 영상 신호를 빼낼 수 있다.

그림 8은 영상 감지 장치로, 렌즈 대신에 현미경을 이용하여 알파벳의 영상을 받아들여 각 cell의 위치에 관한 정보를 오실로스코프의 X, Y 입력단자에 가하고 오실로스코프 Z 입력단자에 영상 신호를 입력시켜 영상이 오실로스코프 화면에 나타나도록 되어 있다.

IV. 실험결과 및 검토

1. 메탈 스텝 커버리지 문제 (metal step coverage problem)

본 소자의 제작 과정에서 다결정 실리콘을 에칭하는 동안 3번에 걸쳐서 100nm 두께의 게이트 산화막을 제거하기 때문에, 필드 산화막 (field oxide)도 600nm에서 점점 에칭이 되어 다결정 실리콘과 필드 산화막 사이에 언더컷 (undercut)가 발생되어서 알루미늄이 언더컷을 넘어 가기가 매우 어렵게 된다. 이에 대한 해결책으로, 인이 도핑된 산화막 (phospho-silicate glass)

을 증착하여 알루미늄이 끊어지지 않고 넘어가게 할 수 있다.

2. 클럭 레벨 결정

제작된 MOSFET에 문턱 전압 (threshold voltage)은 우물전극에서 -1.8V, 장벽전극에서 -0.5V 정도이므로 표면 전위차가 1.3V 정도였다. MOS 커패시터가 기본요소인 전하결합 소자는 문턱 전압보다 큰 전압을 전극에 가해야 deep-depletion에 있게된다. 따라서 클럭의 낮은 전압은 0V로 하고, 높은 전압은 표면 전위치의 두배보다 큰 전압이 되어야 하기 때문에 대략 8V정도로 정했다. 직류 전압이 필요한 출력 게이트의 전압은 4V로 정하고 출력 MOSFET의 드레인에는 11V 정도의 전압으로 정했다.

3. 암전류의 측정

그림 9와 같이 제작된 칩에 있는 모든 게이트를 함께 연결하여 게이트 전압을 변화 시키면서 입력 다이오드의 역방향의 전압 5V, 10V, 15V에 대해서 측정하였다. 클럭의 높은 전압을 8V로 가하였는데, 8V일 때 측정된 암전류 밀도는 100 nA/cm²였다. 일반적으로 MOS 커패시터에서 소수 반송자는 공핍층에서 발생하기 때문에 게이트 전압의 1/2승에 비례하는데, 측정된 암전류는 게이트 전압 (V_G)에 대해서 지수함수적으로 변화 한다. 제작된 소자의 경우, 채널 스텝 확산한 경계에 비교적 큰 전계가 걸리는데 이곳에서 소수 반송자가 발생하면 암전류는 게이트 전압에 대해서 측정할 결과처럼 될 것이다. 또한 실리콘과 실리콘 산화막 경계면에 있는 빠른 표면 스테이트에 의한 영향도 있을 것이다.

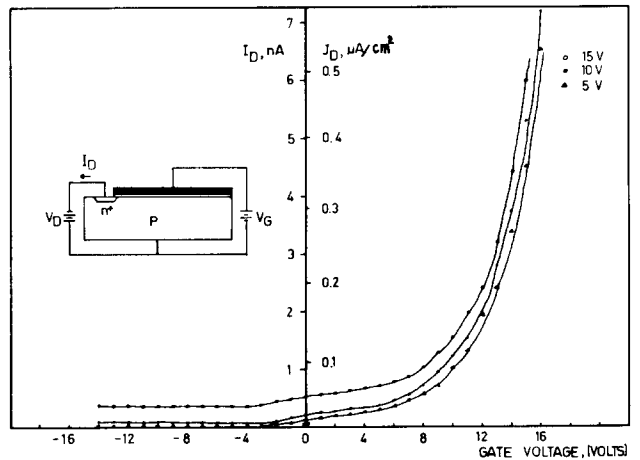


그림 9. 게이트 전압에 대한 암전류 측정
Fig. 9. Measurement of dark current vs. gate voltage.

수소 가스를 사용한 채널 스태프 확산을 하고, 수소 가스 분위기에서 열처리 하고 게터링 공정(gettering process)까지 거치고, 빠른 표면 스테이트를 줄이면, 암전류 밀도를 줄일 수 있다.

4. 전하 이동 효율, η 의 측정

전하 이동 효율은 하나의 전극에서 다른 전극으로 이동되는 전하의 분율을 나타낸다. 따라서 처음 P_0 의 양이 n 번 클럭킹에 의해서 이동되면 그 크기 P_n 은 $P_n = P_0 \cdot \eta^n$ (6)

으로 정의 된다. 제작된 소자에서 감지 영역과 저장영역은 0V를 가하고 출력 레지스터에서 그림2와 같은 동작 방법을 써서 입력 신호로 4개의 펄스와 8개의 펄스를 보내 측정하였다. 출력에서 처음의 펄스는 많은 전하손실을 가져와 작게 되고 다음 펄스들은 거의 손실이 없음을 확인했다. (3)식으로 부터 V_{out} 의 최대값을 구한결과 230 mV였는데, 측정된 값은 250mV이었다. 그림10에서 20 KHz 부터 100 KHz 까지는 99.07%로 유지되나 100 KHz를 넘어서면서 전하이동 손실률, ϵ ($\epsilon = 1 - \eta$)이 증가한다. 보통 MHz 이상에서 전하가 이동할 시간적 여유가 충분치 못하기 때문에 이동효율이 감소한다고 알려져 있으며¹²⁾, 본 논문에서는 다결정 실리콘-알루미늄 전극을 사용했고, 전극의 채널 길이가 20 μm 로 길기때문에 이와같은 현상이 나타난 것으로 볼 수 있다.

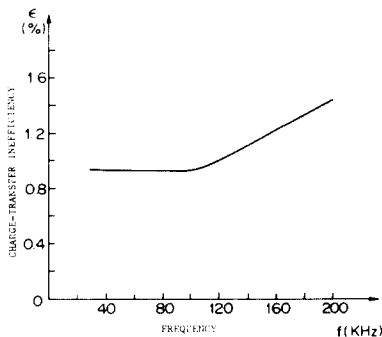
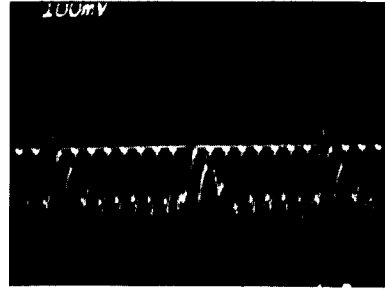


그림10. 동작 주파수에 대한 전하이동 손실률의 측정
Fig. 10. Plot of charge-transfer inefficiency vs. operating frequency.

5. 영상 감지 소자의 동작

제 4 장 2 절에서 결정된 클럭 레벨로 클럭전압을 각 단자에 가하고 출력레지스터에서 입력 다이오드로 부터 전하가 들어오는 것을 막기위해 이 다이오드에 역방향으로 전압을 가하고, 입력 게이트와 신호게이트는 접지 시킨다. 출력 MOSFET 다음단에 트랜지스터를 연

결하여 emitter follower를 만들어 출력전압을 측정해 본 결과 최대의 전압 변동이 250 mV 정도였다. 전하 결합소자의 영상 출력을 오실로 스코프에서 얻었는데, 'C', 'C', 'D'란 각 글자의 영상을 입력시켜 얻은 것을 그림11(a)에 보여 주고 있다. 그림11(b)는 'C'자에 해당하는 전기적 출력 신호이다.



(a)



(b)

그림11. 영상감지 장치를 이용하여 얻은 (a) 영문글자 'C'에 대한 영상감지소자의 출력 전하 신호와 (b) CRT에 나타난 영문 알파벳에 대한 영상.

Fig. 11. (a) A electrical output signal of a letter 'C' from the imager. (b) A displayed image of alphabets which were obtained by using the imaging system.

V. 結 論

16×16 배열의 전하 결합 영상 감지 소자를 제작하여 성공적으로 동작시켰다. 필드 산화막에서의 언더커팅트와 게이트 산화막의 질이 좋지 않기 때문에 소자의 수율(yield)은 2%였다. 측정된 전하 이동 손실률은 20 KHz - 100 KHz에서 0.93%로 유지되나 200 KHz에서는 1.4% 정도로 커졌다. 암전류 밀도는 8V 게이트 전압에서 100 nA/cm²로 측정되었다. 제작된 소자의 전하이동 손실률과 암전류 밀도는 게터링 공정, 이온주입 후 두 단계 열처리, 수소 alloy, 보론 확산시 수소 침

가 공정등을 수행하면 좋은 결과를 얻을 것으로 기대된다.

參 考 文 獻

- [1] W.S. Boyle and G.E. Smith, "Charge-coupled semiconductor devices," *BSTJ* vol. 49, pp. 587-593, Apr. 1970.
- [2] M. Morishita, T. Tanaka, Y. Hamada, H. Inoue, and A. Kouno, "A color television camera using a single interline transfer CCD image sensor with color filter array," *IEEE Trans. Consumer Electron.*, vol. CE-2, pp. 1-12, 1981.
- [3] Miyatake, T. Nagakawa, M. Okuno, O. Matsui, and K. Awane, *A CCD Imager with 580X475 Colock-Line-Isolated Photodiodes*. in ISSCC Dig. Tech. Papers, pp. 262-263, Feb. 1983.
- [4] R.C. Varshney, et al., *A Byte Organized NMOS/CCD Memory with Dynamic Refresh Logic*. IEEE J. Solid State Circuits, SC-11, pp. 18-24, 1976.
- [5] S.G. Chamberlain and Jim P.Y. Lee, "A novel wide dynamic range silicon photo-detector and linear imaging array," *IEEE Trans. Elec. Dev.*, vol. ED-31, no. 2, pp. 175-182, Feb. 1984.
- [6] C. H. Sequin, et al., *All solid-State Camera for the 525-Line Television Format*. IEEE Trans. Electron Devices, ED-23, pp. 183-189, 1976.
- [7] S.M. Sze, *Physics of Semiconductor Devices*. John Wiley & Sons, 1981.
- [8] J.C. Jeong, *Design, Fabrication, and Operation of 16X16 CCD Area Image Sensor Using Double Polysilicon Gate*. M.S. Thesis of KAIST, Department of Electrical Engineering, 1982.
- [9] C.S. Oh, *Design and Fabrication of the Area Image Sensor Using Charge-Coupled Device with Double Polycrystalline Silicon Gates*. M.S. Thesis of KAIST, Department of Electrical Engineering, 1982.
- [10] C.K. Kim, et al., *A High Performance of 190X244 CCD Area Imager*. CCD 75 Proceedings, pp. 101-108, 1975.
- [11] C.H. Sequin, et al., *A Charge-Coupled Area Image Sensor and Frame Store*. IEEE Trans. Electron Devices, ED-20, pp. 244-252, 1973.
- [12] M.J. Howes and D.V. Morgan, *Charge-Coupled Devices and Systems*. New York: Wiley, pp. 34- 44, 1979.