

쇼트키 배리어 CMOS

鄭 康 敏
(成均館大 工大 助敎授)

■ 차 례 ■

- 1. 서 론
- 2. Schottky Barrier CMOS

- 3. 결 론
- 참고문헌

1 서 론

종래의 CMOS 테크놀로지는 구동(driver) 및 부하(load) 트랜지스터의 complementary 스위칭 목적으로 N과 P-채널 트랜지스터를 사용하고 있다. 비교적 간단한 NMOS 공정에 비하여 CMOS 테크놀로지는 전하 carrier의 극성이 다른 트랜지스터를 같은 substrate 위에 형성하게 되므로 공정에 있어 과외의 복잡도(예: tub 형성, threshold 전압조정등)를 가져오게 되며 이는 기존 CMOS 테크놀로지의 주요 약점으로 볼 수 있다.

P-채널 내의 hole은 mobility 값이 적으므로 균형된 rise 또는 fall time을 갖는 스위칭을 위하여는 통상 P-트랜지스터의 채널 폭은 N-트랜지스터에 비해 넓어야 한다. P와 N-채널 폭의 비율 W_p/W_n 은 $\sqrt{\mu_n/\mu_p}$ 에 비례하며 회로설계시 2:1의 비율로 사용된다. 여기에서 μ_n, μ_p 는 電子와 hole의 mobility이다. 이는 또한 P-트랜지스터를 사용하는 CMOS 테크놀로지의 집적밀도가 NMOS 테크놀로지에 비해 적게 됨을 의미한다. 특히 디바이스 크기를 1 마이크로 이하로 축소할 경우 constant field scaling 이론은 電子의 transport 잇점 때문에 P-디바이스 보다 N-디바이스를 채택하고 있다. 電子의 mobility 잇점은 non-constant field scaling의 경우 속력 포화, 불순물 산란 및 parasitic 효과로 인해 다소 감소된다.¹⁾

본 논문에는 Schottky barrier junction을 이용하여 새로운 종류의 CMOS 디바이스를 제작하는 방

법이 소개되었다. 이 방법은 구동 및 부하 디바이스로서 N-트랜지스터만을 사용하므로 실제적으로 CMOS 테크놀지에서 P-디바이스를 제거하게 된다. 기존의 CMOS 제작 방법에 비교하여 이 방법은 다음과 같은 중요한 잇점을 보유하게 된다.

- a. 스위칭 속력의 증가
- b. 제작의 단순화
- c. 적은 디바이스로의 축소 용이
- d. 집적밀도 증가
- e. 균형된 스위칭
- f. 신뢰도 증가

종래의 Schottky barrier CMOS는 Pt-silicide 된 P-채널 source와 drain을 사용하여 latch-up 문제를 향상시키기 위해 시도되었다.²⁾ 또한 NMOS 테크놀로지로부터 3차원 집적을 이용하여 집적밀도가 증가된 CMOS 디바이스를 제작하는 시도에서는 활성화된 polysilicon 층에 중첩된 P-채널 트랜지스터를 제작하는 구조가 사용되었다.³⁾

2 Schottky Barrier CMOS

그림 1은 제안된 CMOS 테크놀로지의 diffusion과 입력 polysilicon 부분의 간단한 도형을 보여주고 있다. 예로서 구동 및 부하 디바이스로 N-트랜지스터만을 사용하는 inverter가 도시되었으며 우측의 기존 CMOS 대응 부분과 비교되었다.

이 구조에서 polysilicon의 양단은 power(V_{dd}) 및 ground(V_{ss}) bus에 contact를 사용하여 접촉하고 있으며 입력 신호는 metal을 사용하여 polysilicon의

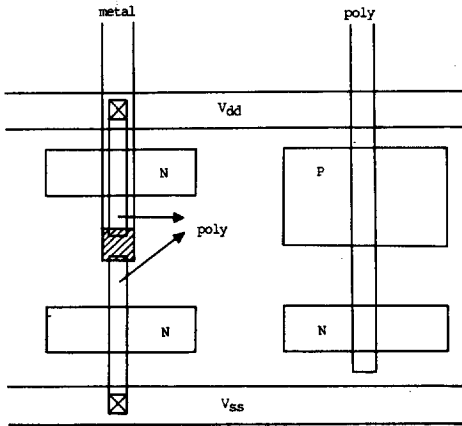


그림 1. 제한된 Schottky barrier CMOS를 이용한 inverter. Diffusion과 입력 polysilicon 부분이 도시되었으며 우측에 기존 CMOS 설계의 대응 부분과 비교되었다. X는 power 및 ground bus에 설치된 contact를 표시하며 빗금의 사각형은 poly 상의 metal contact이다.

중간 부분에 도입된다. 이로서 V_{dd} , V_{ss} 및 입력의 전압차를 이용하여 구동 및 부하 디바이스의 complementary 스위칭이 이루어지게 된다. 예를 들어 'high' 입력은 부하 디바이스를 'turn-off' 하고 구동 디바이스를 'turn-on' 하게 되며 반면 'low' 입력은 부하 디바이스를 'turn-on' 하고 구동 디바이스를 'turn-off' 하게 된다. 이는 기존 CMOS의 스위칭과 정확하게 일치한다.

이러한 종류의 시행에 있어서 문제점은 polysilicon gate를 통하여 $V_{dd} - V_{ss}$ 단락 전류가 흐르는 것이다. 이는 다음의 두 가지 방법으로 방지될 수 있다.

- a. Gate 중간 부분에 Schottky barrier junction의 설치
- b. 역방향 bias되도록 gate의 P-N junction 분할 다소 간단한 前者의 방법에 비하여 後者는 과외의 제작 공정을 요하며 junction capacitance와 charge storage time을 초래하여 회로 스위칭의 지연을 가져오게 된다.

그림 2는 gate의 중간 부분에 설치된 Schottky barrier junction을 보여주고 있다. 이는 부하 디바이스 측의 junction이 항상 역방향 bias되거나 threshold 이하의 전압 상태에 있어 $V_{dd} - V_{ss}$ 단락 전류를 차단한다는 원칙 하에 작동한다. 이 구조는 입력의 polysilicon contact로서 적은 gap을 사용하며 이 gap의 크기는 차후에 결정된다. 이 contact hole

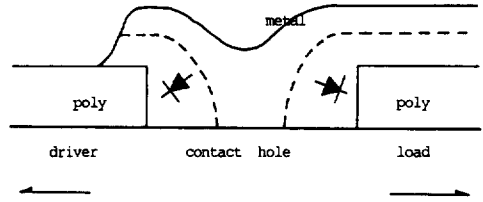


그림 2. Poly gate의 중간 부분에 형성된 Schottky barrier junction.

위에 침전된 metal은 2개의 Schottky junction을 형성하게 된다. 'high to low' 또는 'low to high'로의 입력 변화시 구동 디바이스 측의 junction은 정방향 bias되거나 threshold 이하의 전압 상태에 있게 되나 부하 측의 junction이 역방향 bias되거나 또는 threshold 이하의 전압 상태에 있게 되므로 $V_{dd} - V_{ss}$ 단락 전류는 효율적으로 차단된다.

입력 contact hole의 최소 폭을 W_{min} 으로 정의하면 이는 두 junction의 단락을 막기 위해 충분히 커야 하며 다음과 같은 junction의 transition region 길이로서 표시될 수 있다. 즉 $W_{min} = [2\epsilon(V_0 - V)(N_a + N_d) / (qN_a N_d)]^{1/2}$ 이며 여기서 V , V_0 , q , N_a , N_d 는 각각 bias 전압, 접촉 전위, 電子의 전하, polysilicon 및 metal의 donor, acceptor 농도이다. 따라서 bias 전압=4.5V, 접촉 전위=0.85V와 각각 $N_a = 10^{16}/cm^3$ 과 $N_d = 4 \times 10^{18}/cm^3$ 인 polysilicon과 metal의 경우 W_{min} 은 0.67 마이크로미터가 된다. 이 gap의 크기는 사용 전압과 polysilicon의 doping 정도에 따라 $W_{min} \propto \sqrt{|V|}$, $N_a^{-1/2}$ 로서 축소될 수 있다.

기존 CMOS 테크놀로지는 N-type starting material을 사용하여 N-트랜지스터의 P-tub를 형성하는데 본 논문에 제시된 방법은 NMOS 테크놀로지와 같이 P-type substrate를 사용하므로 P-tub를 별도로 형성할 필요가 없게 된다.

본 방법의 중요한 잇점 중의 하나는 회로 작동의 신뢰도가 향상된다는 점이다. 기존 CMOS 트랜지스터의 신뢰도상 문제점은 parasitic 4층 p-n-p-n 구조(수평 p-n-p와 수직 n-p-n)에 의한 latch-up이며 이 p-n-p-n 구조는 본 방법에 의해서 완전히 제거된다.

CMOS 디바이스의 P-트랜지스터를 N-트랜지스터로 대체함으로써 상당한 집적 밀도의 증가를 가져오게 된다. Standard cell의 회로와 같이 트랜지스터 크기가 수십 마이크로미터 정도인 비교적 적은 트랜지스터를 사용하는 회로 설계에 있어서는 1~2의 wiring track이 절약될 수 있으나 多數의 fanout

과 큰 부하 capacitance를 구동하기 위해 사용되는 대형 buffer와 같은 회로 설계에 있어서 절약되는 면적은 상당하며 1 buffer 당 수백 마이크론의 면적을 절약할 수 있다.

3] 결 론

본 논문에서는 Schottky barrier junction을 사용하는 새로운 유형의 CMOS 디바이스를 제작하기 위한 방법이 기술되었다. 이로서 종래의 CMOS 테크놀로지에 사용되어온 P-트랜지스터를 N-트랜지스터로 대체하게 된다. Complementary 스위칭을 위하여 P와 N-트랜지스터를 사용하는 기존 CMOS 테크놀로지에 비하여 이 방법은 다음과 같은 잇점을 보유한다. a) 스위칭 속력의 증가 b) 제작의 단순화 c) 축소의 용이 d) 집적 밀도의 증가 e) 균형된 스위칭 f) 신뢰도 증가

참고문헌

- 1) R. H. Dennard, F. H. Gaensslen, H. N. Yu, V. L. Rideout, E. Bassus, and A. R. LeBlanc, IEEE J. Solid st. Cir., SC-9, p.256, 1974
- 2) P. K. Chatterjee, W. R. Hunter, T. C. Holloway and Y. T. Lin, IEEE Elec. Dev. Lett., vol. EDL-1, No.10 p.220, 1980
- 3) M. Sugino, L. A. Akers, and M. E. Rebeschini, IEEE Trans. Elec. Dev., vol. ED-30, No.2, p.110, 1983
- 4) T. I. Kamins, K. Lee, J. F. Gibbons, and K. Saraswat, IEEE Trans. Elec. Dev., vol. ED-27, No.1, p.290, 1980
또한 J. P. Coligne and E. D. Demoulin, IEEE Elec. Dev. Lett., vol. EDL-2, No.10, p.250, 1981