

電子部品の故障現像과 信賴性 試驗

半導體 디바이스의 靜電破壞 現象

정전기에 의한 시스템의 오동작과 디바이스의 파괴는 오늘날 중요문제가 되었으며 반도체 디바이스로서도 電解腐食과 함께 신뢰성 평가로서 확인을 게을리 하지 않으면 안될 문제이다. 그 이유는

(1) 정전기에 의한 파괴는 디바이스의 구조(종류)와 기하학적 규격에 의존해 그 耐力이 제품에 따라 다르며 高密度化는 靜電現象에는不利하게 되어 있다.

(2) 정전기에 의한 트러블은 그 원인이 디바이스, 회로설계, 기기의 조립공정, 사용의 어디에서는 발생하는 경우가 많으며 그것도 디바이스의 靜電破壞 耐量을 알고 規準을 정하고 적절한 관리를 행할 필요가 있다.

(3) 정전기에 의한 트러블의 복잡함은 제조공정에서 반감되고 있으며 시간이 경과함에 따라 故障 (Time Dependent Failure) 이 있으나 디지털 기기에는 오동작에 의한 고장도 적지 않는 등 다각적인 평가가 필요하다.

(4) 환경, 기기, 디바이스에 따라 發生頻度가 다르다. 예를 들면 北美 등의 低溫地域과 日本에서는 冬期の 低溫期에 기기에서는 회전부를 가진 곳에(비디오, 테이프 레코더 등) 디바이스에는 高入力 임피던스의 MOS型 등에 발생하기 쉽다.

1. 半導體 디바이스의 靜電破壞機構

정전기에 의한 디바이스의 파괴는 접합, 배선막, 산화막의 것이 파괴되는데 기구에 따라 약간 다르다. 정전기 펄스에 의한 접합파괴의 모델은 다음 기회에 기술하기로 하고 Wunsh & Bell熱에 의한 파괴모델도 함께 연구되어야 한다.

산화막의 파괴는 그것이 열적파괴와 전자적 파괴라는 것과 산화막의 이온과 트라프가 존재하기 위하여는 어떤 형태의 전기전도가 행해져 그것이 파괴의 트리거가 될 것이라는 點에서 유전체 파괴연구의 좋은 모델이 되고 있다.

1) 接合의 破壞

室溫의 가까운 데에서 Si 디바이스에 通電하고 디바이스의 온도는 상승하면 Si의 저항치는 圖1에 보는 바와 같이 증가하기 때문에 入力電流를 제한할 형태가 되며 熱적으로 安定化된다. 어떠한 同圖의 저항치 곡선의 피크值를 넘는 온도(진성온도)까지 통전전류에 따라 熱을 가하면 저항치가 마이너스로 바뀌며 入力電流가 증가되어 온도가 올라가며 저항치가 내려가는 熱暴走 (Thermal Runaway)가 일어난다.

이 현상은 디바이스의 熱的 파괴현상의 것과 함께 기본적인 것이기 때문에 接合의 존재에는 관계없으며 靜電氣에 의한 順方向의 파괴는 이러한 기구로서 되어 있다고 생각한다. 접합을

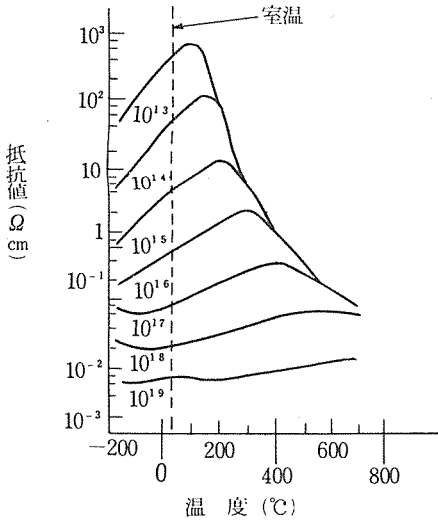


圖 1 여러 종류의 純物濃도에 대한 Si 抵抗値의 溫度依存性

高電壓으로 逆다이오스한 경우는 얇은 접합면에서 그 전부의 전압이 걸리기 위하여는 접합으로서 열손실도 커지며 不均質한 접합의 일부(전계의 국부집중을 包含)의 온도가 열폭주에 따라 급上昇(Hot Spot라 함)하여 파괴되고 있는 것은 SB (Secondary Break Down) 현상으로서 잘 알려져 있다. 정전파괴의 경우도 PN접합이 부분적으로 용해되므로서 破壞耐量이 트랜지스터의 2次降伏과 同様の 경향을 갖게 되는 유사점도 많으며 원리적으로 전류를 제한할 저항이 없는 한 열폭주는 일어나게 되며 이것이 접합파괴의 一因으로 되어 있다.

접합파괴 전력의 펄스幅 의존성의 커브는 圖 2와 같이 a, b, c 세가지의 折線으로 가깝게 된다. 이 경우 圖의 a부분은 펄스幅이 대단히 짧으며 전류 크기의 펄스에 의하기 때문에 단열적으로 가열되어 일정의 에너지에 달하게 됨과 파괴되는 것을 생각할 수 있다. 덧붙여 에너지는 펄스幅을 t로 하여 i^2Rt 로 되어 있기 때문에 위의 가정으로부터 단위 면적당의 파괴전력을 P/A로 하여

$$\frac{P}{A} = K_1 t^{-1} \quad (K_1 \text{은 常數}) \dots\dots\dots(1)$$

가 성립한다. 또한 C의 부분은 열적평형에 가까운 상태에서 一定의 파괴전력이 된다면 파괴

하는 것도 생각되어 다음의 式이 성립한다.

$$\frac{P}{A} = \text{Const} \dots\dots\dots(2)$$

이것을 中間의 部分은 Wunsch & Bell의 모델이 실험결과와 비교적 잘 정리되어 있는 각종의 論文에 引用되고 있기 때문에 이것을 간단히 소개한다.

지금 다이오드에 逆方向에 전압을 인가시켜 이 전압을 점차 증가시켜 언밸런스 파괴가 일어나는 상태를 생각하면 모든 전압이 접합부에 걸리므로 밸크 Si으로 電壓降下는 數%의 오더로 되어 있는 것을 생각할 수 있다. 거기에 접합 중심부에 不均一한 것이 되어 있어 熱 펄스가 發生한 것으로 一次元의 열전도 방정식을 풀 수 있다. 이 경우 열전도도의 온도 의존성을 평균치로서 대표되는 접합의 폭을 충분히 좁게 생각할 수 있음에 따라

$$\frac{P}{A} = \sqrt{\pi K_p C_p} (T_m - T_i) t^{-1/2} \dots\dots\dots(3)$$

여기서 P/A : 단위면적당의 印加電力(W/cm²)

P : 밀도(g/cm³) [Si의 경우 2.33 g/cm³]

CP : 比熱(J/g·K) [Si의 경우 0.7566J/g·K]

K : 熱傳導率(W/cm·K) [Si 1688K, 0.306W/cm·K]

T_m : 파괴온도(K) [Si의 융점 1688K]

T_i : 초기온도(K) [室温 25+273K]

t : 펄스幅(계속시간)

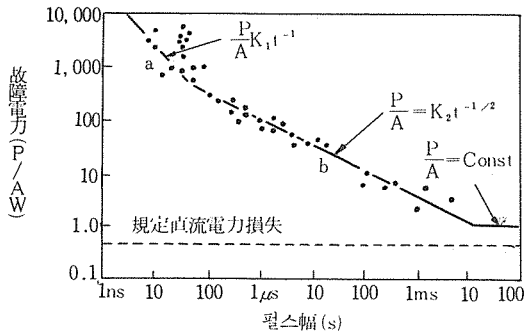


圖 2 2N2222 트랜지스터의 B·E接合의 逆方向破壞電力對 펄스幅

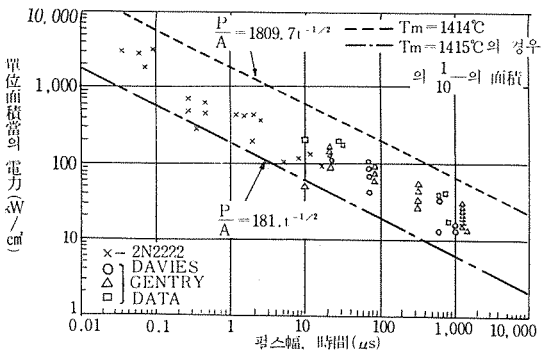


圖3 Wunsch & Bell 브루트

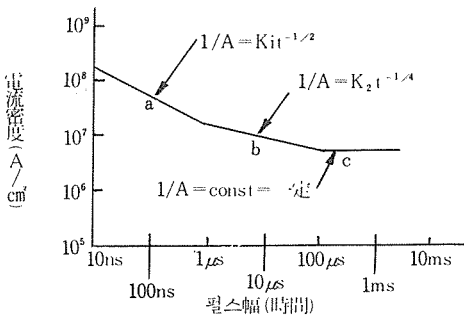


圖4 알루미늄 배선故障의 電流密度와 펄스幅의 關係

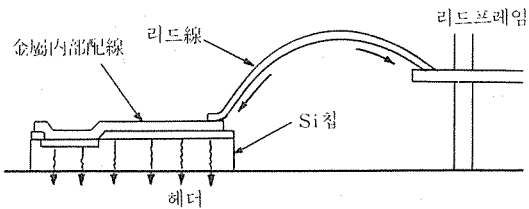


圖5 하메 쇼크 패키지 IC에 있어서 긴 펄스幅의 펄스에 對한 熱損失

결국 式(3)은 단위 면적당의 전력과 스트레스 幅을 兩對數 눈금의 그래프 용지에 기입하면 - 1/2勾配의 직선이 되는 것을 보여준다.

또한 어떤 사람은 자신의 실험과 과거의 타인의 데이터를 상기 프롯트로서 집합면적 전부의 경우와 그 1/10의 경우 式(3) 사이에 전부의 값이 들어가는 것을 보여준다. (圖3 參照)

2) 配線膜의 파괴

알루미늄 配線膜의 靜電破壞는 방전에 의하던가 通電電流에 의하던가 접합의 온도영향을 받게 되는 차는 있어도 어떠한 것도 열적인 원인으로 알루미늄線이 녹아서 오픈되거나 용해된 알루미늄

서 브릿지되기도 한다. 通電電流에 의한 溶斷에 관하여도 電力에 의하여 印加펄스의 幅을 바꾸어 브루트하는 것이 편리하며 圖4에 보는 바와 같이 接合破壞와 유사의 關係를 얻을 수 있다.

여기서 a, b, c의 영역은 각각 斷熱的 破壞(에너지 一定), 中間領域, 전력과파괴(파괴 전력 一定)에 대응한다. K₁에 관하여는 Tasca 및 Egelkrou에 의하여 1.95×10⁴ 및 1.8×10⁴의 값이 얻어진다. 또한 圖4의 b영역과 유사의 圖는 W. F. Keenen에 의하여 유리 기판상에 증착된 Si/Cr 저항체의 파괴전압에 관하여도 얻어질 수 있다.

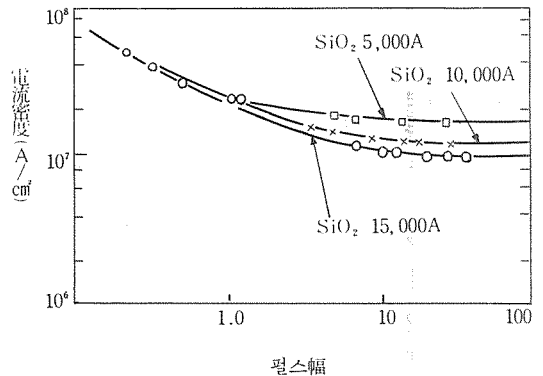


圖6 酸化膜厚를 變하게 할 때의 알루미늄 膜破壞電流密度의 펄스幅 依存性

정전과파괴에 있어서 펄스 幅은 전술과 같이 열의 전도형태와 밀접하게 관계하기 때문에 펄스 幅에 따라 配線膜 部分으로 파괴 위치가 다른 것이 있다. 故障解析時의 힌트가 되는 것도 있다고 생각되기 때문에 접촉되어진다. 펄스 幅 200 ns 이하의 짧은 펄스를 보면 코너에 있는 配線 흐름과 코너 효과가 생기기 때문에 다음의 세가지 이유로 부터 코너部가 파괴된다.

- (1) 코너部로서 실효면적이 증대되어 냉각된다.
- (2) 코너部 內側에 전류가 집중되어 Hot Spot 가 될 수 있다.
- (3) 外側코너는 보다 크나큰 면적의 산화막에 접촉될 수 있기 때문에 熱의 라디에터가 된다. 파트部의 온도를 溶斷部 끝의 온도에 1/2로 가정하면 펄스 幅은 다음의 式으로 계산할 수 있게 된다.

$$L = 0.954 (K_1)^{1/2} \dots\dots\dots (4)$$

여기에서 $K = \text{金屬의 熱傳導度} (\text{cm}^2/\text{S})$ [$\text{Al} = 0.82, \text{Cu} = 1.14, \text{Au} = 1.18, \text{Si} = 1.71$]

$t = \text{펄스 幅}$

$L = \text{溶融部로부터 본딩 파트까지의 거리}$ 펄스 幅이 $100\mu\text{s}$ 이상의 긴 펄스로서 低電力의 경우는 내부배선과 外部引出로 리드의 熱레스가 일어난다.

圖5는 하메틱 패키지의 IC로서 前者가 끊어지지 않아도 後者が 끊어지는 例이다. 이 경우는 시간적으로 길고 内部配線의 열은 대부분이 산화막을 통하여 Si의 것을 피하기 위하여 온도가 올라가며 他方 리드선은 空氣(좋은 단열재) 중에 있는 線의 것이 斷線된다. 이 경우의 펄스 幅의 계산에도 式(4)는 쓰여진다.

또한 긴 펄스에 의한 파괴는 내부배선의 열적 평형상태에 가까워지기 때문에 히트싱으로 되어 있는 Si와의 사이에 산화막의 두께가 열전도에 영향받아 파괴레벨을 바꿔게 되는 것을 생각할 수 있다. 이것을 圖6에 나타낸 것이다. 산화막의 얇은 것과 Si 칩에의 熱이 없어지는 것이 커지게 하기 위하여 파괴전류 밀도가 늘어나지는 않는다.

3) 酸化膜의 破壞

Si의 表面酸化膜의 耐壓은 대강 10^7V/cm 이 하라고 할 수 있다. 통상의 보호막(Field Oxide)은 $10^4 \text{A} (1\mu\text{m})$ 정도는 되고 있으나 MOSIC의 게이트 酸化膜과 같이 얇은 것의 [$1,000 (0.1) \sim 1,200 \text{Å} (0.12\mu\text{m})$]에는 100V 이하에서 절연파괴를 일으키는 것으로 감정된다. 게이트 산화막 이외에도 MOS 캐패시터에는 산화막의 파괴되는 例가 보인다. 이하 SiO_2 막의 파괴현상에 관하여 설명하겠으며 이것은 다음 세가지 형태가 있다고 말할 수 있다.

(1) 單一홀型 破壞(Single Hole Breakdown)

數 $\mu\text{m} \sim 100\mu\text{m}$ 의 구멍이 있고 이 靜電에너지는 대개 콘덴서중에 축적되는 것으로 電界는 0.5MV/cm 이상으로 발생한다.

(2) 傳播型 破壞(Propagation Breakdown)

高電壓으로 직렬저항이 $10\text{K}\Omega$ 이하의 때에 일어나며 虫食된 패턴이 된다. 이것은 單一 홀型 파괴가 트리거가 되면 유전체를 통하여 구멍 가운데 공기가 파괴되는 것이므로 많은 파괴모드가 있다. 상부전극과의 아크 파괴와 전원층의

공급이 이어지면 아크연소와 인접위치에의 단일 홀型的 파괴가 있다. 전파형 파괴와 같이 직렬저항이 낮으며 주위의 온도가 높을 때는 圖7에 보는 바와 같이 파괴 시험중의 印加電壓과 초기용량에 대한 용량 그래프가 유연하게 된다.

(3) 自己回復型 破壞(Self-healing Breakdown)

산화막이 대단히 얇은 경우(數 $1,000 (0.1) \sim 10,000 \text{Å} (1\mu\text{m})$) 파괴가 일어나며 그 부분이 증발소실되면 자기 회복성이 있기 때문에 벨그의 성질만으로 誘電體強度가 측정된다. 이 경우에 圖7의 $C/CO \sim r$ 곡선은 하드로 되어 있다. N. Klein 등은 이 상태에서 SiO_2 막의 최대유전체 강도를 실험에 따라 검토해 $-145^\circ\text{C} \sim +65^\circ\text{C}$ 의 범위내 膜두께 $3,000 \sim 50,000 \text{Å}$ 로서 9.5MV/cm 를 얻는다.

다음으로 산화막 파괴의 원인으로서는 고려되어야 할 산화막 결함의 문제가 있다. 결함의 膜厚依存性에 관하여 膜厚의 증가에 따라 결함밀도도 증가한다(圖7 參照)는 것이 자연히 생각할 수 있으나 圖9와 같이 거꾸로 膜厚의 얇은 것이 결함이 증가할 경우도 있다. 後者は Al전극을 플러스에 Si를 마이너스에 바이어스한 경우에 한하여 SiO_2 와 Si界面에 이동시켜 플러스의 불순물 이온(Na^+ 등의 알카리이온)에 의한 전계집중과 터널効果의 강조에 따라 생각할 수 있다. (2의 사례참조) 또한 최근 Yamabe라는

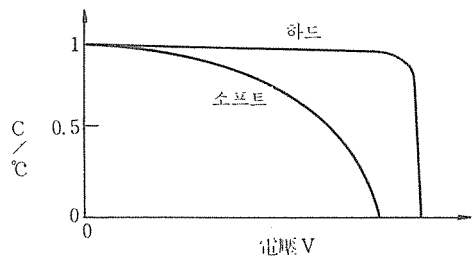


圖7 薄膜캐패시터의 용량/電壓特性

熱酸化 SiO_2 膜의 誘電體破壞의 膜壓依存性이 圖10과 같이 100Å 부근에 만곡을 400Å 부근에 山을 가진 형태가 되며 이것이 A·B2의 고장 모드에 기인하여 A는 Si의 표면오염으로 되어 있으며 B는 Si中の 결함에 의한 열파괴로 되어 있다는 보고도 있다. 꼭 酸化膜의 파괴위치

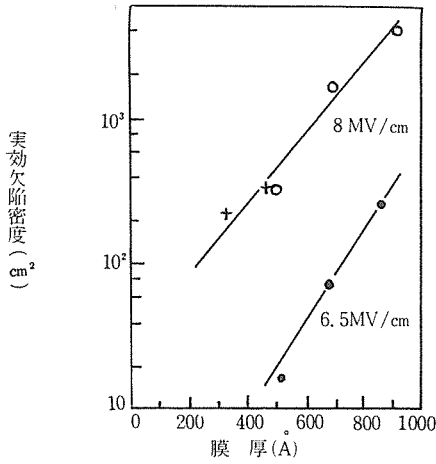


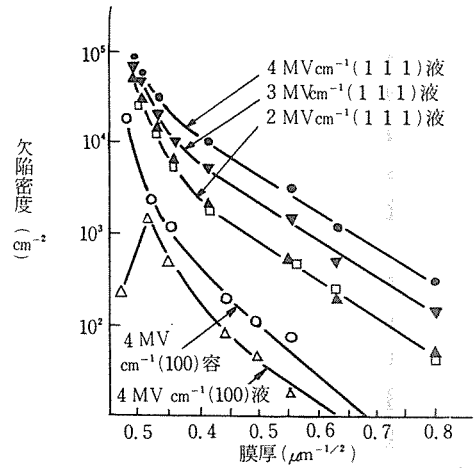
圖8 実効缺陷密度的膜依存性

는 圖11 및 表1에 보는 바와 같이 電界의 集中 할 옛지部, 특히 扩散옛지(코나部가 최대) 가 태반을 點하는 것으로 밝혀졌다.

2. 故障事例(酸化膜의 電壓 印加時間의 존성 파괴)

MOS 디바이스의 시간의존성 파괴 가운데 차츰 나타나고 있는 것은 圖12에 보는 바와 같이 게이트에 印加된 電界에 따라 Si酸化膜중에 Al SiO₂ 인터페이스에 트라블된 Na⁺ 이온이 시간과 함께 트라플트되어 SiO₂/Si 인터페이스 결합 중심에 群集되어 국부파괴를 일으키던가 Distefano라 됨을 확인할 수 있다. 어떤 사람은 Si側 인터페이스에 머문 Na⁺이온에 따라 에너지 방벽이 낮게 되며 파괴가 일어나기 쉽게 되는 것을 光을 받아 발생할 光電流의 測定(scanning internal photoemission → SIP라 略함)으로부터 圖13에 보는 바와 같은 것을 실험적으로 밝혔다. 또한 Maserjian 등을 모델과 실험에 따라 電壓을 印加시킨 것과 그 發生의 확률이 있는 천이시간을 넘는 것이 급격히 증가하고 있음을 보여준다.

또한 이온打込 등도 이용하여 이 故障과 潛在 缺陷密度와 디바이스면적의 관련도 구하여진다. 다시 이런 고장의 시간분포와 스크리닝법이 검토되고 있으므로 최근에는 200Å 이하의 게이트酸化膜에는 리크電流에 따라 電荷의 트라핑으로 膜의 劣化破壞가 일어나게 된다.



備考 1. (111)(100)은 基板n形Si結晶軸을 보임
2. 液은 液晶法 容은 容量法에 의하여 測定

圖9 缺陷密度的膜依存性

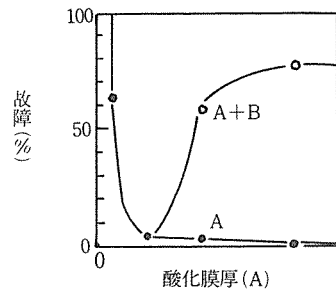


圖10 誘電體 破壞故障의 膜厚 500 依存性

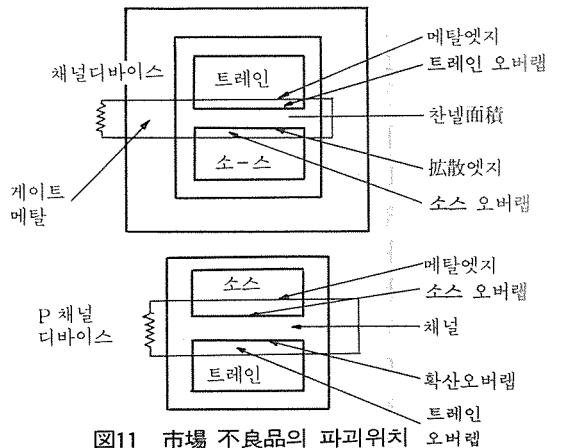


圖11 市場 不良品の 파괴위치

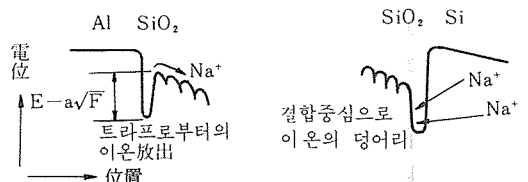


圖12 이온의 放出과 머무름 모델

表1 酸化膜破壞位置統計表

位置	메탈 확산 엣저	擴散 엣저	채 널	오-버랩 트 레 인 또는소스	아크
디바이스					
P 채 디바이스	20%	40%	0	26%	14%
N 채 디바이스	10%	50%	0	0	40%

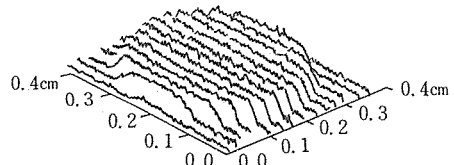
3. 試驗 方法

정전기에 대한 耐力을 보는 시험방법은 통상 ① 단시간 펄스에 의한 방법 ② C. V차지法 ③ 기타 방법의 3종류로 대별할 수 있으나 ③의 방법은 IBM社의 羽方式로 대표되며 기기와 오동작을 포함하여 평가함으로써 직접시험에 접촉하지 않는 정전기에 의한 電·磁界의 영향도 동시에 볼 수 있기 때문에 본질적으로는 플러스로되나 측정조건을 일정하게 하는 것이 어렵고 리바이스 평가에는 쓰여지기 때문에 여기에서는 생략된다.

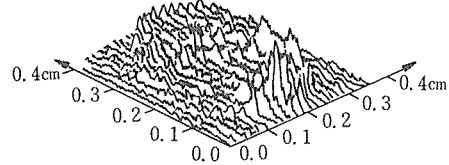
①의 단시간 펄스에 의한 방법은 波形이 확실하므로 펄스 幅을 바꾸게 되므로 파괴모드와 고장의 메카니즘을 찾는 것이 유리하게 된다. 그러나 연구적 목적에 쓰여지기 때문에 기본적으로는 ②와 大差없다고 생각하는 것이다. 그런데 ②의 C. V차지法의 시험회로는 圖14에 보는 바와 같이 직류전원으로 콘덴서C에 차지된 電荷를 抵抗 R을 통하여 供試試料에 덧붙여 試料의 耐力을 평가하는 방법이다.

이 방법은 최초 영국에서 규격화된 (C=100PF R₂=10KΩ, V=500V) 미국에서도 반도체를 靜電파괴시킨 최대의 원인은 사람의 손이 접촉될 것이라는 이유로서 C 및 R₂를 인체용량, 피부저항으로 근사값으로 C=100PF±5%, R₂=1.5KΩ±5%, V=0~5000V를 결정하고 있다. IEC 案도 미국안과 差가 없으나 가까운 장래에 이 방식으로 통일규격이 결정되고 있다고 생각된다. 그렇더라도 상기의 방식은 정하여도 電壓을 印加해 어떠한 특성을 평가하느냐로 의논이 나뉘어진다. 圖15에 보는 바와 같이 電壓 印加法이 (放電없는 것을 생각) 실험되며 특히 (d)의 방법이 시장불량과 잘 나타나있다. 이러

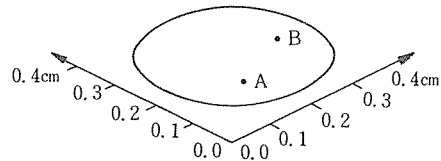
한 點은 공정에서 半殺되어 디바이스를 어떻게 평가하느냐의 문제가 금후에 해결하여야할 문제로 남는다.



(a) Na⁺에서 汚染된 MOS콘덴서로서 Na⁺이 Si側 인터페이스에 트리프트하기 前의 光電流에 의한SIP圖

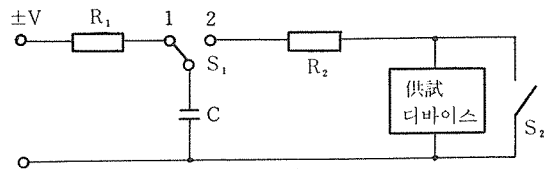


(b) 20時間경과로서 Na⁺이 Si側 인터페이스에 트리프트된 後의SIP圖. 다만, 電流스케일은 1/10에 減小



(c) 試料의 閏극電極에 보인 2가지 點A, B,는 (b)로부터 얻어진 誘電體의 破壞位置로 됨

圖13 SIP圖에 의한 破壞의 證明



R₁=1MΩ, C=220PF±5%, R₂=1.5kΩ±5%
V=100, 200, 500V

圖14 IEC에 制限되고 있는 C·V차지法

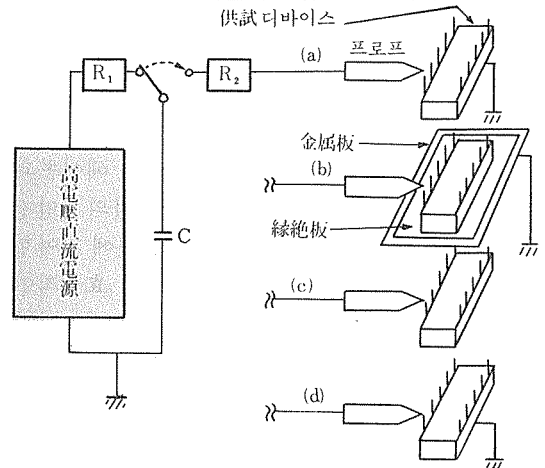


圖15 各種의 電壓 印加法