

VLSI CAD Technology의 現狀과 動向

- CAD System 운용 사례 -

申 龍 均
金星半導體(株) 常務

I. 序 論

1947년 최초의 트랜지스터가 미국에서 발견된 이래 전자공업의 발전은 사상 유례를 찾기 어려운 정도의 급진장을 보이고 있으며, 이에 따라 반도체와 컴퓨터 산업은 상호 발전에 대한 상승효과를 불러 일으켜, 새로운 통신 수단들인 뉴미디어와 함께 결합되어 급기야는 현대를 공업사회에서 정보사회로 탈바꿈시키고 있다.

이러한 사회의 변혁을 주도하는 선진국들은 과거의 공업입국 정책에서 더 나아가서 정보입국을 지향해 사회를 조직화하고 있으며 또한 정보의 자원화, 무기화 시대의 개막을 서두르고 있다.

이와같은 현대사회의 엄청난 변혁을 가능케 하는 것은 다량의 정보량을 신속, 정확하게 처리하는 기술이며 그 근간이 되는 기본 시스템은 컴퓨터이며 컴퓨터의 핵심적 기능을 수행하는 기본 소자가 반도체이다.

트랜지스터의 제작과 더불어 본격화된 반도체산업은 그 기술력을 흔히 집적도라는 척도로서 평가하고 있다. 집적도란 한 개의 반도체 소자내에 트랜지스터 혹은 이와 유사한 기본구성 소자가 몇 개나 들어 있는냐를 가리키며 아울러 한개의 반도체 소자가 얼마나 다양한 기능을 수행하며 얼마만한 양의 정보를 처리할 수 있는가를 대변하는 것이기도 하다.

반도체의 집적도의 향상 추세는 흔히 무어의 법칙(Moore's law)으로 불리어지는데, 개략적으로 1년에 집적도가 감절로 증가하는 추세를 나타내는 말이다.

1960년대 들어서 집적회로의 상업화가 본격화된 이후 현재까지 약 2의 20승, 즉 100만개 가량의 집적도를 갖는 반도체가 나오고 있음에 비추어 이 법칙은 매우 타당하다고 할 수 있겠다.

집적도를 향상시켜 반도체의 기능을 다양화시키면서 부가 가치를 제고하는 일은 물리학, 화학, 공학 등 다방면의 기술의 총화로서 가능하게 되는데 그 중에서도

반도체 개발의 설계기술은 가장 어려운 작업이라 하겠다.

예를 들어 100만 가구가 사는 도시를 설계한다고 할 때, 이는 단순히 100가구가 사는 작은 마을을 1만개 늘어 놓는 것과는 다르다. 100만 가구가 사는 도시는 상호 유기적 상관관계 예컨대 도로망, 상하수도, 송배 전시설, 상점, 학교, 병원 등등을 조직적으로 고려해야 하므로 그 설계해야 할 분야가 기하급수적으로 늘어나야 한다.

같은 원리로 수십만 혹은 그 이상의 집적도를 갖는 반도체 소자를 설계하는 일을 몇 사람의 두뇌의 기억과 판단만으로 수행하는 일은 거의 불가능하다. 대규모 집적회로를 설계하는 데 실제로 한 사람이 천 년이상을 매달려야 한다고 한다.

대규모 집적회로에 필요한 방대한 양의 정보를 처리하고 조직화하기 위해서는 컴퓨터의 이용이 절대적으로 필요한데, 이와 관련된 제반기술을 CAD(computer aided design)라 부른다.

II. CAD의 종류 및 분야

VLSI의 개발은 단계적으로(hierarchical design) 이루어지는데 먼저 어떠한 system을 구성할 것인가 하는 system 설계부터 시작한다. 설계된 system은 몇 개의 기능적 부분(functional block)으로 나누어서 system에서 요구하는 기능을 수행할 수 있는지 여부를 모의실험(simulation)한다. 모의실험을 통하여 확정된 기능부분(functional block)들은 논리회로(logic circuit)로 바뀌어지며 바뀌어진 논리회로는 그 기능이 모의실험을 통하여 설계자가 원하는 논리회로가 정확하게 구성되었는지 확인 결정되며 결정된 논리회로는 다음 단계의 트랜지스터를 사용하는 전자회로로 바뀌어지고 이때에도 역시 모의실험(simulation)을 통하여 설계자

가 개발하고자 하는 system의 기능이 정확하게 전자 회로 (electronic circuit)로 구성되었는지를 검사하며 필요한 전기적 특성을 얻기 위하여 전자회로를 수정 보완하여 최종적인 system 기능에 맞는 전자회로 설 계를 확정하게 된다.

최종 설계된 전자회로는 wafer 가공(wafer fabrication)을 위하여 마스크를 만들기 위한 도면설계 (layout design)를 하게 되며 설계된 도면은 최종적으로 앞서 설계한 전자회로와 정확하게 대응되도록 도면설 계되었는지 검증(layout verification) 거쳐 마스크 제작을 하게 되고 제작된 마스크를 사용 wafer 가공 을 하면 설계자가 원했던 system function에 맞는 VLSI 제품을 얻게 되는 것이다.

이와같은 VLSI를 개발하는 전체적인 흐름 (design overflow)은 그림 1 과 같다.

VLSI를 개발하는데 사용되는 CAD 장비는 크게 도 면설계 (layout design)를 하기 위한 graphic design system과 논리회로, 전자회로를 설계하는 simulation software로 구분할 수 있는데 일반적으로 사용되는 종 류는 그림 2 와 그림 3 에 도시한 바와 같다.

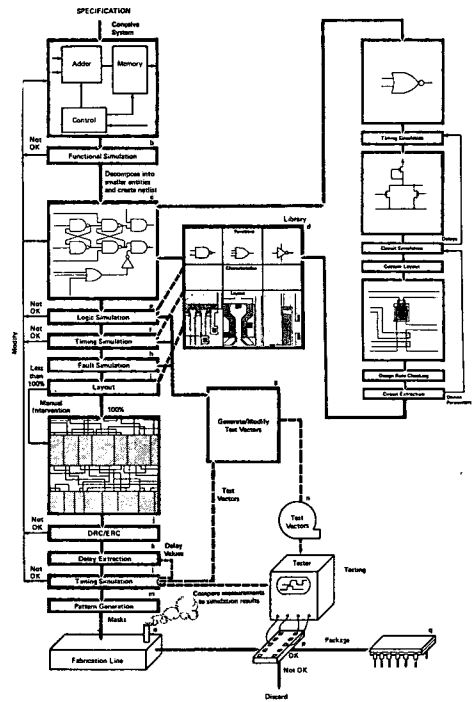


그림 1. VLSI design overflow

Program	Company	Available Commercially or in Public Domain?	Classification :						
			Hand-Crafted	Auto Layout	Symb. Layout	Dimen. Check	Elec. Check	Network Comp.	Post Proc.
APPLICON	Applicon Burlington, Massachusetts	Yes	×		×	×			×
AVERA	Avera Corporation Scotts Valley, California	Yes	×						
CADDS	Computervision Bedford, Massachusetts	Yes	×			×			×
CALMA	Calma Santa Clara, California	Yes	×		×	×			×
CALMOS	Silvar-Lisco Palo Alto, California	Yes		×					
CAL-MP	Silvar-Lisco Palo Alto, California	Yes		×					
CAESAR	Univ. of California, Berkeley Berkeley, California	Yes	×						
DRC	NCA Corporation Sunnyvale, California	Yes				×			
ERC	NCA Corporation Sunnyvale, California	Yes					×		
KIC	Univ. of Calif., Berkeley Berkeley, California	No	×						
MASKAP	Phoenix Data Systems Albany, New York	Yes				×	×		
MDP	NCA Corporation Sunnyvale, California	Yes							×
NCC	NCA Corporation Sunnyvale, California	Yes						×	
VIA	VIA Systems Nashua, New Hampshire	Yes	×						×

그림 2. Layout design systems

Program	Company	Available Commercially or in Public Domain?	Classification :								
			Behav- ioral	Reg- Xter	Func- tional	Gate	Timing	Circuit	Circuit	Pro- cess	
ASPEC	Information Systems Design (ISD) Santa Clara, California	Yes							×		
ASTAP	IBM, Data Processing Division White Plains, New York	Yes							×		
DIANA	Silvar-Lisco Palo Alto, California	Yes				×	×	×			
GEMINI	Technology Modeling Associates Menlo Park, California	Yes								×	
ILOGS	Circuit Simulation Sciences San Jose, California	Yes			×	×					
LAMP	Bell Telephone Laboratories New Jersey	No			×	×					
LOGCAP	Phoenix Data Systems Albany, New York	Yes			×	×					
LOGIS	Information Systems Design (ISD) Santa Clara, California	Yes			×	×					
MOSFET	Information Systems Design (ISD) Santa Clara, California	Yes									×
MOTIS	Bell Telephone Laboratories New Jersey	No			×	×	×				
MSINC	Stanford University Stanford, California	No						×			
SAMPLE	Univ. of Calif, Berkeley Berkeley, California	Yes								×	
SEDAN	Stanford University Stanford, California	Yes								×	
SIMPIL	Tektronix Beaverton, Oregon	No					×				
SPICE 2	Univ. of California, Berkeley Berkeley, California	Yes						×			
SPLICE	Univ. of California, Berkeley Berkeley, California	No				×	×	×			
SUPRA	Technology Modeling Associates Menlo Park, California	Yes									×
SUPREM	Stanford University Stanford California	Yes									×
TEGAS	Comsat General Integrated Systems, Austin, Texas	Yes			×	×					

그림 3. Simulation softwares

Ⅲ. Lay Out 설계 운용사례 및 효과

레이아웃(lay out) 설계에서는 결정된 전자회로를 가지고 반도체 소자를 제조하기 위하여 필요한 마스크를 각 layer 별로 설계한다. 이러한 layout 설계에는 많은 인원과 시간이 소요되는데 금성반도체에서는 이러한 노력을 줄이고 빠른 시간내에 layout 설계를 하기 위하여 아래와 같은 방법을 사용하고 있다.

1. 대화식 설계법(Interactive Design Method)

그림 4는 금성반도체에 설치된 세계 선진 반도체 회사들이 많이 사용하고 있는 CAD system인 CALMA GDS II이다.

IC 레이아웃 설계를 컴퓨터와 설계자가 상호 대화식으로(interactive) data 상태를 주고 받으면서 CAD system의 CRT terminal에서 직접 수행한다.

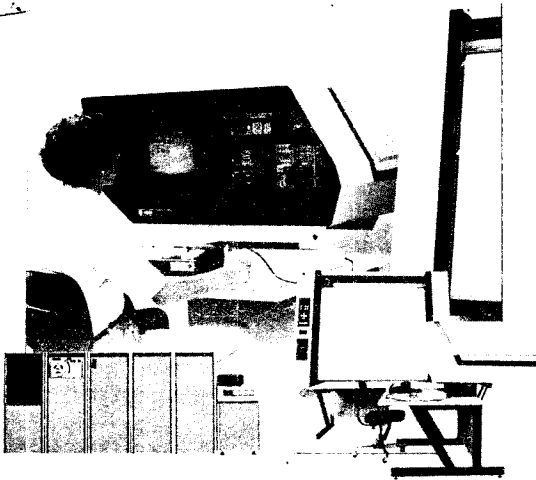


그림 4. CALMA GDS II CAD system

CRT, alphanumeric keyboard, function keyboard, electronic pen과 tablet을 이용하여 기본소자를 설계하여 입력하고 이것을 셀(cell)로 정의한다.

그후 terminal에서 셀로 정의된 기본소자를 적절히 배열, 접속시킨다. 그후 설계규칙(design rule)을 점검하는 software(DRC)로 설계오류를 조사, 교정하여 mask pattern generation을 한다. 이러한 방법이 도입된 후 제도기를 사용하여 수동설계하던 옛날 방법은 완전히 없어졌으며 IC를 설계하는데 소요되던 설계기간 및 인원은 그림5에서 보는 바와 같이 현저하게 감소되었다.

구 분	Linear (CTV 용 IC)	Digital (4K RAM)
수 동	Engineer 1명 Operator 2명 기 간 6개월	Engineer 2명 Operator 4명 기 간 8개월
	Engineer 1명 Operator 1명 기 간 2개월	Engineer 1명 기 간 1개월

(설계도면 제작의 경우)

그림 5. 레이아웃(layout)설계 CAD 이용 효과

2. 기호 설계법(Symbolic Design Method)

주로 MOS 반도체 소자를 설계하는데 국한되기는 하나, 현재 대부분의 주요 반도체 제품이 bipolar에서 MOS로 변화되고 있는 추세에 대응하기 위하여 금성

반도체에서는 또한 sticks라는 소프트웨어를 사용 레이아웃(layout)설계를 하고 있다.

상징적인 도형 즉 스틱(sticks) 모양의 형태로 회로를 대응시켜 레이아웃(layout) 설계를 한다. 이 설계 방법은 모든 전자회로를 스틱(sticks)으로 표현하여 레이아웃(layout)설계를 하기 때문에 빠른 시간내에 설계를 할 수 있을 뿐만 아니라 회로를 설계규칙(design rule)에 무관하게 표현할 수 있다. 즉 예를들면 5μ N channel MOS에서 3μ N channel MOS로 바꾸는 작업에 새로운 설계규칙(design rule)을 입력하여 간단히 컴파일(compile)만 다시하면 사람의 새로운 노력이 개입되지 않고 새로운 device를 만들 수 있다.

3. 게이트 어레이 설계법(Gate Array Design Method)

레이아웃(layout) 설계에 있어서 사람에 의한 착오(human error)를 최소화하고 빠른 시간내에 도면설계(layout design)를 얻는 것이 가장 중요하다.

금성반도체에서는 또한 이러한 점에 방향을 맞추어 게이트 어레이(gate array)설계법을 사용하고 있다. 이 방법은 이미 준비된 레이아웃(layout)에 관련된 자료를 데이터베이스(data base)화 하여 컴퓨터에 보관하고 확정된 전자회로와 대응시켜 레이아웃(layout)을 완성하는 설계법이다.

확정된 전자회로 자료를 컴퓨터에 입력하면 자동배열접속(place & routing) 소프트웨어에 의하여 설계자가 원하는 레이아웃(layout)도면을 얻을 수 있다. 이 방법은 사람이 손으로 수동 설계하는 방법에 비해 반도체 칩 크기(chip size)가 약간 커진다는 단점이 있으나 이에 반하여 모든 과정에 걸친 설계 업무를 완전 자동으로 설계자동화(design automation) 할 수 있기 때문에 VLSI급의 반도체 제품을 설계 완료하는데 약 2주 정도의 개발기간이 소요되는 장점이 지대하여 가장 효과적인 레이아웃(layout)설계 방법이라 할 수 있다.

여기에는 용량이 크고 처리속도가 빠른 컴퓨터가 필수적인데 전자회로 설계에는 engineering workstation급의 컴퓨터가 사용되고 자동배열접속(place & routing)에는 미국 벨연구소(Bell Lab)에서 개발하여 금성반도체에서 생산하고 있는 3B20S 슈퍼미니 컴퓨터를 사용하고 있다.

4. 규칙적 구조 설계법(Regular Block Design Method)

일반적인 레이아웃(layout) 구조가 아닌 규칙적인

레이아웃 구조는 컴퓨터와 소프트웨어를 사용하여 쉽게 레이아웃(layout)설계를 할 수 있다.

금성반도체에서는 3B20S 컴퓨터와 규칙적 패턴 발생(regular pattern generation) 소프트웨어를 사용하여 도면 설계를 한다. 전자회로를 기술하여 컴퓨터에 입력하면 자동으로 도면설계 출력을 얻을 수 있으며 이를 CALMA GDS II 컴퓨터에 입력하여 마스크 패턴을 제작한다.

PLA, ROM, RAM 등의 반도체 소자를 이 설계방법을 사용하여 도면, 설계한다.

5. 설계도면 검증(Layout Verification)

전자회로를 레이아웃(layout)하여 완성된 도면은 실제적으로 전자회로와 대응하게 도면화되었는지 여부를 확인하여야 정확한 레이아웃이 되었다고 할 수 있다. 그래서 설계자는 항상 설계한 도면이 원래의 회로와 일치하는지 검증(verification)하여야 한다.

간단한 도면은 설계도와 비교하면서 확인 할 수 있으나 VLSI에서는 수동으로 검증(verification)한다는 것이 사실상 불가능하다.

먼저 설계된 레이아웃 도면을 컴퓨터에 입력하여 레이아웃에 해당되는 전자회로 연결도를(netlist) 뽑아낸다. 이 전자회로 연결도와 앞서 설계된 실제의 전자회로와 비교하여 전자회로와 설계도면의 일치성 여부를 검증(verification)하게 된다.

IV. 전자회로 설계를 위한 모의분석(Simulation) 운용 사례 및 효과

수십개부터 수백만개에 이르는 개별소자들을 집적하여 원하는 기능을 나타내기 위하여 일일이 손으로 계산하여 설계하는 것은 방대한 시간과 인력을 요구하면서도 많은 오류를 유발시키기 때문에 컴퓨터를 이용한 반도체 소자의 제작은 필수불가결하다 하겠다.

컴퓨터를 사용하게 되는 가장 큰 부분은 계산이 매우 복잡하여 사람이 계산하기 어렵거나 혹은 지극히 단순하나 계산에 많은 시간이 요구되는 작업, 완성된 회로가 제대로 동작 할 것인지 여부를 확인하는 검증(verification)등을 들 수 있다. 따라서 반도체소자 제작에 따르는 거의 모든 과정을 컴퓨터를 이용하여 수행하게 된다.

이의 효과적 수행을 위하여는 성능이 우수한 컴퓨터와 각종 소프트웨어등이 사용되는데 금성반도체에서는 미국 벨 연구소(Bell Lab.)에서 개발하여 당사에서 생산하고 있는 슈퍼미니(super mini)컴퓨터인 3B20S 컴

퓨터를 사용하고 있으며 소프트웨어는 선진 반도체 생산국에서 사용하고 있는 것을 입수 혹은 구매하여 당사가 가지고 있는 unix O.S의 3B20S 컴퓨터에 설치(conversion)하여 응용 목적에 따라 이들을 변형 수정하여 사용하고 있다.

각종 소프트웨어를 설치(conversion)하는데 많은 어려움이 있었으나 이제는 아래와 같이 선진 반도체 생산국에서 사용하는 것과 대등한 소프트웨어를 사용하여 반도체 소자 개발을 하고 있다.

이러한 컴퓨터와 소프트웨어를 사용한 후에는 그림 6과같이 개발기간이 대폭 감소되었을 뿐만 아니라 보다 더 우수한 기능의 VLSI 칩(chip)을 개발할 수 있는 능력을 보유하게 되었다.

1. 논리회로 설계 소프트웨어(Logic Design Simulator)

부울대수(Boolean Algebra)를 기본으로 하는 디지털(digital) 회로는 그 응용범위가 한없이 확장되는 단계에 있는데 이러한 회로를 구성하여 그 논리상태를 알아 보기란 회로가 복잡하여짐에 따라 쉬운일이 아니다. 따라서 복잡한 디지털 회로를 설계하고자 할 때 컴퓨터를 이용한 회로해석은 필수적이며 이러한 목적을 위하여 사용되는 것이 논리회로 시뮬레이터(logic simulator)이다. 이러한 논리회로 분석을 위하여는 논리회로구성(logic description)을 컴퓨터에 입력하여야 하는데 논리회로 구성 입력을 작성하는데 시간이 많이 걸리기 때문에 이를 개선하고자 금성반도체에서는 논리회로도(logic netlist)를 뽑아내기 위한 engineering workstation 급의 마이크로컴퓨터를 사용한다. 그래픽 단말장치(graphic terminal)로부터 표현된 그림(schematic)을 회로구성 도면으로 자동적으로 받아들이고 그 구성 특성을 입력으로 받아 이를 부분적 또는 전체적으로 논리동작을 분석한다. 이때는 물론 전기적 특성변화까지 포함하여 사용소자의 수관 역할까지 고려하여 분석한다.

2. 전자회로 설계 소프트웨어(Circuit Design Simulator)

전자회로 설계용으로 당사는 spice 시뮬레이터 소프트웨어를 사용하고 있다. 이 소프트웨어의 기능은 개발하고자 하는 IC의 목적에 따라 회로가 구성되었을 때 그 회로의 구성 상태와 사용소자들의 특성을 입력으로 넣어주면 원하는 회로상 지점(circuit node)에서 전류, 전압 특성을 일목 요연하게 분석해 낸다. 따라서 spice 소프트웨어를 이용하는 설계자는 원하는 IC

의 전기적 특성을 분석할 수 있을 뿐만 아니라 원하는 전기적 특성을 맞추기 위하여 사용소자들을 변화 시킴에 따라 변화하는 전체적 특성까지 쉽게 분석할 수 있다.

수동설계처럼 개별소자(discrete device)로 실제 회로를 구성하여 일일이 위와 같은 실험을 해보자면 그 불편함과 오차, 장기 실험기간 소요등은 짐작 할 수 있다.

3. 제조공정 설계 소프트웨어(Process Design Simulator)

제작하고자 하는 IC의 회로 설계 및 도면설계가 완료되어 마스크(mask)가 준비되면 실제 반도체 소자로 구현하기 위한 공정작업(wafer fabrication)을 수행하게 되는데 이 과정은 고도의 기술과 정밀성을 요구하므로 IC 생산에 가장 중요한 부분이라 할 수 있다. 전체공정에 따른 각각의 공정 단계에서 반도체 소자 생산을 위한 정확하고 엄격한 주변환경을 정하여야 한다. 예를들면 제조온도, 주입되는 불순물(impurity)의 종류와 양, 제공시간 등이 있다.

이러한 제조공정(wafer fabrication)에 필요한 요소(factor)들을 설정하기 위하여 일일이 그 많은 변수들을 변화시키면서 IC를 생산하는데 필요한 각 공정 변수를 실험을 통하여 파악하는 것은 많은 인적, 물적, 시간적 소모를 필요로 한다. 이러한 모든 실험적 노력을 대신 수행하여 반도체 제조공정을 빠른 시간내에 설정하는데 이용되는 소프트웨어가 공정모의실험(process simulator) 소프트웨어이다. 당사는 제조공정 소프트웨어로의 대표적인 미국의 스탠포드대학에서 개발된 suprem을 사용하고 있다.

4. 소자설계 소프트웨어(Device Simulator)

보다 정밀하고 신뢰성 있는 IC를 개발 생산하기 위하여는 반도체 개별소자(discrete device), 예를들면 transistor들의 정확한 특성분석이 필요하게 된다. 당사가 보유하고 있는 소자설계 소프트웨어(device simulator)는 bipolar와 MOS 소자를 포함하여 컴퓨터 입력으로 소자의 폭과 길이(W/L), 산화막 두께(oxide thickness), channel형(channel type), 불순물 분포(doping profile), 인가전압(bias voltage) 등을 제공하면 반도체 소자의 전기, 전류적 특성 및 캐리어 분포(carrier profile) 등의 출력을 받아 볼 수 있다.

5. 타이밍 소프트웨어(Timing Simulator)

설계된 논리회로(logic circuit)가 정확하게 작동을

하기 위하여 논리적으로는 확실하나 시간적으로 상호 관계가 일치하는지 여부를 분석하여야 완성된 논리회로(logic circuit)로 사용할 수 있다. 이러한 시간적 상호관계의 일치성 및 동작속도등의 관계를 분석해 내는 소프트웨어가 timing simulator이다.

6. 사진 식각 모델 소프트웨어(Photolithography Modeling Simulator)

사진식각(photolithography)에는 여러 단계의 공정이 포함되는데 각 공정의 사진 식각에 대한 분포도(profile)을 얻을 수 있다. 예를들면 IC 제조공정에 있어서 사진감광(exposure), 현상(development), 식각(etching), 증착(deposition), 전자선에 의한 사진식각(E-beam lithography) 공정 등을 모의실험(simulation)할 수 있다.

대규모 집적회로(8000Trs/chip) 개발의 경우

구 분	수 동			C A D		
	Eng.	Opr.	개발기간	Eng.	Opr.	개발기간
논리회로 설계 (Logic design)	3명	4명	6달	2명	—	1 달
전자회로 설계 (Circuit design)	4	—	10	2	1	1
제조공정 설계 (Process design)	2	3	3	1	—	1
소 자 설 계 (Device design)	2	3	4	1	—	1
타 이 밍 설계 (Timing design)		불가		1	—	1
사진식각 설계 (Photolitho design)	2	3	2	1	—	0.5

그림 6. 모의실험(simulation) 소프트웨어 이용 효과

V. 결 론

본문에는 집적회로를 설계하는데 있어서 금성반도체(주)에서 현재 사용하고 있는 각종 CAD 장비 및 소프트웨어를 소개하였다. 이는 금성반도체(주)가 VLSI 설계를 위한 CAD 기술 정착의 시작에 불과하다. 앞으로 국제 경쟁력 있는 VLSI 소자를 개발하기 위하여 아래와 같은 CAD 기술의 개발과 이의 실현을 위한 노력이 계속 될 것이다.

1. CAD 소프트웨어의 통합(Software Integration)

VLSI의 설계는 개별적인 software를 일반화된 설계 자동화(design automation) 시스템으로 통합함으로써 설계 오류를 범하지 않는 조직적인 방법오로만

이 가능하게 될 것이다. 앞으로 당사가 보유한 소프트웨어 및 추가 입수 소프트웨어를 통합(integration) 이를 실현 할 것이다. IC 설계의 system description은 공통 data base에 저장되고 이를 다시 subsystem으로 나누어 system 기능을 simulation하며 subsystem의 정상적인 회로 동작은 논리 시뮬레이션, 회로 시뮬레이션에 의해 검증 확인한다. 이와같은 과정이 완료되면 layout 설계를 하고 상호 접촉점에서의 기생변수(parastics)값이 계산되어 timing 시뮬레이션을 정확히 행할 수 있게 된다. 만족할만한 결과를 얻으면 layout이 검증되고 마스크를 제작하게 된다.

2. 설계방법 개발(Design Methodology)

반도체는 수많은 응용분야를 가지고 있기 때문에 각각의 소자에 알맞은 설계방법(design method)을 가지고 있어야 한다. 이것은 가장 짧은 제품 응용기간(life time)에 맞추기 위하여 반도체 소자를 개발하는데 얼마나 빠른 시간에 신뢰성 있는 제품을 개발 공급할 수 있느냐에 기인한다. 앞으로 금성반도체는 다음과 같은 설계방법 개발에 노력을 기울일 것이다.

첫째는, 게이트 어레이설계(gate array design) 방법이다.

이 방법은 가장 빠른 시간에 생산량이 적고 다품종의 반도체 소자를 개발하는데 적합하다.

둘째는, 기호 설계법(symbolic design)이다.

이 방법은 반도체 소자를 개발하는 설계자가 가장 쉽고 빠른 시간에 반도체 소자를 개발할 때 적합하다.

셋째는, 대화식 설계법(interactive design)이다.

이 방법은 개발 기간은 비교적 많이 걸리나, 생산량이 많은 경우 가장 경제적인 가격으로 반도체 소자를 개발하는 방법이다.

넷째는, 실리콘 컴파일러(silicon compiler) 설계법이다.

이는 가장 이상적인 반도체 소자 설계법으로서 개발하고자 하는 반도체 소자를 program을 작성하듯이 개발하고자 하는 반도체 소자의 회로를 기술(description)하여 소프트웨어의 입력으로 주면 설계자가 원하는 반도체 소자의 레이아웃(layout) 도면을 얻을 수 있는 방법이다. 현재 이 방법은 미국의 Caltech과 MIT등의 학계에서 처음 시작하여 Bell Lab, IBM, Stanford 대학등에서 활발히 연구되고 있는 신기술로써 앞으로 당사도 이 방법에 많은 노력을 투입 장기적으로 신기술 개발로 추진할 계획이다.

이상과 같은 노력에는 많은 연구비와 인력을 투입하여 장기적으로 노력해야 가능하지만 VLSI의 설계 한계를 극복하는 유일한 길은 CAD 기술이다.

參 考 文 獻

- [1] *Design Automation for Integrated Circuits*, Science 29, April, 1983.
- [2] 이희국, "반도체 혁명", 전자시보, 8월, 1984년.
- [3] W.M. Anderson, *Advance in Iterative Graphics System Architecture*, Computer Design, pp. 147-152, Nov., 1980.
- [4] T.J. Schaefer, *GDSII: An Efficient and Extensible VLSI Design System*, pp. 6-12, Sep., 1981.
- [5] R.L. Rivest, "A description of a single-chip implementation of RSA," *Cipher, LAMBDA*, vol. 1, pp. 14-18, no.3, 1980.
- [6] 이문기, "LSI/VLSI 설계 자동화", 전자공학 회지, 12월, 1981년.
- [7] Jean Pierre Avenier, "Digitizing, layout, rule checking-the everybody tasks of chip designers," *IEEE*, pp. 49-56, Jan., 1983.
- [8] Se June Hong, "Wire-routing machines-new tools for VLSI physical design," *IEEE*, pp. 57-65, Jan., 1983.
- [9] C. Niessen, "Hierarchical design methodology and tools for VLSI chips," *IEEE*, pp. 66-75, Jan., 1983.
- [10] Thomas W. Williams, "Design for testability- a surveys," *IEEE*, pp. 98-112, Jan., 1983.
- [11] Andrew R. Neureuther, "IC process modeling and topography design," *IEEE* pp. 121-128, Jan., 1983.
- [12] Tsuneta Sudo, "CAD systems for VLSI in Japan," *IEEE*, pp. 129-143, Jan., 1983.
- [13] Jerry Werner, *Progress Toward the Ideal Silicon Compiler*, VLSI Design, pp. 78-85, Oct., 1983.
- [14] Jerry Werner, *The Silicon Compiler*, VLSI Design, pp. 46-52, Oct., 1982.
- [15] Sal Garcia, *A Survey of IC CAD Tools for Design, Layout, and Testing*, VLSI Design, pp. 68-75, Oct., 1982.