

# 超高速 Gate Array와 그 應用

## 1. 超高速 Gate Array의 開發 배경

컴퓨터, 通信棧, 計測器 등 Digital 論理를 이  
용해서 情報處理를 행하는 System 棧器의 性能  
향상에는 Hardware의 高速化가 不可欠하다. 高  
速化의 方法에는 시스템에 사용되고 있는 集積  
回路 자신의 遲延時間 단축이 고려되고 있다.

그러나 集積回路 자신의 高速化가 進行되려  
면 集積回路間의 配線 길이, 配線容量에 의한  
지연시간, 바꾸어 말하면 Media Delay가 시스  
템 전체의 지연시간에서 차지하는 비율이 증가  
하는 경향이며 시스템의 高速化에 있어서 壁이  
되고 있는 것이다.

따라서 시스템의 高速化에는 종래 몇 개의 Chip  
으로 구성된 棧能을 한개의 Chip上에 실현하는  
高集積化, 즉 LSI化에 의해 實裝密度의 향상을  
도모하고 Media Delay를 경감하는 일이 대단히  
유효하다.

그 위에 高集積化에 의해, 시스템을 구성하  
는 部品 點數가 감소되기 때문에 高信賴性化,  
低消費 電力化, 장치의 小形化 등이 기대되고  
있다.

그러나 LSI化를 추진하기 위해서는 SSI, MSI  
등과 같이 汎用性 있는 回路가 적게 되고, LSI  
의 棧能의 個性化가 진전함에 따라서 1개의 시  
스템에 대하여 少量多品種의 LSI化가 필요하  
게 되었다.

이같은 요구에 합치된 LSI가 超高速 Gate  
Array인 것이다. Gate Array는 Master Slice  
마다에 Chip 제작의 최종 工程인 配線工程의 직

전까지 미리 제작해 놓는 일을 할 수 있는 것으  
로서, Custom LSI에 비해 開發 시기가 짧고,  
開發費가 저렴하여 少量多品種의 생산에 적합하  
며 또한 CAD의 Support에 의해 設計가 정확  
하고 용이하다.

이러한 관점에서부터 LSI 자신도 高速인 超  
高速 Gate Array는, 시스템의 高性能化와 더  
불어 개발 기간의 단축도 기대할 수 있는 등 크  
나쁜 장점이 있다.

Digital 論理棧能을 지닌 Gate Array를 大別  
하면 다음의 세 가지로 분류된다.

- (1) Gate當 지연시간이 2~4 ns의 CMOS  
Process를 이용한 Gate Array
- (2) Gate當 지연시간이 1~2.5 ns의 TTL, ISL,  
I<sup>2</sup>L, STL 등의 Bipolar Process를 이용한 Gate  
Array
- (3) Gate當의 지연시간이 1 ns 이하의 ECL,  
CML 등 超高速 지향의 Bipolar Process를 이  
용한 Gate Array

이상의 分類에서 (1)~(3)의 순으로 지연시간  
은 감소되지만 消費電力은 증가, 集積 규모에  
있어서는 감소하는 것이 일반적이다.

또한 (1)과 (2)의 지연시간에 대해서도 境界는  
CMOS 技術의 발달에 의해 희박해지고 있지만  
(2)와 (3)의 경계에 대해서는 명확하며 동시에  
(3)에 있어서는 高速性의 추격이 금후 첫번째의  
과제가 되고 있다.

금회 개발한 超高速 Gate Array는, 이 高速  
性의 추격과 더불어 일반의 장치로의 폭넓은 응  
용을 고려해서 전체적으로 空冷에서 對應 하기

위한 低消費 電力化 및 Package의 低熱抵抗化를 도모하여, 2,000 Gate까지의 高集積化를 실현하였다.

## 2. 構成

예로 드는 日本電氣의 超高速 Gate Array family에는 表 1에 나타낸 것처럼 搭載 Gate 수가 각각 300, 1,200, 2,000의  $\mu$ PB6301,  $\mu$ PB6310,  $\mu$ PB6320 3 종류의 Mster Slice(拡散遞理한 Wafer)가 준비되어 裝置에 적합한 규모의 Gate Array를 선택할 수 있다.

Interface에는 汎用的 超高速 SSI, MSI 와 混用할 수 있는 것과 함께 외부 駆動 능력이 충분한 ECL 100K Interface는, 주위 溫度에 의해 出力 論理 레벨 및 入力 限界值 레벨이 변동되지 않도록 설계하기 위하여 裝置間 Chip間的 溫度 차를 고려하지 않고 裝置 設計를 할 수 있는 특징이 있다.

回路 형식은 Subnano의 伝播 지연시간을 실현하기 위하여 전면적으로 ECL 回路가 채용되어, Fan in Fan out 3, 配線 길이 3mm 로서 사용하기 가까운 負荷 상태로 Gate 當  $\mu$ PB6301에서 0.5ns,  $\mu$ PB6310,  $\mu$ PB6320에서 0.7ns라고 하는 伝播 지연시간이 얻어진다.

또한 필요 入出力 數에 의해 Package의 선택이 가능하고 72pin, 132pin의 plug in 타입의

多Pin Package, 및 68Pin의 Leadless Chip Carrier가 준비되고 있다.

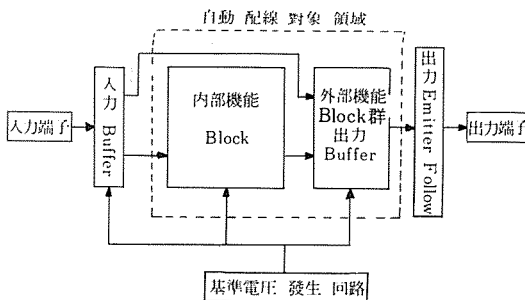


圖 1 Chip 内の Block 構成

圖 1에 Chip 내의 Block 구성을 나타냈다. ECL 100K 레벨의 信號는 入力 端子로부터 入力 Buffer를 통해서 내부의 超高速, 低電力을 실현하는 低振幅 ECL 레벨로 변환되어 실제의 論理가 실행되는 내부 棧能 Block群, 또는 외부 기능 Block群(出力 Buffer)에 전달된다.

내부, 외부, 기능 Block群은 각각 내부 Cell, 외부 Cell을 이용하여 이루어진 내부, 외부 論理棧能 Block에 의해 구성되어 Block間的 配線은 CAD에 의해 자동적으로 행해진다.

論理 기능 Block은 AND/NAND 등의 단순 Gate로부터 DFF 등의 기본적인 棧能까지 풍부하게 준비되어 있다. 出力信號는 出力 棧能 Block

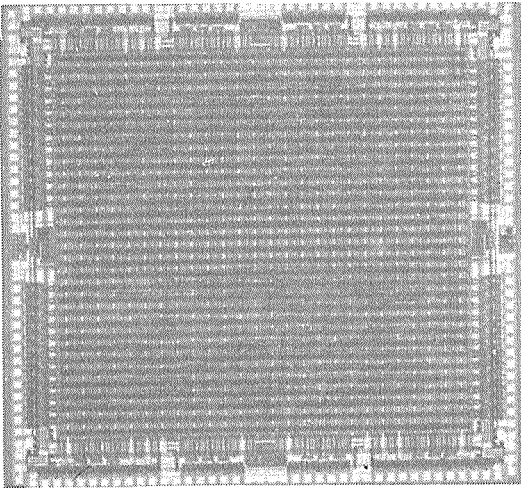
表 1 각 Mask Slice의 대체적인仕様

項 目		$\mu$ PB6301	$\mu$ PB6310	$\mu$ PB6320	條 件
Gate數		~ 300	~ 1,200	~ 2,000	
電源電壓 (V)		$V_{EE} = -4.5V \pm 0.5V$			
周圍溫度 (°C)		$t_a = 0 \sim +70^\circ$			
入出力레벨		ECL100k			出力: $50\Omega \sim -2V$ 終端
$t_{pd}$	内部Gate	0.5ns/5.4mW	0.7ns/1.9mW		F/I = F/Q = 3, l = 3mm
/	入力Buffer	0.5ns/5.4mW	0.6ns/1.9mW		
$P_o$	出力Buffer	0.8ns/22.5mW	1.0ns/22.5mW		
最大消費電力(W)		3.1W (typ) 5.1W (max)	3.8W (typ) 6.3W (max)	6.0W (typ) 9.9W (max)	$t_a, V_{EE} = \text{typ}$ 時 $t_a, V_{EE} = \text{worst}$ 時
Package		72 PIP 68 LCC	72 PIP 132 PIP 68 LCC	72 PIP 132 PIP 68 LCC	PIP = Plug-In Package LCC = Lead-Less Chip Carrier
最大 端子 數	入 力	56	64	56	단 (使用) + (使用) $\leq$ (最大) (入力數) + (出力數) $\leq$ (入力數)
	出 力	56	88	108	
	電 源	28	48	48	
		8	16	24	
Cell 數	内部Cell	$16 \times 8 = 128$	$32 \times 16 = 512$	$32 \times 26 = 832$	
	外部Cell	$14 \times 2 = 28$	$24 \times 2 = 48$	$24 \times 2 = 48$	

로부터 出力 Emitter Follower로 전해져서 100 K ECL 레벨에서 出力端子로 얻어지게 된다.

電源電壓은  $-4.5V$  단일로서, 내부 Cell用的 GND (接地電位)用 電源 VCC와 出力 Emitter Follower用 GND 電源 VCCA은 통상의 汎用 ECL과 마찬가지로 분리되어, 出力論理 레벨이 변환될 때의 電源 Noise가 내부 論理에 영향을 주지 않도록 설계되었다.

다음에 나오는 사진에 Chip Pattern을 나타내었다. 入力 Buffer와 出力 Emitter Follower 共存하는 I/O Cell이 左右邊에 배치되어, 上下 邊은 入力 專用이 되었다. 電源端子는 4方으로 분할되어 電源 Line의 電壓 강하를 경감시키는 것과 동시에 電源 Noise에 대한 安定化를 도모하고 있다.



寫眞  $\mu PB6320$ 의 Chip Pattern 사진

### 3. Process

超高速 Gate Array에서는 Process Parameter의 변동에 의한 지연시간에의 영향을 될 수 있는 한 피하여 고객이 回路 설계시에 그 성능을 충분히 예측할 수 있는 것이 아니어서는 안 된다.

따라서 量産時에 Transistor나 抵抗素子の Process Parameter가 질서없이 부착되는 것이 적고 再現性 있는 프로세스가 요망된다. 이 같은 관점에서 간단한 구조이며 또한 超高速 回路 형식으로 적합한 프로세스가 적용되었다.

일반적으로 ECL 回路를 사용하는 경우, 超高

速을 얻는 데는 寄生容量이 적고, Base 抵抗이 적으며  $f_r$  (차단 周波數)의 높은 Transistor 가 요망된다. 이러한 요구로부터 素子 分離에는 酸化膜에 의한 완전한 分離法을 이용함과 동시에 Emitter 쪽을  $1.5\mu m$ 로 微細化하는 것에 의해 寄生容量을 적극적으로 낮추었다. 또한 폴리시리 砒素 Emitter, Ion Infra등을 응용한 超Shallow Junction 技術에 의해 Base 두께를 극단적으로 얇게 하여 8GHz의 높은 遮斷周波數를 얻고 있다. 그리고 그 위에 각 Transistor에 흐르는 回路電流는 回路 Simulation에 의해 最適値가 선택되었다.

Transistor는 電流 레벨에 의해 Single Base 構造와 Double Base 구조를 적절하게 사용하고 있다.

Single Base는 寄生容量이 작은 점에서는 高速의 동작에 기여하고 있지만 Base 抵抗이 크게 되어 고속 동작에 방해가 된다.

한편 Double Base에서는 Base 抵抗이 작은 점은 高速化에 유효하지만 寄生容量이 크게 되어 고속 동작을 억제한다. 이와 같은 Base 抵抗과 寄生容量의 Trade off의 검토에서부터 電流가 많이 흐르는 Transistor에는 Double Base 구조, 적은 電流에서는 Single Base 구조를 적용하였다.

信號用的 配線은 Aluminum 2層으로 형성되어, 1층에서는  $3\mu m$  폭, 2층에서는  $6\mu m$  폭으로 微細加工에 의해 配線容量이 작게 되도록 고려되고 있다.

이 같이 Process·回路間의 상호 검토에 의한 最適化 設計의 결과, 負荷가 걸려진 상태에서 Subnano 秒의 동작이 달성된 것이다.

### 4. 回 路

超高速 Gate Array의 論理 構成部에는 초고속, 抵消費 電力을 실현하기 위하여 抵振幅化한 ECL 回路가 사용되고 있다. 圖 2 (a)에 내부 기능 Block에 있어서의 基本回路를 표시하였다.

ECL Gate의 論理振幅은 내부 발생 電源回路에 의해 얻어지는 電位  $V_{csi}$ 에 의하여 定電流源이 제어되기 때문에 온도 및 電源 변동에 대

해서 변동이 없게 설계되고 있다.

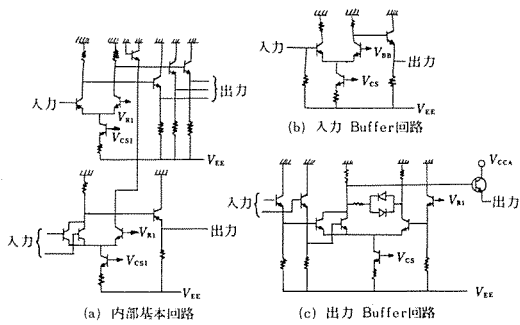


圖 2 超高速 Gate Array의 基本 回路

또한, 參照 電壓 VRI도 내부 발생에 따라서 온도 및 電源 變化가 보상되고 있으며, 안정된 論理가 얻어진다. 따라서 低論理振幅의 사용이 가능하게 되어 고속화가 함께 低電力化에 기여하고 있는 것이다.

내부 기능 Block은 이와 같은 ECL회로를 기본으로 縱形 2段 Gate (Series Gate), Collector 더팅 (Wired OR), Emitter 더팅 (Wired AND) 등을 유효하게 사용하여 초고속을 실현하고 아울러 소비 전력, 사용 Cell 수가 적게 되도록 설계되었다.

Block間的 配線은 자동적으로 행해지기 때문에 論理 設計의 단계에서는 Block 出力의 負荷가 되는 配線容量은 예측할 수 없다.

따라서 Block 出力은, 負荷에 대한 驅動 能力이 있는 Emitter Follower를 사용한 고성능을 유지하고 있다. 그리고 電流의 切換 Gate와 Emitter Follower와의 電流 配分은 回路Simulation에 따라 最適化되고 있다.

또, Block間에서 Emitter 더팅을 행하는 경우는 Block間的 配線에 Emitter Follower의 電流가 흐르기 때문에 配線抵抗에 의한 레벨의 오차가 염려된다. 이 論理 Margin 저하에 대응해서, Emitter Follower間的 配線 폭을 크게 하여, 配線抵抗을 낮춘 충분한 동작 Margin을 얻도록 배려하고 있다. 이 결과 4개의 Emitter 더팅까지 가능하게 되었다.

圖 2 (b)에 入力 Buffer 回路를 나타내었다. 入力端子는 Pool down 高抵抗을 매개로 하여

최저 電位에 접속되어 있기 때문에 入力 開放時는 入力에 低레벨 電壓을 가한 경우와 같이 論理로 된다. 靜電氣 對策으로 통상의 취급에 있어서는, 入力部가 靜電氣에 의해 파괴되는 일이 없도록 설계되고 있다.

또한 ECL 100K 레벨의 한계치 電壓으로 되는 Vbb는  $-1,330\text{mV}$ 로 설정되어, 온도·電源 電壓 補償이 되고 있다.

외부 기능 Block (出力 Buffer)는, 내부의 論理 레벨을 100KECL 레벨로 변환하는 것과 동시에 AND/NAND 등 간단한 기능을 보유하고 있다(圖 3 (c))

외부 기능 Block은 出力 Emitter Follower를 매체로 出力端子로 ECL 100K 레벨을 出力하지만, ECL 100K 레벨의 특징인 온도 및 電源電壓 보상을 실현하기 위해 외부 기능 Block 專用的 내부 발생 電源回路에 의해 定電流源用 電壓 Vcs가 사용되고 있다.

出力 Emitter Follower의 Transister는 외부 終端 抵抗  $50\Omega$ , 終端 電壓 -2에서 사용할 수 있도록 배려되고 있다.

## 5. 特 性

超高速 Gate Array는 Process와 回路의 最適化 設計에 따라, 저소비 전력에도 관계 없이 초고속 동작이 달성되었다.

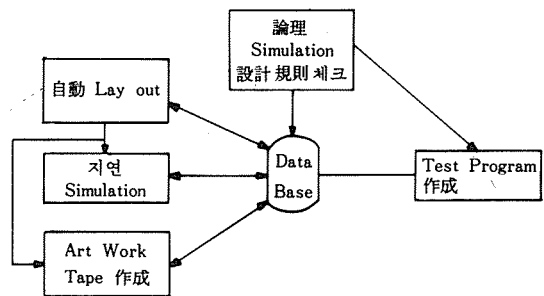
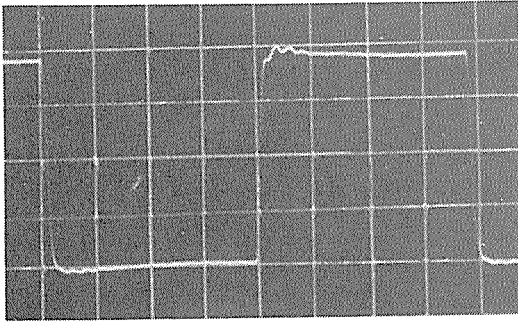


圖 3 CAD Support 構成圖

$\mu\text{PB 6310}$ 과  $\mu\text{PB 6320}$ 의 내부 Cell은 같은 Transistor, 回路定教를 사용하고 있기 때문에 傳播 지연시간 特性도 Gate當  $0.7\text{ns}$  ( $F/I = F/O = 3, \ell = 3\text{mm}$ )와 같다. 寫眞 1에  $F/I = F/O = 1$ 의 25段 Ring Oscillator 出力을 Device

에서 8分周한 波形을 표시하였다.

이 波形으로부터  $F/I = F/O = 1$ 에서는 Gate 當 0.38 ns로 동작하고 있는 일이 확인 되었다.



寫眞 1. 25段 Ring Oscillator를 8分周한 出力波形 ( $\mu$  PB 6320)

한편  $\mu$  PB 6301은 그 위에 고속으로, Gate 當 0.5ns ( $F/I = F/O = 3$ ,  $l = 3\text{mm}$ )이 되어 세계 최고 수준의 초고속으로 동작한다.

또, 내부 Cell에 의해 구성된 DFF (Data Flip Flop)에 따른 최저 保證 Toggle 周波數는  $\mu$  PB 6310,  $\mu$  PB 6320에 있어서 300MHz,  $\mu$  PB 6301에서는 500MHz가 되고 있으나, Typical 상태에서는 각각 450MHz, 850MHz 에서 동작하는 사실이 확인되고 있다.

초고속 Gate Array는 전품종 같은 特性의 Interface 回路가 사용되고 있으며, 接合 온도 가 0°C에서 125°C 사이로, 出力 高레벨 電壓 ( $V_{OH}$ ), 出力 低레벨 電壓 ( $V_{OL}$ ), 入力 한계치 電壓 ( $V_{bb}$ )는 0.2mV/°C 이하의 電壓 변동이 억제 되고 있다. 나아가서는 1V當의 電源電壓 변화에 대해서 20mV 이하의 양호한 결과가 나오고 있다.

## 6. Package

超高速 Gate Array의 Package에는, 초고속 동작을 保持하기 위해 容量, Inductance 가 작은 것, 그리고 實裝密度를 올리기 위하여 小形으로 熱抵抗이 낮은 것이 요구되고 있다. 이 같은 요구에 합치된 多 Pin의 Package가 초고속 Gate Array를 위하여 개발되었다.

JEDEC의 규격에 의한 68Pin의 Leadless Chip Carrier 및 72 pin의 Plug in Package가

준비되어 있고,  $\mu$  PB 6301에는 前者 2種,  $\mu$  PB 6310/ $\mu$  PB 6320에 대해서는, 전종류의 Package가 필요한 端子 수에 따라 응용할 수 있다.

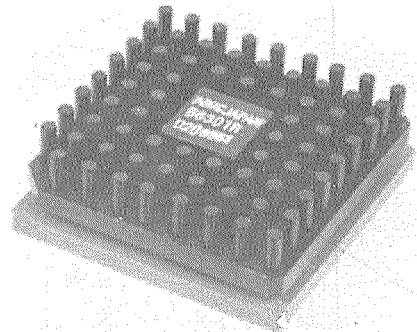
각 Package에는 寫眞 2에 표시한 바와 같이 히트싱이 부착되어 있다. 히트싱은 Case의 밑에서부터의 높이가 최대 11mm로 낮게 설계되어 있으므로 PCB間的 Pitch가 Business 通信 등에 사용되고 있는 17mm까지 좁아진 것으로 高密度 實裝에 적합하다.

또한 Chip의 이면이 히트싱側に 직접 接觸되어 Chip 히트싱間的 熱抵抗은 아주 최소치가 되도록 설계되어 있으므로 4m/sec의 送風時는 6°C/W (接合 온도와 주위 온도의 사이)의 低熱抵抗이 얻어지고 있다.

따라서 주위 온도 70°C에서 소비 가능한 電力은 9.9W에 달한다.

## 7. CAD Support

本稿에서 例로 살펴본 Gate Array는 면밀한 CAD Support에 의해 정확한 性能 예측, 개발 기간의 단축, Miss 없는 설계가 확실히 행해지는 체제에 있다. 고객에 의해 제출된 回路圖(論理 기능 Block을 接合한 情報) 및 Timing Chart, 기타의 條件(사용 Package, 端子 위치 등)에 의해 제작된 Data Base를 기본으로 圖 3에 나타난 각종 CAD Support에 따라서 품종이 개발되었다.



寫眞 2. 72 Pin Plug in Package

초고속에 대한 對應으로, 클리티 칼파스의 電氣 特性 補償을 고려한 自動配置, 10ps까지 해석 가능한 지연 Simulation 등의 특징을 구비하

고 있다.

품종 設計의 각 課程에 있어서 CAD 프로그램 기능은 다음과 같다.

(1) 고객이 설계한 回路의 論理 및 설계 규칙의 檢證

고객으로부터 제출된 回路(論理 Block 間의 接續)은 論理 記述 Data로 變換된 Data Base 로서 보존된다. 이 論理 記述 Data와 Test Pattern Data에 의해서 論理 Simulation이 행하여 回路 仕樣의 正當성이 확인되었다.

또한 高速性 등의 성능을 유지하기 위하여 몇 개인가의 設計規則(Fan in, Fan out, 소비전력 등)의 검토가 행하여진다.

그리고 평균 配線 길이를 想定하여 지연시간을 고려한 論理 Simulation을 실행하고 Lay out 이전의 性能 예측에 대한 검토 자료가 되고 있다.

(2) Lay out

다음으로 論理 記述 Data에서부터 自動 Lay out 프로그램에 의해 論理 Block의 자동 配置,

Block Type		Function				10K Family																																																																																																													
C047		Negative Logic		Positive Logic																																																																																																															
2-WIDE 1.2-IN-AND-OR				2-WIDE 1.2-IN-OR-AND																																																																																																															
Logic Diagram																																																																																																																			
Truth Table																																																																																																																			
<table border="1"> <thead> <tr><th>A</th><th>B</th><th>C</th><th>X</th><th>Y</th><th>Zi</th></tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>1</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>0</td><td>0</td><td>1</td></tr> </tbody> </table>				A	B	C	X	Y	Zi	0	0	0	1	1	0	0	0	1	1	1	0	0	1	0	1	1	0	0	1	1	1	0	1	1	0	0	0	1	1	1	0	1	0	1	1	1	1	0	0	1	1	1	1	1	0	0	1	<table border="1"> <thead> <tr><th>A</th><th>B</th><th>C</th><th>X</th><th>Y</th><th>Zi</th></tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>0</td><td>0</td><td>1</td></tr> </tbody> </table>				A	B	C	X	Y	Zi	0	0	0	1	1	0	0	0	1	1	0	0	0	1	0	1	0	0	0	1	1	1	0	0	1	0	0	0	1	0	1	0	1	0	0	1	1	1	0	0	0	1	1	1	1	0	0	1
A	B	C	X	Y	Zi																																																																																																														
0	0	0	1	1	0																																																																																																														
0	0	1	1	1	0																																																																																																														
0	1	0	1	1	0																																																																																																														
0	1	1	1	0	1																																																																																																														
1	0	0	0	1	1																																																																																																														
1	0	1	0	1	1																																																																																																														
1	1	0	0	1	1																																																																																																														
1	1	1	0	0	1																																																																																																														
A	B	C	X	Y	Zi																																																																																																														
0	0	0	1	1	0																																																																																																														
0	0	1	1	0	0																																																																																																														
0	1	0	1	0	0																																																																																																														
0	1	1	1	0	0																																																																																																														
1	0	0	0	1	0																																																																																																														
1	0	1	0	0	1																																																																																																														
1	1	0	0	0	1																																																																																																														
1	1	1	0	0	1																																																																																																														
				i = 0, 1																																																																																																															
				i = 0, 1																																																																																																															
Input		Output		Switching speed																																																																																																															
Name	Symbol	F/I	TH	Name	Symbol	F/O																																																																																																													
H01	A	1	1	N01	Z0	7																																																																																																													
H02	B	1	2	N02	Z1	7																																																																																																													
H03	C	1	2	N03	X	7																																																																																																													
				N04	Y	7																																																																																																													
				Path																																																																																																															
				IN → OUT		t <sub>2p</sub> (ns)																																																																																																													
						MIN.	TYP.																																																																																																												
				A → Zi (HH)		0.37	0.54																																																																																																												
				(LL)		0.39	0.56																																																																																																												
				B,C → Zi (HH)		0.39	0.57																																																																																																												
				(LL)		0.41	0.59																																																																																																												
				A → X (HL)		0.25	0.36																																																																																																												
				(LH)		0.23	0.34																																																																																																												
				B,C → Y (HL)		0.29	0.42																																																																																																												
				(LH)		0.28	0.40																																																																																																												
No. of Cells		Power TYP. (mW)		Power MAX. (mW)		Rev.																																																																																																													
1		34.6		57.2		1																																																																																																													

圖 4 고객을 위한 Block Library의 例

論理 Block 間의 자동 配線이 행해진다. 지정된 클리티 칼파스에 있어서는 관련되는 Block을 近接시켜서 배치하기도 하고 우선적으로 結線하는 일을 할 수 있다.

(3) 지연 시간 予測

Lay out가 완료되면 Data Base 내에 각 論理 Block의 出力에 관련되어 負荷 配線容量의 情報가 추가된다. 이 Data Base의 손쉽게 精確한 지연시간 예측이, 지연 論理 Simulator에 의해서 행해진다.

이 Simulator는 필요에 따라서는 내부 상태의 시간 경과 및 이동도 관측할 수 있으며 상세한 Timing의 체크에도 아주 유효하다.

(4) Art Work Tape 作成

배치·配線 設計의 Data를 이용하여 Mask제조를 위한 Art Work Tape가 작성된다.

(5) 回路의 Test

LSI Tester에 의한 제품의 選別을 위한 Test 프로그램이, 배치·配線 設計에서 얻어진 端子 위치 情報 등을 포함한 Data Base에 의해 자동적으로 발생된다.

## 8. 品種 設計

Gate Array의 品種 設計는, 고객이 준비한 回路接續圖와 그 回路의 正當성을 確實히 하기 위한 Test Pattern을 記載한 Time Chart에 따라서 개시된다.

回路接續圖는 단순 Gate로부터 기본적인 論理 기능까지 포함한 70種 이상의 풍부한 論理 기능 Block의 接續에 따라 작성된다. 圖 4에 고객을 위하여 論理機能 Block을 기재한 Block Library를 표시하였다.

設計者가 통상 사용하고 있는 論理 형식이 쓰일 수 있도록 正理論과 負論理 양면에서 論理圖 등이 기술되어 있다. 또한 傳播 지연시간, 사용 Cell 수, 소비전력, Fan in·Fan out 수 등 回路 設計에 필요한 상세한 Data가 기술되어 있다.

또한 사용하지 않는 出力의 Emitter Follower는 자동 設計의 실제에 있어서 接續되지 않도록 배려되고 있기 때문에 未使用 出力分의 소비 전력은 삭제되었다.

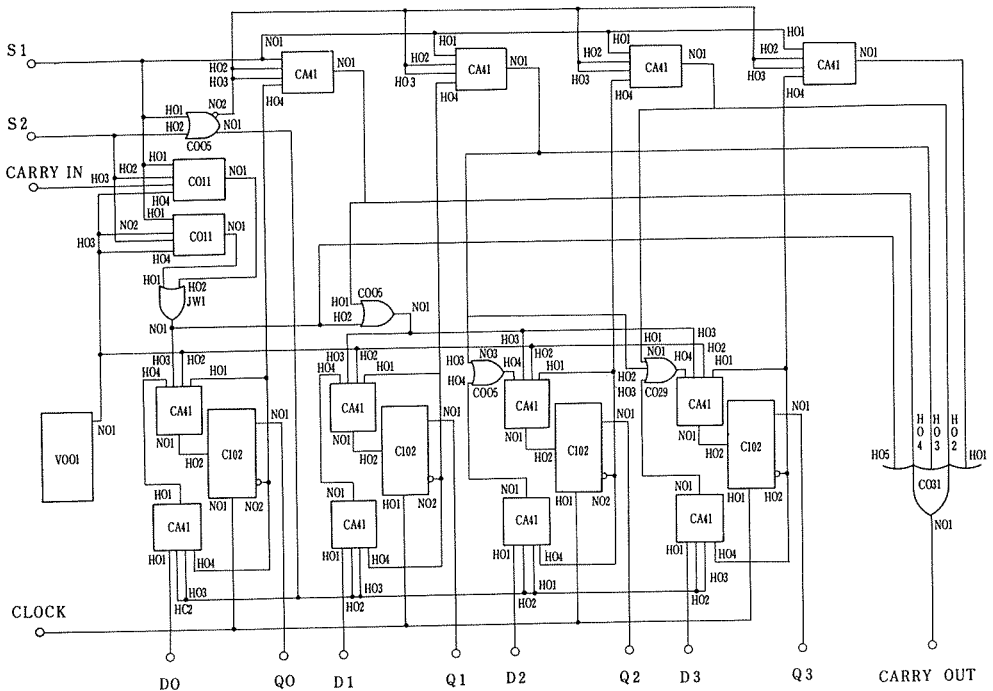


圖 5  $\mu$ PB 6320 Up/Down Counter 構成例 (10K Series의 10136에 해당)

圖5에 표시한 바와 같이,  $\mu$ PB 6320의 내부 Cell을 이용한 10K Interface의汎用 MSI  $\mu$  PB 10136(4 Bit Universal Counter)를 구성한 경우, 26 Cell을 이용한 소비 전력은 140 mW, Clock로부터 出力까지의 tpd는 1.0ns와汎用 MSI의 소비 전력 624mW, tpd 3.3ns에 대하여 뛰어난 성능을 보여 주고 있다.

## 9. 應用과 今後의 動向

超高速 論理 LSI는 종래 大型 컴퓨터의 성능 향상 수단으로 발달하여 왔다. 그러나 오늘날에 이르러 超高速 Gate Array의 출현에 따라, 일반에게까지 널리 입수할 수 있게 되었다.

따라서 그 응용 범위도 종래의 컴퓨터 Main Frame 중심의 응용으로부터 他분야로의 分散이 고려되고 있다. 이를테면 고성능 LSI Tester, 고성능 計測機器 등의 계획 분야, 光通信 등 新方式의 通信을 포함한 傳送 및 通信의 분야, 컴퓨터의 周辺機器 및 각종 制御機器 등의

분야가 해당된다.

또, SSI, MSI의 置換에 의한 시스템의 Grade up도 당연히 고려되고 있다. 나아가서는 画像信號의 Real Time 처리 등의 새로운 분야에 대한 응용도 기대되고 있다.

금후의 超高速 Gate Array의 추진 방향으로는, 보다 고속화를 지향하고 보다 高集積化를 추구하고 보다 多機能化를 지향하는 3방향이 모색되고 있다. 高速化와 高集積化는 素子の 微細化, 구조상의 改良 등 Process의 진보에 따라 달성되는 것이다.

Chip 전체의 소비 전력이 제한되기 때문에 고속화와 高集積化는 Trade off의 관계가 될 것으로 보인다.

또한 高集積化로는, 그것에 합치되는 CAD Support의 개발이 필요하게 된다. 多機能化는 RAM, ROM의 內藏 등 一步 Microcomputer의 형태에 가까운 것이 고려되고 있다. 여하간에 이 3方向과 需要가 서로 밀착되어서 超高速 Gate Array는 계속 발전해 나아갈 것이다.

## ● 統計資料 제출 안내 ●

本會에서는 각 電子·電氣業체의 기본 사업 및 진흥 자료가 되는 精確한 統計資料를 작성, 活用하기 위하여 經濟企劃院의 指定統計 제32호에 의하여 전업체를 대상으로 하여 매월 업체별 통계자료를 제출받아 電算處理를 하고 있습니다.

아직도 本會에 統計資料를 제출해 주시지 않고 있는 업체가 계시거나, 잊고 계신 업체가 있으시면 즉시 보내 주시기 바랍니다.

기타 자세한 사항은 本會 技術調查部 統計課(778-7692 / 4)로 문의해 주시면 감사하겠습니다.

韓國電子工業振興會