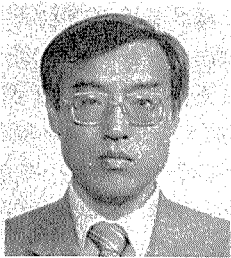


# 半導體 設計技術의 現況과 展望



金 忠 基

韓國電子技術研究所 半導體本部  
研究部長 / 工博

국내의 IC 설계장비들은 외국에 비하여 너무 빈약하다. 이 장비들조차도 Inverse engineering하는 데 사용되고 있어서 독자적인 IC 설계는 거의 전무한 상태라고 할 수 있다. 선진 외국에 비해서 설계 기술이 뒤떨어졌다고 비판할 것이 아니고 경영진과 설계기술자들은 반도체 설계기술을 토착화하겠다는 굳건한 정신 자세로 꾸준히 밀고 나가면 우리도 몇 년 내에 독자적으로 설계된 IC가 사용된 전자제품을 가지고 세계시장에 당당하게 진출할 수 있을 것이다.

## I 개요

현재 범세계적으로 반도체 기술의 중요성을 인식하고 반도체 기술 개발을 위하여 많은 투자를 하고 있다. 우리나라도 반도체 기술 개발을 위하여 부단한 노력을 기울이고 있다. 이와 같은 현실을 고려하여 반도체 설계기술의 중요성 및 설계 과정을 설명하고 선진 외국에서 이용되고 있는 첨단 반도체 설계 기술의 상황 및 추세를 소개하고 한국의 설계 기술 수준을 살펴본 후에 설계기술 토착화 방안에 대해서 언급하고자 한다.

### 2. 반도체 설계기술의 중요성

우리나라의 전략수출품이라고 할 수 있는 TV의 수출 가격을 생각해 보자. 표 1에 1981년 8월 한달 동안의 한국과 일본의 컬러TV 및 흑백TV의 수출량과 단가를 나타냈다. 註: {1, 2}

표 1. 한국과 일본의 TV 수출 현황

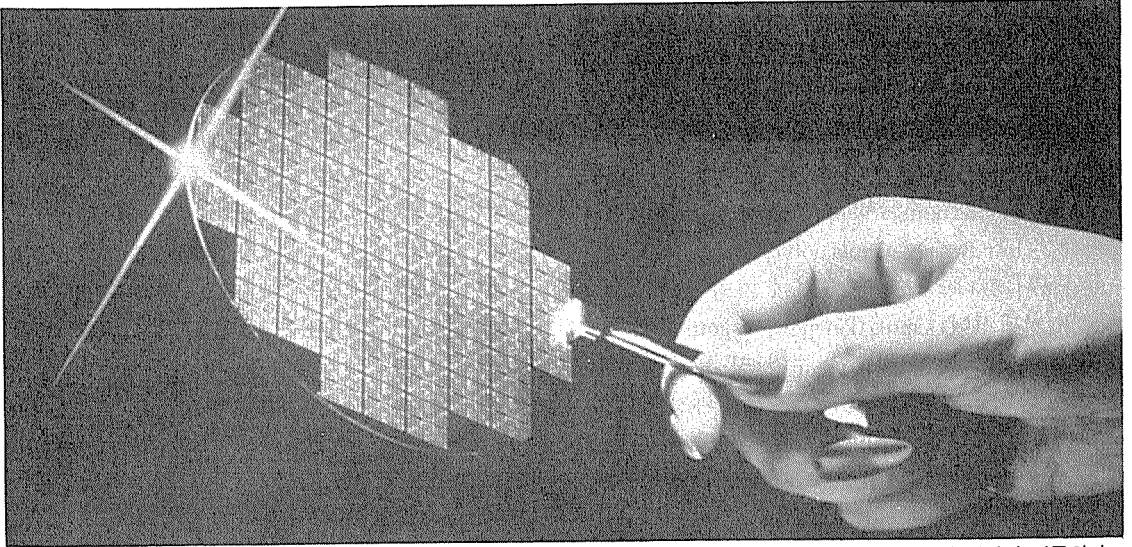
(1981년 8월 1개월간)

단위: 천대, 1000弗

품목	한국			일본		
	대수	총액	단가	대수	총액	단가
컬러TV	111	20,877	0,188	500	129,389	0.26
B/W TV	474	26,137	0,055	190	17,694	0,093

표 1에서 한대당 수출가격을 비교해 보면 일본산 컬러TV, 흑백TV가 한국산보다 각각 72弗, 38弗 정도 비싸게 수출되고 있는 것을 알 수 있다. 일본산 TV가 그만큼 고가로 수출될 수 있는 것은 한국 제품보다 기능이 다양하고 신뢰도가 높기 때문이다.

이와 같은 고가의 TV를 생산하기 위해서는 성능이 우수한 반도체 제품(IC; Integrated Circuit)이 필요하다. 성능이 우수한 IC를 사용함으로써 고가의 TV를 수출할 수 있는데, 실제 사용된 IC 가격은 고가의 TV를 수출함으로써 발생하는 이윤보다 훨씬 낮다. 따라서 성능이 우수한 IC를 사용함으로써 전자 제품의 부가가치



국내 반도체 업계는 설계기술의 개발이 시급하다.

를 높일 수 있는 것을 알 수 있다. 이 현상은 전자제품 전반에 걸친 현상이다. 국내 set maker 들도 부가가치가 높은 제품을 개발코자 하나 목적이 부합되는 IC를 구하지 못해서 국제경쟁력이 있는 제품을 개발하지 못하고 있다. 일본이나 미국으로부터 IC의 수입을 생각할 수 있으나 이들 나라들은 부가가치가 높다고 판단되는 IC의 수출을 꺼린다. 현재 국내 set maker 들이 원하는 IC들은 2~3년 후에는 부가가치가 떨어진다.

이때쯤이면 선진국에서는 새로운 IC를 개발해서 사용하고 옛날 것은 한국과 같은 개발도상국에 수출한다. 이런 추세가 계속된다면 우리는 영원히 국제시장에 부가가치가 높은 제품을 수출할 수 없게 된다. 우리가 국제시장에서 경쟁력 있는 전자제품을 개발하려면 우리 독자적인 idea가 들어간 우수한 IC를 개발해야 한다.

그리고 국내에서 사용되는 각종 전자기기의 독자적인 model 개발을 위해서도 독자적인 IC 개발이 시급한 실정이다.

현재 국내 반도체업계의 현실을 간략하게 살펴보면 assembly와 공정 기술은 어느 정도의 수준에 도달해 있으나 IC의 근본적인 IC개발을 위해서는 설계기술의 개발이 시급하게 요구된다.

## 2. IC설계 과정

본론에 들어가기 앞서 IC 설계 과정을 잠시

소개하고자 한다. 그림 1에 IC의 설계 순서를 나타냈다. Product definition 단계는 어떤 IC를 만들겠다는 결정을 내리는 단계이고 그 다음 단계는 개발하려는 IC의 내부 구조를 어떤 방식으로 구성할 것인가를 결정하는 단계이다.

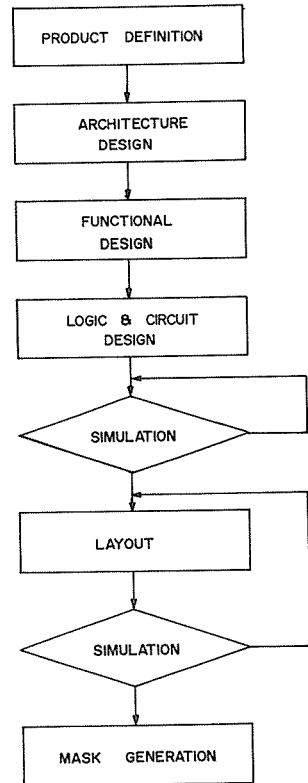


그림 1. IC 설계 순서

IC의 내부 구조가 결정되면 각 functional block의 기능을 정확하게 정한다. 다음 단계에서는 각 block의 구체적인 logic 및 회로를 설계한다. 회로 및 logic설계가 끝나면 설계된 회로 및 logic이 목적된 기능을 정확하게 수행하는가를 확인하는 simulation을 한다. simulation을 하는 방법에는 hardware simulation과 software simulation이 있다. 회로의 성격에 따라서 적당한 방법을 선택하여 simulation한다. simulation 결과에 따라서 설계된 회로를 수정 및 보완 하여 완전한 회로를 설계한다. 이와 같은 과정을 거쳐서 주어진 사양(specification)을 만족하는 완전한 회로가 설계되면 각 공정에 사용될 mask 제작을 위하여 layout 설계를 한다. layout 설계가 끝난 다음에도 회로 simulation을 한다. 이때는 layout된 각 소자의 전기적 parameter를 추출하여 simulation의 자료로 사용한다. 이 단계에서 layout상의 실수가 없다는 것이 확인 되면 mask 제작 단계로 넘어간다.

## II. 외국의 IC설계 현황 및 추세

반도체 제조 기술이 발달함에 따라서 그림 2와 같은 추세로 chip당 집적(integration)할 수 있는 소자 수가 증가해 왔다. [3] 43만개의 transistor를 가진 microprocessor가 1981년도에 Hewlett-Packard사에 의하여 개발됨으로써 VLSI(Very Large Integrated Circuit)시대가 도래한 것을 확실히 알 수 있다. [4] 그림 2와 같은 추세라면 83년 말이면 chip당 백만개의 소자를 집적할 수 있게 될 것이다.

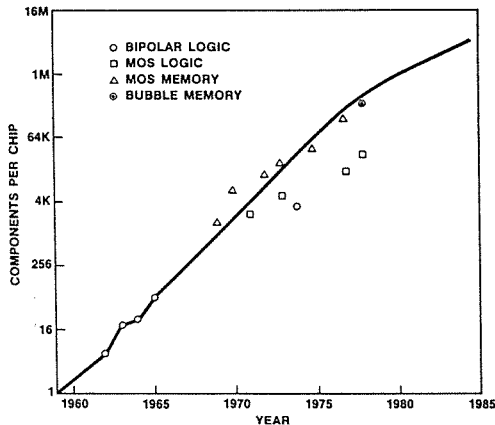


그림 2. Chip당 집적되는 소자 수 증가 추세

chip당 집적되는 소자의 수가 수십만개에 도달함에 따라 IC를 설계하는 데 많은 어려움이 발생되었다. 회로를 simulation하는데 있어서 hardware 방식은 상상할 수 없게 되었고 layout하는 데 있어서도 수많은 소자를 연결하는 도체의 엉킴이 없고 silicon의 낭비 없이 효과적으로 집적시키기 위해서 많은 시간과 인력이 요구되고 있다. 그리고 칩이 제작되었을 때 완전하게 동작되는 칩을 찾아내는 방법도 커다란 문제로 대두 되고 있다.

설계자동화(Design Automation)를 통하여 이러한 문제점들을 해결하려는 것이 선진 외국의 일반적인 추세이다.

이와 같은 문제점들을 어떻게 해결하며 어떤 추세인지 살펴보자.

### 1. Device Modeling

IC가 VLSI화 되어 감에 따라 설계된 회로의 성능을 예측하기 위해서는 software 방식에 의존할 수 밖에 없다. 정확한 회로의 성능을 분석하기 위해서는 그 IC에 사용될 소자의 modeling이 정확하게 되어야 한다. 소자의 modeling에 앞서 그 소자의 제작에 사용될 공정을 정확하게 분석해야 한다.

VLSI를 제작하기 위해서 소자가 소형화되어 소자의 크기가 sub-micron 단위까지 내려가게 되었다.

이와 같이 소자가 소형화 되어감에 따라 공정을 분석하는 데도 2차원적인 방법에서 3차원적인 방법으로 넘어가고 있다. [5], [6] 공정을 분석하는데 사용되는 program으로서는 SUPREM과 SAMPLE 등이 있다. [5], [6] 공정 분석 결과로 얻어진 physical parameter(불순물 분포, oxide 두께 등)와 기하학적인 parameter, mobility, life time 등을 이용해서 device simulation program으로써 소자의 전기적인 parameter를 얻는다. 현재 널리 알려진 device simulation program으로는 MINIMOS[7], MEDUSA[8] 등이 있고 일본에서 개발된 program으로 MODEST, CADDET, FEDAS 등이 있다. 이 program들은 모두 2차원적인 해석에 의존하고 있는데 머지 않아 3차원적인 해석 방법에 의한 program도 출현할 것이다. Computer를 이용한 수치 해석에 의한 device modeling 외에

통계자료에 의한 방법도 모색되고 있다. [10] 이 방법은 공정이 끝난 소자의 전기적인 parameter의 분포와 parameter간의 상관 관계를 이용하여 회로 해석을 하려는 방법이다.

## 2. Circuit & Logic Simulation

시간적 경제적인 면에서 설계된 IC가 요구하는 기능을 수행하는가를 미리 간접적인 방법으로 확인하는 것이 유리하다.

앞서 언급한 바와 같이 회로와 Logic simulation을 Software로 처리한다. 설계된 회로를 Simulation하는 방법으로는 circuit simulation, Logic simulation이 있다.

### 가. Circuit Simulation

Device simulation으로 얻어진 개별소자의 전기적인 parameter 만 있으면 회로 해석이 가능한 program들이 개발되어 있는데, 비교적 규모가 작은 회로를 해석하는 program으로 SPICE, ASTAP, ADVICE 등이 있으며 large scale 회로를 해석하기 위한 것으로는 MOTIS-C 등이 있다. [11] circuit simulation에 대해서 좀더 자세히 살펴 보자.

#### A. General purpose circuit Simulator

앞서 소개한 SPICE나 ASTAP은 다양한 회로들을 자세하게 해석하기 위한 것이며 회로의 여러 가지 특성을 해석할 수가 있다. 이들 program은 VLSI를 설계하기 위하여 각 sub-circuit나 gate를 설계하고 optimization하는 데 사용된다.

그리고 이 program들이 device 분석하는 데 사용된 회로 modeling의 정당성을 확인하는 데 사용되며 새로 개발된 large scale 회로 분석 program이 맞는지를 검정하는 데 사용된다. 이와 같은 역할을 고려해 볼 때 이 program 들은 sub-circuit의 menu나 각 소자가 결정되는 VLSI 초기 설계 단계에서 중요한 역할을 한다. 이 program들의 특징은 정확한 해석 결과를 얻을 수 있으나 회로 해석 시간이 길어서 실질적으로 해석할 수 있는 gate 수가 50~100개 정도로 제한된다는 것이다. [11]

#### B. Large Scale Circuit Simulation

앞서 소개한 SPICE나 ASTAP는 큰 system을 simulation 하는 데는 부적당하다. 모든 일에 trade-off가 있듯이 large scale circuit si-

mulation에도 정확도와 계산 속도간의 trade-off가 있다. 정확도면에서는 그 성능이 다소 떨어지지만 simulation 속도면에서 훨씬 개선된 program이 큰 system을 simulation하는데 필요하다. 이런 목적으로 개발된 program이 MOTIS DIANA RELAX 등이다. RELAX와 SPICE의 속도를 비교한 것을 보면 medium size 회로를 simulation하는데 RELAX가 SPICE보다 50배 정도 빠르다고 되어 있다. [12] Large scale circuit simulator는 신호 level은 정확하지 않으나 large system의 timing simulation을 하는데는 중요한 역할을 한다. 앞서 소개한 program위에 timing simulator로 사용되는 것으로는 MATIS, FNAP, MOSTAP 등이 있다. [9]

### 나. Logic Simulator

종래에는 logic simulation이 gate level에서만 행해졌다. 그러나 gate level simulator로써 simulation하기에는 어려운 회로들이 고안됨에 따라서 transistor level simulator가 등장하게 되었다.

#### A. Gate Level Simulator

이 simulator는 gate의 위치가 VLSI 실제 내부 외부에 관계없이 Simulation을 행하는 것이 특색이다. 따라서 이 simulator는 interconnection이 delay에 중요한 영향을 미치는 고성능 digital system(Bipolar System)을 해석하는 데는 logic simulation 외에 timing verification 까지도 비교적 정확하게 해석할 수 있다. 현재 50만개 정도의 gate를 simulation할 수 있는 program이 개발되어 있으므로 VLSI 전체를 해석할 수 있는 유일한 것이 gate level simulator이다. [11] simulation을 행하는 기법으로는 compiled code simulation, parallel simulation, table look up 등이 사용되고 있다.

#### B. Transistor Level Simulation

Transistor로 직접 설계함으로써 gate로 설계할 때 보다 하나의 transistor에서 많은 기능을 얻을 수 있다. 따라서 transistor level로 설계하는 것이 보다 나은 회로를 설계할 수 있다. Transistor level로 설계하는 기법은 주로 MOS 회로를 설계하는 데 사용된다. 이런 목적의 program은 transistor가 하나의 Simulation element로 취급되므로 simulation을 위해서는 회로

및 각 transistor의 type 등 필요하다. 이런 목적을 위한 program이 MOSSIM인데, MOSSIM은 약 10만개 정도의 transistor로 구성된 MOS회로를 해석할 수 있다. [11]

이상에서 소개한 각 Simulator의 특성을 간단하게 요약하면 표 2와 같다.

표 2. Circuit simulator와 Logic simulator의 특성 비교

		Signal level accuracy	Timing accuracy	Circuit handling capacity
Circuit Simulator	General purpose	++	++	--
	Large scale	+	+	-
Logic Simulator	Gate level	--	Bipolar + Mos	++
	Transistor level	-	-	+

+ : Good - : Poor

### 3. Layout 설계

IC 설계하는 과정에서 man-power가 가장 많이 요구되는 단계가 layout설계 단계이다. Layout 설계할 때 IC설계 가격과 생산 가격을 잘 고려해야 한다. 집적도가 높은 IC는 설계 가격이 올라가나 생산 가격이 내려간다. Layout 설계 방식에 따라서 집적도와 설계시간이 결정되므로 생산될 volume에 따라 layout 방식을 결정해야 한다. [13] 현재 일반적으로 사용되고 있는 layout 방식을 알아보고 각 방식의 장단점을 아래에서 설명코자 한다.

#### 가. Hand-drafted method

IC layout에서 규칙적인 구조(ROM, RAM, PLA)가 증가하고 있지만 많은 IC들이 수동으로 layout되는 것은 이 방법이 다른 방법보다 집적도를 높일 수 있기 때문이다.

그러면 수동 layout 방식을 생각해 보자.

첫번째로 digitizing 방식을 들 수가 있는데, 이 방식은 layout을 미리 손으로 mylar sheet에 그려서 각 mask level의 정보를 computer에 입력시켜서 mask를 제작한다. 이 방법은 layout 설계를 하는 사람이 design rule을 철저히 알아야 하며 mylar sheet에 layout을 하는데 많은 시간이 걸리는 단점이 있다.

두번째로 computer terminal의 screen에 직접 drawing하는 방법인데 layout drawing과 동시에 design rule check 및 전기적 parameter 추출이 가능하다.

세번째로 computer language로써 layout하는 방식이 있는데 일반적으로 널리 사용되는 방식이 아니다. Batch mode process라는 단점을 가지고 있다.

#### 나. Symbolic Approach

Mead와 Conway가 옹호하는 방법으로 computer와 미리 약속된 부호를 이용하여 layout을 하는 방법인데, design rule을 간략화 함으로써 layout작업이 간략해진다. 이 방식에서 요구되는 design rule들은 mask layer들의 space와 width, interconnection rule, active area 설정 원칙 등이다. 따라서 초심자라도 원하는 회로가 있으면 간단한 design rule에 의하여 layout을 할 수 있으며, 경험이 있는 기술자는 layout 부담이 줄어들므로써 더 복잡한 IC를 설계할 수 있다.

Symbolic layout에는 fixed grid layout, sticks layout이 있는데 자세한 내용은 생략한다. [13] Symbolic layout을 한 예를 그림 3, 4에 나타냈다. 그림 3은 layout하는 사람이 그린 것이고 그림 4는 그림 3을 입력으로 하여 computer가 내어주는 출력 layout이다. [13]

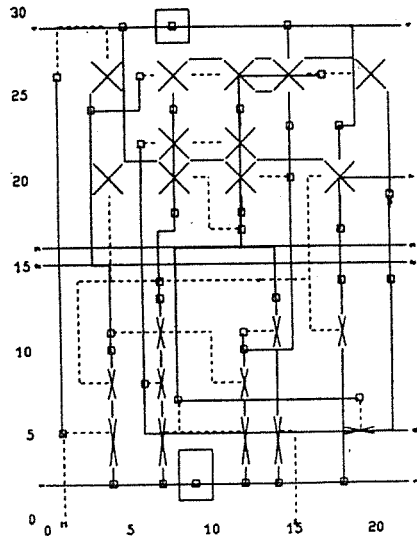


그림 3. Symbolic layout의 입력

#### 다. Building Block Approach

전체 IC를 구성하는데 필요한 block을 layout한 후에 이 block들을 적당한 간격을 사이에 두고 배치한다. 그 다음에 각 block들을 서로 연결시켜서 완전히 IC layout을 하는데, 필요에

따라서 block을 옮겨가면서 interconnection을 원활하게 한다. Interconnection을 수동으로 하는 방법과 computer로 자동으로 처리하는 두 가지 방법이 있다. [14] 이 layout방식은 아주 신속하고 안전한 방식인데 집적도와 성능이 엄격하지 않는 midium size logic을 layout하는데 적합하다[13] 장점은 동일회로의 description을 layout 및 logic simulation과 test pattern을 만드는데 사용할 수 있다는 것이다.

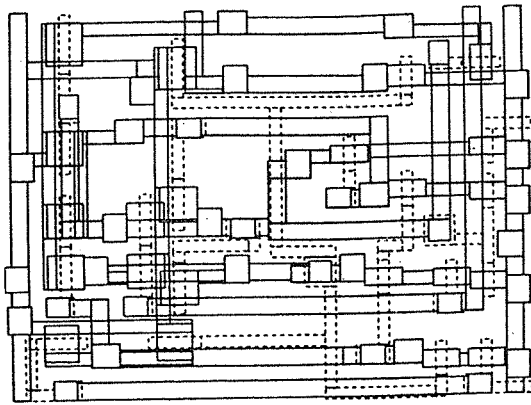


그림 4. Symbolic layout에 의한 computer의 출력 layout

#### 라. Gate Array Approach

일반적으로 custom IC는 짧은 시일내에 개발 되어야하는 것이 특징이다. Gate Array 방식에서는 IC 개발기간을 단축시키기 위해서 interconnection을 하는데 필요한 mask level 전까지 공정을 끝낸 wafer를 준비해 두고 있다. Custom IC주문이 오면 logic설계를 거쳐 설계된 회로에 따라 이미 공정이 되어 있는 소자들을 연결시키는 mask만 제작하면 된다. Array에는 transistor array와 gate array가 있으며 소자를 연결하는 방식에는 수동으로 하는 방식과 computer를 이용해서 자동으로 하는 방식이 있다. [14] Gate Array방식은 설계시간을 단축시킬 수 있으나 Silicon이 wafer의 손실이 많으며 집적시킬 수 있는 소자의 수가 제한 된다.

지금까지 설명한 각 방식의 장단점을 정리하면 표 3과 같으며 layout방식에 따른 집적도와 설계시간 관계를 그림 5에 나타냈다. [13]

#### 4. Testability

VLSI를 test하는데 있어서 test pattern generation과 fault simulation을 통하여 test verification을 하는 일이 큰 문제로 등장되고 있다. [15] Test pattern은 IC내부의 fault를 찾아내는 역할을 하고 fault simulation은 IC내부의 fault를 가정해서 주어진 test pattern으로 test했을 때 가정한 fault를 찾아내는가를 확인하는 일을 한다. IC의 logic이 복잡해짐에 따라서 test pattern으로 완전하게 fault를 찾아내는 일은 거의 불가능 하다. 그러나 가능한 한 많은 fault를 찾아내는 test pattern을 제작하려고 많은 노력을 기울이고 있다. Test pattern을 제작할 때 fault simulation을 동원하기도 한다. 이 모든 작업들을 computer를 이용해서 자동적으로 처리하려는 추세에 있다. [15]

IC를 처음 설계하는 과정에서 test를 용이하게 하기 위해서 ADHoc design, structure design, self testing, built-in test 등의 방법을 동원하여 설계를 하고 있다. [15]

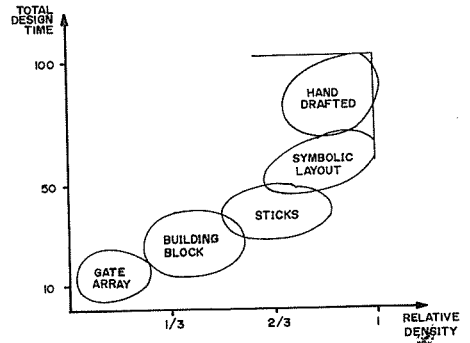


그림 5. Layout 방식에 따른 집적도와 설계시간

#### 5. 장래의 추세

앞서 언급한 IC 설계기술들은 이미 개발되어 실무에 사용되고 있거나 미흡한 점을 보완하기 위하여 수많은 사람들이 부단한 노력을 계속하고 있다. 머지않은 장래에 이런 설계기술들이 하나의 CAD (Computer Aided Design) System을 구성하여 VLSI 설계를 하는데 일대 변혁을 초래할 것이다. 예를 들자면 회로들이 high level language와 functional description으로 주어지면 layout이 자동적으로 만들어지며 그 회로의 성능이 Simulation 되어 나온다. 그리고 반도체를 모르는 system engineer들이 자동화

Evaluation Implantation methods	Evaluation				DATA PROCES- COSTS implantation
	DENSITY	SPEED	SECURITY		
Display	+++	---	---		---
Digitizer	+++	---	---		---
Language	+++	---	---		---
			DRC obligatory		(with DRC) ++++
Manual	---	+	-		0
Auto Routing	---	++	++		++
Full Automatic	---	+++ 200 blocks a week	+++		+++
Gate Arrays	--	++	++		

+ Good  
0 Medium  
- Poor

된 설계 system을 이용하여 VLSI를 설계하게 될 것이다. [16]

### III. 한국의 현실 및 설계기술 토착화 방안

한국에서 IC 제조 설비를 갖춘 회사로는 금성반도체, 대우전자, 삼성반도체통신이 있으며 반도체 전문연구기관인 한국전자기술연구소가 있다. 이들이 갖추고 있는 설계장비는 회로 Simulation을 위한 SPICE program과 digitizing을 위한 APPLICON CAD system, CALMA CAD system이 있다.

이 설계장비들은 외국의 것에 비하여 너무나 빈약하다. 이 장비들조차도 reverse engineering하는 데 사용되고 있어서 독자적인 IC 설계는 거의 전무한 상태라고 할 수 있다. 한국에 반도체산업이 상륙한 지 10년이 넘었으나 아직까지 설계기술이 토착화되지 않은 이유로는 여러 가지가 있겠지만 다음 세 가지를 들 수 있다.

첫째, 경영진의 반도체 사업에 대한 조급한 기대감이 설계기술자를 어쩔 수 없이 reverse engineering하게 하였다. 둘째, 특정한 IC설계를 독자적으로 설계하라고 설계기술자에게 임무가 부여되었다고 하더라도 능력과 경험 부족으로 설계를 성공적으로 수행할 자신이 없기 때문에 외국 IC 설계를 그대로 따라하게 되었다. 셋째, 설계장비 부족으로 인하여 설계하는 데 많은 시간이 소요되고 설계기술자가 자신이 설계한 IC의 성능에 대한 확신을 가질 수 없다.

그러면 이러한 문제점을 해결하기 위해서 어떻게 해야 할 것인가?

첫째, 경영진들은 10년 후를 위하여 투자한다는 마음가짐으로 설계기술 출적에 적극적인 투자를 할 것.

둘째, 설계기술자들은 보다 분발하여 자신의 실력을 배양하고 경영진은 설계기술자가 해외 기술연수 등을 통하여 설계기술을 조속히 습득할 수 있게 모든 방법을 강구할 것.

셋째, 한국의 VLSI시대를 대비하여 설계장비를 충분히 준비할 것. 그런데 미국에서 작년 말에 반도체기술 해외 유출을 방지하기 위하여 각종 software package의 수출금지 조치가 행하여졌다. 따라서 우리는 어쩔 수 없이 자체적으로 software package를 개발해야만 한다. 각 기업과 연구소가 따로따로 설계장비를 개발하는 것보다는 범국가적인 산학협동 체제를 통하여 시간과 인력을 절약하여 효율적인 방법으로 일을 진행시켜야 할 것이다. 위에서 열거한 방안 외에 반도체 저변인구 확대를 위한 각종 seminar, 단기강좌 등을 개최할 것이며 반도체 회사와 set maker와의 빈번한 접촉으로 새로운 제품 개발을 꾀하는 것이 바람직하다.

마지막으로 첨언하고 싶은 것은 선진외국에 비해서 설계기술이 뒤떨어졌다고 비판할 것이 아니고 경영진과 설계기술자들은 반도체 설계기술을 토착화 하겠다는 굳건한 정신 자세로 꾸준이 밀로 나가면 우리도 몇 년 내에 독자적으로 설계된 IC가 사용된 전자제품을 가지고 세계시장에 당당하게 진출할 수 있을 것이다.

## 참 고 문 헌

- [1] 전자진흥, 한국전자공업진흥회, 1981. 11. Page 121~125
- [2] 전자진흥, 한국전자공업진흥회, 1982. 5, Page 91~99
- [3] Carver Mead, "Lecture 1.2-VLSI design; A perspective," Introduction to VLSI system design, VLSI Tech., Inc., 1982
- [4] Robert Bernhard, "VLSI/LSI components," IEEE spec., Vol. 19, No. 1, 1982
- [5] D. A. Antoniadis, S. E. Hanson, and R. W. Dutton, "SUPREM-a program for IC Process modeling and simulation," Stanford Electronics Labs, Stanford Univ., Sanford, CA, Tech. Rep., SEL 78-020, 1978
- [6] K. Lee, Y Sakai, A. R. Neureuther, "Topography dependent step coverage resistance simulation," Tech. Dig. of 1982VLSI symp, 1982. 9, Oiso, Japan.
- [7] S. Selbe herr, W. Fitchner, and H. W. Pöztl, "MINIMOS-A program Package to facilitate MOS design and analysis," in Numerical Analysis of Semiconductor Devices, B. T. Brown and J. J. H. Miller, Eds. Dublin, Ireland : Boole Press, 1979
- [8] W. L. Engl, R. Laur, and H. K. Dirks, "MEDUSA-A simulator for modular Circuits," IEEE Trans. Computer-Aided Des., vol. CAD- 1, 1982
- [9] T. Sudo, T. ohtsuki, and S. Goto, "CAD Systems for VLSI in Japan," IEEE proc., vol. 71, no. 1, 1983
- [10] S. Inohira, T. Shinmi, M. Nagata and K. Lide, "Statistical modeling for Large Scale Integrated Civccit Design," Tech Dig of 1982 VLSI symp., 1982, 9, oiso, Japan, 1982
- [11] A. E. Ruehli and G. S. Ditlow, "Circuit Analysis, Logic Simulation, and Design Verification for V-LSI," IEEE, proc., vol. 71, No. 1, 1983
- [12] E. Lelarasme and A. Sangiovanni - Vincentelli, "RELAX: A new circuit simulator for large scale M-OS integrated Circuits," Electronic Research Laboratory, Univ. of California, Berkeley, Memo UCB /ERL M82/6, Feb. 1982.
- [13] J. P. Adenier, "Digitizing, Layout, Rule Checking-The Everyday Tasks of Clip Designers," IEEE Proc., vol. 71, No. 1, 1983
- [14] Se June Hong, Ravi Nair, "Wire-Routing Machines-New Tools for VLSI Physical Design," IEEE Proc., vol. 71, No. 1, 1983
- [15] Thomas W. Williams, K. P. Parker, "Design for Testability-A Survey." IEEE proc., Vol. 71, No. 1, vol. 71, No. 1, 1983

