

論 文

# 어댑티브 델타 변조 알고리즘 연구

正會員 沈 壽 輔\*

## A Study on the Adaptive Delta Modulation Algorithm

Soo Bo SIM\*, *Regular Member*

**要 約** 본 논문은 음성신호의 델타 변조(이하 DM이라고 약칭함)에 관한 step size의 적응(adaption)에 대하여 연구한 것이다. 선형 및 지수적인 적응 중에서 지수적 적응 알고리즘을 채택하고 또 복호기에서의 오차회복시간을 단축시켰다. 그리고 한 알고리즘에 대해서 비례 적산기를 사용하여 실제적인 논리회로 구성법을 제안하였으며 500Hz의 정현파 신호를 16kHz의 펄스로 표본화하여 제안회로에 대한 타당성을 실험적으로 확인하였다.

**ABSTRACT** In this paper, a method of the step size adaption is studied on the delta modulation coding of speech signals. Exponential adaption processes are reserched by a new circuit model. It is presented a shorten error recovery in decoder step size. Practical considerations favor one algorithm, and its digital implementation has been adapted for the illustration of above method, using the rate multipliers and the validity is verified by laboratory experiment.

### 1. 서 론

DM(Delta Modulation)이란 애널로그 신호를 디지털 신호로 부호화하는 변조기술 중의 하나이다. 그림 1에서 펄스 발생기는 일정한 크기의 펄스를 발생시키고 변조기는 차신호  $\Delta(t)$ 가 정(正)이면 입력 펄스  $P_i(k)$ 에 +1을, 부(負)이면 -1을 곱하여 출력  $P_o(k)$ 를 내보낸다. 이  $P_o(k)$ 를 적분한 후에 입력신호  $m(t)$ 와 비교해서  $\Delta(t)$ 를 내보낸다.

이 방법은 입력신호가 갑자기 증감하면 slope overload가 발생하거나 신호의 크기가 거의 변하지 않을 때는 granular noise가 증가한다<sup>1)</sup>. 입력신호  $m(t) = A \sin \omega t$ 인 경우에 최대의 기울기는

$2\pi f A$ 가 되고 step size가  $S$ , 표본화 주파수를  $f_s$ 라고 하면 각 표본화 펄스 사이에서  $m(t)$ 의 평균 기울기는  $S f_s$ 로 되기 때문에 slope overload는  $2\pi f A \geq S f_s$ 의 범위에서 발생한다. 그림 2는 slope overload에 의한 distortion과 granular noise를 표시하고 있다. 이 두 가지 영향을 줄이기 위해서 펄스의 step size가 신호의 증가율에 비례하도록 하는 adaptive delta modulation(이하 ADM이라 함)

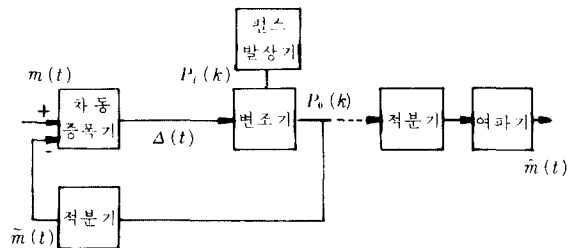


그림 1 델타 변조기의 구성  
Configuration of DM.

\* 崇田大學校工科大学電子工學科  
Dept. of Electronic Engineering, Soongjun University,  
Seoul, 151 Korea.  
論文番號 :83-17(接授日字 1983. 9. 3)

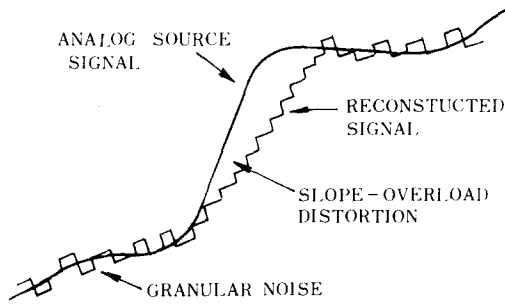


그림 2 경사과부하 및 그레놀라 잡음  
Slope overload distortion and granular noise.

방법을 쓴다.

ADM은 1 bit differential coding으로 신호  $m(t)$ 와 근사신호  $\hat{m}(t)$ 를 비교하여 그 차이  $D$ ,  $Q$ 에 따라 펄스의 step size를 增減시키므로 step size는 입력신호의 증가율의 크기에 비례하게 된다.

본 논문에서는 최소치를 1로 하고 최대치는  $255(2^8 - 1, 8\text{bit})$ 로 하였다. 그러나 신호가 없을 때에 step size가 "0"인 점을 고려하면  $256(2^8)$ 개가 된다. 최적 step size는 SNR을 최대로 하는 값으로 결정한다.

부호기에서는 근사신호  $\hat{m}(t)$ 를 만들어 내며 통신 채널을 거친 복호기에서는 이 2진수열로  $\hat{m}(t)$ 를 만들어 낸다. 즉 step size를 적응시키면 통신 채널에서의 오차의 비율은 줄어든다. 그림 3은 ADM system의 codec의 구성도를 나타내었다.

본 논문에서는 이상과 같은 논리에 근거하여 step size의 오차를 계산하였다.

## 2. Step Size의 전송

신호의 증가율이 클 때는 slope overload를 방

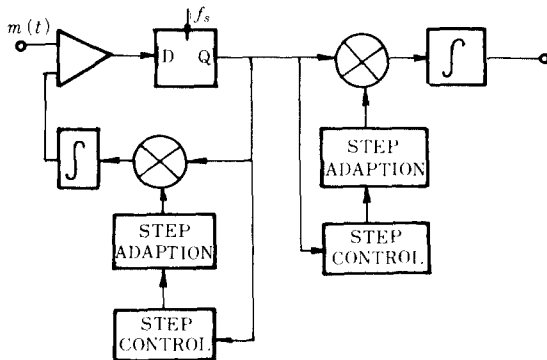


그림 3 적응 델타 코덱  
Adaptive delta codec.

지하기 위하여 step size를 크게 하고 신호가 거의 일정한 때는 "1"과 "0"이 교대로 나타나므로 granular noise를 줄이도록 step size를 작게 해야 한다. step size를 적응시키기 위한 제어신호는 출력 2진수열의 현 상태와 전 상태를 비교함으로써 얻게 되는데 출력이 "11" 혹은 "00"으로 나오면 step size를 증가하게 하는 제어신호를, "01" 혹은 "10"으로 되면 step size를 작게 하는 제어신호를 발생시키면 된다.

step size를 증가하게 하는 신호가 발생할 확률을  $P_i$ 라고 하면 최대의 SNR은  $P_i=0.5$ 에서 얻어진다<sup>(5)</sup>.

ADM에서 step size변화는 입력신호의 증가에 따라 지수적으로 또는 선형적으로 변화하는 방법을 사용하는데 선형적 적응은 비교적 간단한 반면 step size오차의 회복이 느리기 때문에 본 논문에서는 지수적 적응법을 채택하였다.

지수적 방법을 식으로 표시하면

$$S(k+1) = \begin{cases} S(k) \cdot R_i & \text{신호 증가시 (I-1)} \\ S(k) \cdot R_a & \text{신호 감소시 (I-2)} \end{cases}$$

여기서  $R_i$ 와  $R_a$ 는

$$R_i = \frac{S(k+1)}{S(k)}, \quad R_a = \frac{S(k)}{S(k+1)} \quad (2)$$

이다. 이것은  $k+1$ 번째 step size와  $k$ 번째 step size의 비이며  $R_i > 1$ ,  $R_a < 1$ 이다.

신호의 평균 증가율과 감소율이 같다면 step size의 증감량은 같아야 되므로 다음과 같은 식이 성립된다.

$$P_i \log R_i - P_a \log \frac{1}{R_a} = 0 \quad (3)$$

여기서  $P_i$ 는 step size가 증가할 확률이고  $P_a$ 는 감소할 확률이다. 그림 4를 보면  $P_i=0.5$ 때 SNR

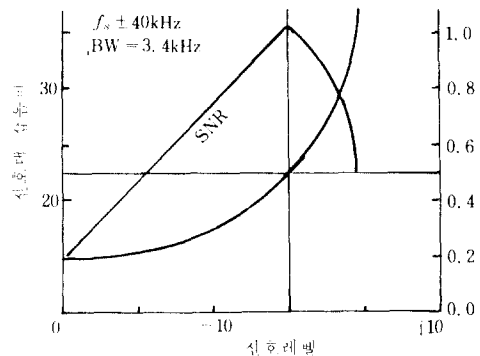


그림 4 Step size가 일정할 때의 SNR  
SNR at constant step size.

이 최대이고 그 이외의 경우는 감소하고 있다. 만약 신호가 증가할 때와 감소할 때의 step size 가 같지 않다면 SNR은 감소할 것이다.

### 3. Step Size Mistracking의 교정

복호기에서 step size 오차를 시간에 따라 감소시키는 기술에 대해 지금까지 연구된 자료를 열거하면 표 1과 같다. 여기서  $\delta$ 는  $k$ 번째 표본 펄스에 대한  $k+1$ 번째 펄스의 step size의 미소변화화이고  $N_R$ 은 step size 오차회복 시정수이다.

step size의 변화에 대해 응답속도가 빠른 지수적인 적응을 채용하였으므로 이 알고리즘은 다음과 같다.

$$S(k+1) = S(k) (1+\delta)^{a(k)} + F \quad (4)$$

여기서  $a(k)$ 는 신호 증가시 +1, 감소시 -1임. 또  $F$ 는 수렴함수로서 복호기 step size를 부호기 step size에 수렴하도록 한다.

식(4)에 따라

$$S(k+1) = S(k) (1+\delta)^{a(k)} + F_E \approx S(k) [1+\delta a(k)] + F_E : \delta \ll 1 \quad (5)$$

$$0 = \delta(P_i - P_d)S_E + F_E \quad (6)$$

$$P_i = \frac{1}{2} - \frac{F_E}{2\delta S_E} \quad (7)$$

여기서 첨자  $E$ 는 Encoder를 의미한다.

복호기에서 오차가 지수적으로 감소한다면 다음 식으로 표시할 수 있다.

$$e = e_i \text{Exp}[-kT/\tau] \quad (8)$$

$$\frac{de}{dk} = -\frac{T}{\tau} e \quad (9)$$

여기서

$e$ : 복호기 오차

$e_i$ : 초기 오차

$\tau$ : 시정수

$k$ : 표본 펄수의 수

$T$ : 표본화 간격

따라서 오차를 초기치의 36.8%로 줄이는데 필요한 표본화 펄스의 수  $N_R$  (step size의 오차회복 시정수)는

$$N_R = \tau/T \quad (10)$$

통신 채널에서 오차가 없으면 확률  $P_i$ 는 부호기와 복호기에서 같게 될 것이고 또 복호기의 step size는 부호기의 step size에 오차를 더한 값이 될 것이다. 이 오차는 각 표본화 펄스때마다 감소하여  $N_R$ 개의 표본화 펄스때는 36.8%로 감소하게 된다.  $N_R$ 을 구하기 위해서 식(5), (6)을 이용하면

$$e(k) = S_D - S_E \quad (11-1)$$

$$e(k+1) = S_D + \delta(P_i - P_d)S_D + F_D - [S_E + \delta(P_i - P_d)S_E + F_E] \quad (11-2)$$

$$\frac{\Delta e}{\Delta k} = \delta(P_i - P_d)(S_D - S_E) + F_{(S_i+e)} - F_{(S_i)} \quad (12-1)$$

$$= \delta(P_i - P_d)e + F_{(S_i+e)} - F_{S_i}e \quad (12-2)$$

그런데  $(P_i - P_d) = -F_E/\delta S_E^*$ 이므로

$$\frac{\Delta e}{\Delta k} = -\frac{F_E}{S_E}e + \frac{dF_E}{dS_E}e \quad (12-3)$$

$$\therefore N_R = \frac{1}{F_E/S_E - dF_E/dS_E} \quad (13)$$

표 1 적응 알고리즘의 계수

Coefficient of the adaptive algorithms.

	수렴함수 $F$	$P_i$	$N_R$
선형 ( $L_1$ )	$-\epsilon\sqrt{S(k)}$	$0.5 + \epsilon\sqrt{S}/2\delta$	$2\sqrt{S}/\epsilon$
" ( $L_2$ )	$-\epsilon S(k)$	$0.5 + \epsilon S/2\delta$	$1/\epsilon$
" ( $L_3$ )	$\epsilon[S_m(k_1^*/2 - S(k))]$	$0.5 - [\epsilon S_m(k)/2 - S(k)]/2\delta$	$1/\epsilon$
지수형 ( $E_1$ )	$\epsilon$	$0.5 - \epsilon/2\delta S$	$S/\epsilon$
" ( $E_2$ )	$\epsilon\sqrt{S(k)}$	$0.5 - \epsilon/2\delta\sqrt{S}$	$2\sqrt{S}/\epsilon$
" ( $E_3$ )	$-\epsilon S(k)$	$0.5 + \epsilon/2\delta$	$\infty$
" ( $E_4$ )	$-\epsilon[S(k)]^{\frac{1}{2}}$	$0.5 + \epsilon\sqrt{S}/2\delta$	$2/\epsilon\sqrt{S}$
" ( $E_5$ )	$-\epsilon S^2(k)$	$0.5 + \epsilon S/2\delta$	$1/\epsilon S$
" ( $E_6$ )	$-\epsilon S(k) \ln \frac{S(k)}{S_{om}(k)**}$	$0.5 + \epsilon \ln\left(\frac{S}{S_{om}}\right) / 2\delta$	$1/\epsilon$

\* step size  $S(k)$ 의 최대치

\*\*  $S(k)$ 의 최대, 최소의 기하학적 평균치

여기서

- $S_E$ : 부호기 step size
- $F_E$ :  $S_E$ 에 대한 수렴함수
- $S_D$ : 복호기 step size
- $F_D$ :  $S_D$ 에 대한 수렴함수

시정수  $N_R$ 과  $P_i$ 의 기울기와와의 관계는 식(6)을 이용하면

$$F/S = -\delta(P_i - P_a) \tag{14}$$

$$\begin{aligned} \frac{dF}{dS} &= -\delta(P_i - P_a) - \delta S \frac{d}{dS} (P_i - P_a) \\ &= -\delta(P_i - P_a) - 2\delta S \frac{dP_i}{dS} \\ &= -\delta(P_i - P_a) - 2\delta \frac{dP_i}{d \ln S} \end{aligned} \tag{15}$$

식 (14), (15)를 식(13)에 대입하면

$$N_R = \frac{1}{2\delta \frac{dP_i}{d(\ln S)}} \tag{16}$$

표 1에서 앨고리즘  $E_i$ 은 신호의 기울기가 상당히 클 때에도 step size 적용의 속도가 빨라 SNR을 좋게 하므로 음성의 부호화에 적합하다고 판단하여 이 앨고리즘을 digital비례 적산기를 사용하여 새로운 형태의 논리회로를 실현하고 그 결과를 실험을 통해서 확인하였다.

#### 4. 실험 및 결과검토

지수적 적용을 논리회로로 성취하기는 매우 어렵지만  $\delta \ll 1$ 을 감안하면 지수부분을 가산기를 써서 근사화할 수 있다. 식(5)에서  $\delta=1$ 로 하면

$$\begin{aligned} S(k+1) &= S(k) (1+\delta)^{a(k)} + F_E \\ &\cong S(k) (1+\delta), \text{ 단 } a(k)=1 \end{aligned} \tag{17}$$

$$\begin{aligned} S(k+1) &\cong S(k) \frac{1}{1+\delta}, \text{ 단 } a(k)=-1 \\ &\cong S(k) (1-\delta) \end{aligned} \tag{18}$$

식(17), (18)을 보면 step size  $S(k)$ 에 작은 부분  $\delta S(k)$ 를 加(減)함으로써 step size는 대략 指數的으로 增(減)함을 알 수 있다.

그림 5에 shift register와 full adder를 사용한 직렬 가산기를 보였다.

$a(k)$ 는 加, 減算을 위한 제어만 하면 되므로 digital논리회로에서  $1/2 \cdot [1+a(k)]$ , 즉 "1"과 "0"의 값을 갖도록 한다. 직렬 가산기 회로에서 14 bit 중 6 bit만을 truncation 하였으므로 MSB는  $Q_1$ , LSB는  $Q_8$ 이 되고 또 작은 부분은  $Q_{14}$ 에서 얻는다. 그래서 작은 부분  $\delta S(k)$ 는

$$\delta S(k) = S(k)/64$$

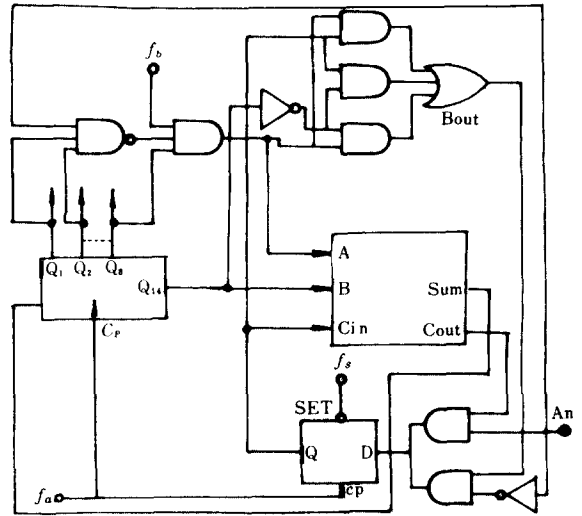


그림 5 직렬가산기  
Serial adder.

가 된다.

register의 over flow를 막기 위해서  $Q_1 \sim Q_3$ 에서 1을 검출한 다음 full adder를 제어하여 加算을 중지시켜야 한다. 또  $Q_8$ 이하 6bit는 切捨하였으므로 step size가 작은 경우에는 각 표본화때마다 step size의 加(減)이 되지 않는다. 그래서 加算器의 carry flip-flop을 표본화때마다 presetting하여 step size를 증가시키면 최하위 bit에 "1"이 더 가해진다. 이 addition constant의 평균치는  $P_i$ 를 0.5로 하면 대략 최하위 bit의 1/2이 된다. 이 상수  $\epsilon$ 로 인하여 복호기의 step size가 부호기의 step size에 수렴하게 된다. 본 실험에서는 이 상수의 평균치와 시정수는

$$\epsilon = P_i \left( \frac{1}{64} \right) \cong \frac{1}{128}, \quad N_R = \frac{S_E}{\epsilon} \cong 128 S_E$$

이다. 그림 6에 ADM codec의 전체회로를 나타내었다. 직렬 가산기는 다른 회로와 함께 step size제어기로 작용한다. ADM codec의 全回路는 그림에서와 같이 full adder, latch, 증폭기, 비교기, D/A convertor, 적분기 및 몇 개의 gate를 사용해서 구성하였다. 증폭기는 비교기에서 충분히 작은 값까지 비교할 수 있도록 미리 入力信號  $m(t)$ 와 復원信號  $\hat{m}(t)$ 의 차를 증폭하는 차동 증폭기를 사용하였다.

비교기는 이 出力이 正인지 負인지를 비교하고 이것이 latch를 통해서 디지털 출력이 된다. 다시 출력을 1 bit 지연된 출력과 비교하기 위해서 latch와 exclusive OR gate로 회로를 구성하였





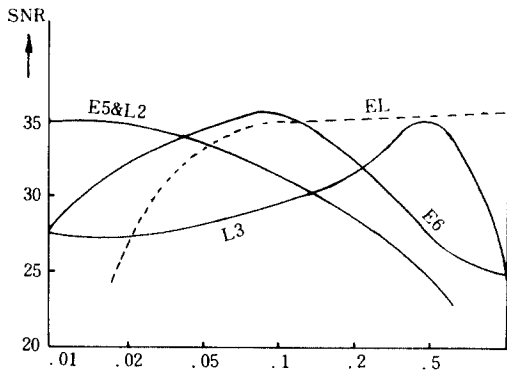


그림 9 신호레벨과 SNR (이론치)  
Signal level and SNR (theoretical).

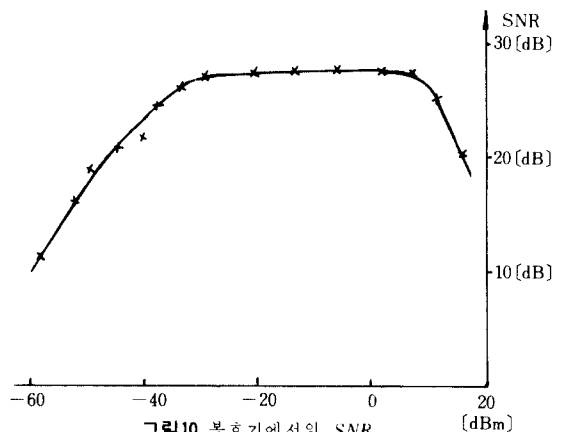


그림 10 복호기에서의 SNR  
SNR of decoder out.

구성에 있어서 rate multiplier를 쓴 지수적 적응법을 사용하여도 slope overload의 영향과 granular noise가 매우 改善되는 것을 확인하였으며 3dB의 적응을 얻는데 소요되는 시간은 선형적 적응과는 달리 1.397ms 정도의 짧은 간격이었다. 비례적산기를 입수할 수 있으면 표본화 주파수도 높일 수 있을 뿐만 아니라 사용 IC수(본 실험에서는 34개)도 매우 적어져서 간단한 회로구성을 할 수 있을 것으로 생각된다.

参 考 文 献

(1) H. R. SCHINDLER, "Linear, nonlinear and adaptive delta modulation," IEEE Trans. Commun., vol. COM-22, pp. 18

07-1823, Nov. 1974.  
 (2) -, "Delta modulation," IEEE Spectrum, vol. 7, pp. 69-78, Oct. 1970.  
 (3) D. Mitra and B. Gotz, "An adaptive PCM system designed for noisy channels and digital implementations," Bell Syst. Tech. J., vol. 57, pp. 2727-2763, Sept. 1978.  
 (4) N. S. JAYANT, "Adaptive delta modulation with a one bit memory," Bell syst. Tech. J., vol. 49, pp. 321-342, Mar. 1970.  
 (5) D. E. DODDS, A. M. SENDYK, and D. B. WOHLBERG, "Error tolerant adaptive algorithms for delta modulation coding," IEEE Trans. Commun., vol. COM-28, no. 3, pp. 385-391, Mar. 1980.  
 (6) D. J. Goodman and R. M. Wilkinson, "A robust adaptive quantize," IEEE Trans. Commun., vol. COM-23, pp. 1362-1365, Nov. 1975.



沈 壽 輔 (Soo Bo SIM) 正會員  
 1931年 5月 30日生  
 1958年 9月 : 서울대학교 工科大学 卒業  
 1981年 8月 : 全北대학교 大學院 博士課程 修了 (工学博士)  
 1970年 5月 ~ 1975年 8月 : 韓國航空大學 助教授  
 1975年 8月 ~ 1978年 8月 : 漢陽대학교 工科大学 副教授  
 1978年 8月 ~ 1982年 2月 : 中央대학교 工科大学 電子工學科 教授

1982年 3月 ~ 現在 : 崇田대학교 工科大学 電子工學科 教授