

# 超電導 電子素子

李 晟 漢\*

□ 차 레 □

서 론

- 1. Cryotron
- 2. 永久電流 記憶素子
- 3. 準粒子 터널素子

4. Josephson素子

- 5. Josephson素子の 集積回路化
- 參考文獻

## 서 론

超電導體가 正常상태에서 超電導상태로 되는 것은 냉각에 의하여 액체가 고체로 되는 것과 비슷한 일종의 凝縮상태로의 相轉移이다. 액체에서 고체로의 변화에 있어서는 그 構成原子的 배열이 規則性을 이루게 되는데 超電導의 경우는 電子系가 秩序정연한 상태로 되어 系 전체로서 正常상태보다 낮은 에너지상태를 이루게 된다. 絶對零度에서 超電導상태를 이루는 모든 물질의 電導電子는 電子一格子(lattice) 간의 상호작용을 통하여 반대방향의 運動量과 Spin 을 갖는 2개의 電子( $k\uparrow, -k\downarrow$ )가 서로 引力을 끼치어 雙(超電導電子雙; Cooper pair)을 형성하고 일종의 Bose 凝縮상태를 이룬다. 溫度가 상승하면 이들 雙의 일부는 勵起되어 일반적인 電導電子의인 성질의 準粒子(quasi-particle)로 된다.

正常的 電導에서는 개개의 電子가 다른 것들과는 무관하게 불규칙(random)한 運動을 하나 超電導의 경우는 電子雙이 서로 강한 相關關係를 갖게되며 전체적으로 보아 질서정연한 정도로 이동하여 電流에 기여하게 된다. 이것이 超電導에 있어서의 完全 電導性, 完全反磁性, 磁束量子化등의 독특한 특성의 원인이 되는 것으로 해석되고 있다. 즉 超電導상태에서는 모든 電子雙을 하나의 電子로 看做할 수 있는

하나의 波動函數  $\psi = \sqrt{n_s} \exp(i\phi)$ 로 표시할 수 있다. 이 函數를 秩序파라미터라 하며  $n_s$ 는 電子雙의 密度,  $\phi$ 는 位相이다. 2개의 超電導體를 서로 접근시켜 波動函數가 중첩되게 하면 이들 超電導體의 波動函數間의 位相差로 말미아마 干涉, 回折 또는 同期등의 현상이 나타나는데 이것을 Josephson 效果라고 한다.

超電導性 물질을 正常的 電導體로 하려면 그의 凝縮에너지보다 큰 에너지를 외부로부터 공급하여야 하거니와 이를 위하여는 超電導體에 熱을 주어 溫度를 상승시키는 외에도 磁界, 壓力, 超音波, 電磁波등을 인가하여도 가능하다. 따라서 超電導와 正常電導間에서의 轉移를 발생시켜 이들 두상태에 있어서의 현저한 電氣의성질의 차이를 이용하는 電子素子로서는 여러가지의 형식의 것이 가능하다. 超電導素子の 연구는 1956년 발표된 D. A. Buck 에 의한 “超電導 計算機素子, Cryotron”이 그 시초라고 할 수 있으며 그후 많은 제안이 제시되고 있거니와 동작원리에서 볼때 Cryotron, Crowe Cell, Tunneltron, Josephson 素子들이 대표적인 것들이다. 특히 Josephson 素子를 중심으로한 超電導集積回路는 美國의 IBM Watson 研究所를 비롯하여 日本등에서 활발한 개발 연구가 진행중에 있다.

## 1] Cryotron

超電導素子の 개발은 컴퓨터를 중심으로 한 각종 정

\* 正 會 員：서울大 工大 電子工學科 教授·工博

보처리장치에의 응용을 목표로 이루어진 것이며 이에 필요한 회로素子는 論理演算素子와 記憶回路素子로 구분된다. 論理演算素子는 쉽사리 식별되는 안정된 두 상태를 갖고있어 이들 상태사이의 轉移가 마음대로 그리고 또 쉽게 制御할 수 있어야 하는데 超電導體의 경우는 超電導상태와 正常(電導)상태가 이들에 대응된다. 이상과 같은 것을 具現시킬 대표적인 것이 크라이오트론이다. 捲線型의 경우는 비교적 臨界磁界가 작은 超電導 中心導體와 臨界磁界가 큰 材料로된 制御捲線으로 구성되며 制御捲線의 電流로 인한 磁界로 中心導體인 게이트(Gate)를 超電導와 正常電導상태로 轉移시키는 것이다. 즉 게이트의 抵抗을 零과 有限值로 변화시켜 게이트 電流를 제어하는 磁界制御型 增幅素子이다. 消費電力이 극히 적고 低雜音이며 構造가 간단한 특징이 있으나 動作速度가 낮아 수 100 [μs] 정도로 밖에 할 수 없는 단점이 있다. 따라서 이 素子는 論理回路素子로서 보다는 大電流開閉用的 超電導素子로서 개발이 진행되고 있다.

捲線型의 動作速度를 향상토록 고안된 薄膜型 크라이오트론이 있으며 이것은 그의 回路構成을 眞空 蒸着으로 동시에 실현할 수 있게 된 것이다. 그의 동작은 單捲의 捲線型 크라이오트론으로 보면 된다. 즉 制御線에 電流를 통하므로써 게이트膜의 超電導와 正常電導를 제어한다. 크라이오트론 論理回路는 電流를 차단한다기 보다는 情報에 대응되는 電流가

한 超電導通路에 통하도록 설계하여 쓴다.

크라이오트론의 게이트에다 並列로 超電導通路를 만든 素子에 記憶크라이오트론이라는 것이 있다. 이것은 情報入力の 우무를 기억할 수 있을뿐 아니라 人力情報에 따라 다른 크라이오트론의 게이트를 제어할 수 있어 論理素子로 이용할 수 있다.

薄膜크라이오트론에서는 게이트抵抗이 그 抵抗의 출현점에 있어서는 制御電流와 비례한다. 바이어스 電流를 이용하여 이 比例領域에 動作點을 설정하면 高感度 直線型 增幅器를 구성할 수 있다. 薄膜型에는 遮蔽薄膜型, In line 薄膜型등의 變型크라이오트론이 있다.

## 2 永久電流 記憶素子

記憶回路素子에서 요구되는 특성으로서는 쉽게 식별할 수 있는 안정된 2개의 상태가 존재하고 그들 각각의 상태가 외부로부터의 조작을 받지 않는 한 영구히 유지되는 성능이 필요하다. 超電導 記憶素子의 경우는 超電導體로 구성된 環路속을 일단 흐른 電流는 電氣抵抗이 零이므로 외부로부터 방해받지 않는 한 영구히 계속된다는 특성을 이용하는 것이다. 이 永久電流의 존재를 情報 1 또는 0의 축적에 대응시킬 수 있다. 이와 같이 永久電流(persistent current)를 이용한 記憶素子에는 앞의 記憶 크라이오트론이외에도 여러가지가 제안되고 있거나 Crowe Cell 은 대표적인 記憶素子이다. 鉛膜으로된 記憶力膜에 凹形 중앙을 橋絡한 모양으로 구멍이 2개 뚫려있어 이 구멍둘레를 따라 D字形의 超電導 環路가 2개 형성되게 되어 있다. X, Y 記錄(Write)線과 判讀(read)線은 각각 記憶膜 표면과 이면에 서로 절연된 상태로 배치되어 있다. 記錄線(즉 驅動線)에 記錄電流펄스를 인가하면 발생하는 磁束으로 인하여 記憶力膜의 2개의 D字形環路에 永久電流

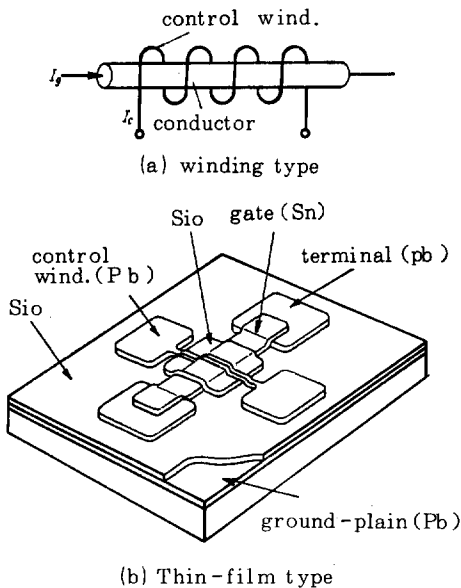


그림 1. 크라이오트론

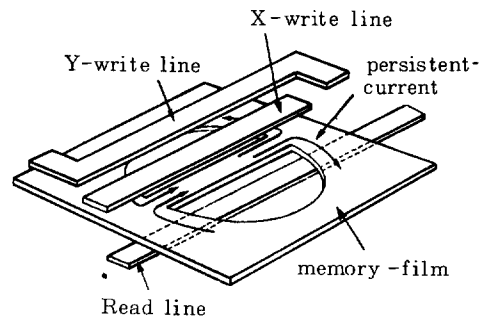


그림 2. Crowe cell

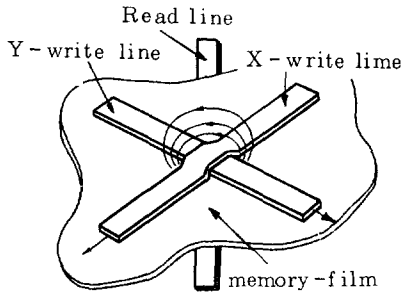


그림 3. 連續薄膜記憶素子

가 발생하며 情報의 기록이 이루어 진다. 判讀의 경우는 記錄線에 적당한 크기의 電流펄스를 인가하면 이리인해 記憶膜에 유기되는 電流가 이미 그곳에 기록된 永久環路電流와 서로합쳐지거나 상쇄된다. 후자의 경우는 記憶膜의 橋絡부분이 超電導상태에 머무러 判讀線을 記錄線으로부터 차폐하게 되어 判讀線에는 電壓이 유기되지 않는다. 전자의 경우는 記憶膜에 유기된 電流와 이미 그곳에 흐르고 있는 永久電流와의 합계가 橋絡부분의 臨界電流值보다 크게 되고 이 부분의 超電導상태가 깨져 抵抗性을 나타내는 결과 判讀線으로 磁束이 관통케 되고 이 線에 電壓이 유기되는 결과 出力電壓이 나타난다.

Crowe 셀로 메모리 매트릭스를 구성하려면 記憶膜에 많은 구멍을 균일하게 뚫어야 하는 고로 제작이 어렵다. 이 난점을 해결코저 連續薄膜記憶素子가 개발되고 있다. 이것에서는 구멍이 없는 한장의 연속된 記憶膜이 쓰인다.

### ③ 準粒子 터널素子

얇은 絶緣層을 사이에 두고 超電導상태에 있는 金屬體사이에서 電壓을 인가하면 絶緣層을 통하여 準粒子的 터널(tunnel) 電流가 흐르며 그의 電流-電壓特性은 터널·다이오드와 유사한 負性抵抗을 나타낸다. 超電導體사이에서 準粒子的 터널效果로 인하여 負性抵抗이 나타나게 된 素子를 터널트론(tunneltron)이라 하며 이와 같은 현상은 1960年 Giaever에 의하여 처음으로 보고된 것이다. 이 素子の 電流-電壓特性은 常溫에서는 數[mV]의 낮은 電壓범위에서는 直線의이나 이것을 冷却하여 한쪽 金屬만을 超電導상태로 하면 非直線特性을 나타낸다. 그 特性曲線의 굴곡정도는 溫度저하와 더불어 현저하게 된다. 두 金屬을 冷却하여 다같이 超電導상태로 하면 負性抵抗特性을 나타낸다. 터널트론을

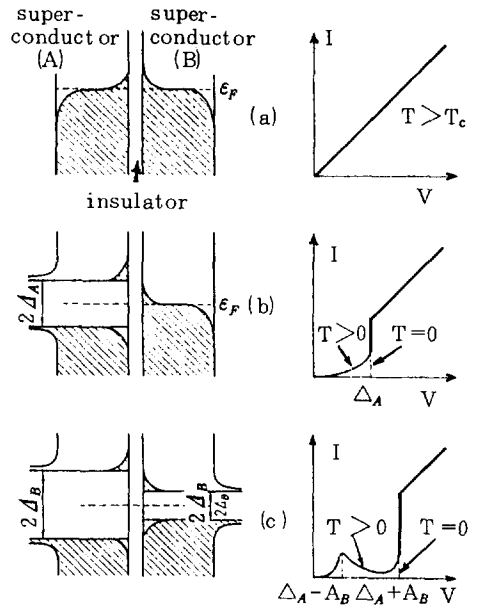


그림 4. 터널트론의 特性

가늘고 길게 제작하면 分布增幅線路로서 이용할 수 있다. 또 이것을 이용하면 動物의 神經系統과 유사한 機構의 새方式의 論理回路를 구성할 수 있다.

超電導體의 에너지 갭(gap)은 인가된 磁界의 세기가 증가하면 그 幅이 감소되며 臨界磁界值 Hc에서는 零이 된다. 이 에너지갭의 幅이 변하면 超電導 2極터널素子の 電流-電壓特性이 변한다. 따라서 터널素子에 磁界를 한 入力으로서 인가하면 3端子增幅素子로서 작동시킬 수 있다. 즉 磁界制御 터널素子가 된다. 磁界로서는 外部磁力界 또는 自己磁界를 이용할 수 있다. 터널素子の 非直線特性을 이용한다면 한쪽 極의 金屬은 正常電導상태를 이루는 것을 써도 무방할 것이며 예컨대 Al을 쓰고 상대방 超電導상태를 이룰 金屬으로서 臨界溫度 Tc가 비교적 높은 것을 이용한다면 絶緣層의 문제도 해소될 것이다.

超電導상태의 물체에 電磁波를 쏘아주면 에너지·갭 아래쪽에 있는 電子들이 勵起되어 그의 電流-電壓特性이 크게 변한다. 이 效果를 이용한 마이크로波檢出表가 Burnstein (1961年), Dayem (1962年) 등에 의하여 제안되고 있다.

### ④ Josephson 素子

터널트론에서 2개의 超電導體(예컨대 Pb) 사이에

20 [Å] 이하의 극히 얇은 絶緣層 (예컨대 PbO) 을 介在시키면 準粒子로 인한 電流-電壓特性이 나타날뿐 더러 두物體사이의 接合電壓이 零이 되어도 상당한 크기의 電流가 흐른다. 이 현상은 노벨賞 受賞者인 B. D. Josephson 에 의하여 1962年 해명 되었거니와 그는 이것 (直流 Josephson 效果라 함) 이 超電導體間的 雙電子의 位相結合에 의한 것임을 밝혔다. 즉 超電導體가 완전히 격리되어 있는 경우에는 각각의 超電導電子雙의 位相은 獨立의로 되어 있으며 또 완전히 접촉되어 있는 경우에는 位相이 同一하게 된다. 超電導體를 근접시켜 兩者의 波動函數가 다소 중첩될 정도의 근거리에서 놓아 電子雙 (Cooper pair) 의 結合力으로 말미암아 兩者間에 일정한 位相差  $\theta = \psi_1 - \psi_2$  ( $\psi_1$  과  $\psi_2$  는 각각의 超電導體의 超電導電子 즉 Cooper pair의 位相) 가 이룩되는 상태로 만들 수 있다. 超電導體의 超電導電子사이에서 位相差가 있으면 이것을 消去하도록 電流密度  $j = j_0 \sin \theta$  의 超電導電流가 흐르게 된다. 이것이 Josephson 電流이다. 最大電流 (또는 臨界電流) 密度  $j_0$  는 電極의 에너지·갭, 素子의 터널 콘덕턴스에 比例하며 位相  $\theta$  는 外部로부터 통해주는 電流에 따라 0 부터  $\pi/2$  까지의 사이에서 변한다. 이와 같은 Josephson 接合에서 그 絶緣層과 平行方向으로 磁界를 인가하면 絶緣層과 두電極을 순회하는 循環電流가 흐른다. 이 絶緣層을 통하는 全電流의 平均值는  $J = J_0 \sin(\pi\phi / \phi_0) / (\pi\phi / \phi_0)$  이다.  $\phi_0$  는 磁束量子 ( $2.07 \times 10^{-15}$  [bl]).  $\phi$  는 接合의 絶緣層과 이것과 接觸하고 있는 두電極의 磁界侵入距離내에 포함된 磁束.  $J_0$  는 磁界가 없을 때의 最大電流. 이 식에서 Josephson 電流의 最大值가 磁界에 따라 周期的으로 변화하며  $\phi$  가  $\phi_0$  의 整數倍가 되면 電流가 零이 됨을 알 수 있다.

이와 같은 Josephson 效果를 이용한 素子는 작은 磁界로 큰 電流변화를 얻을 수 있어 크리오토론과

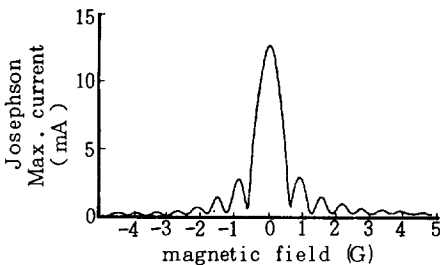


그림 5. Josephson 電流의 磁界低存性

비슷한 磁界制御型 素子 또는 高感度, 即應性 磁束 센서로서 磁界측정등에 이용할 수 있다. SQUID (superconducting quantum interference device; 超電導 量子干涉素子) 도 이에 속하는 素子이다. SQUID에는 RF 型和 DC 型이 있다.

Josephson 素子の 電極間에 電壓V를 인가하면 位相의 周期的 時間변화가 생겨  $f = 2eV/h$  ( $1 [\mu V]$ 에 대하여 483.6 [MHz])의 交流電流가 발생한다 (交流 Josephson 效果라고도 함). 반대로 外部로부터 電磁波를 照射하면 Josephson 交流는 周波數變調를 받게 된다.

Josephson 效果는 약한 結合상태에 있는 超電導體사이에서의 超電導電子雙의 位相結合에 기인되는 것이므로 Josephson 素子로서는 터널 (tunnel) 接合이외에도 點接觸型, 가는다란 超電導體로 2개의 超電導體를 연결한 것등 여러가지가 제안되고 있다. 재료로서는 Nb, Pb 등의 金屬이 많이 쓰인다. Josephson 素子에서는 極間的 直流電壓과 발생하는 交流周波數와의 관계가 재료나 구조에 무관한 고로 物理量  $2e/h$ 의 정밀측정에 이素子가 이용되며 水銀電池를 대신하는 電壓標準用으로도 이용될 수 있다. 또 高周波, 遠赤外線의 發振器, 檢波器, 混合器 등으로서의 이용가능성도 검토되고 있다.

### 5 Josephson素子の集積回路化

Josephson 接合은 여러가지 형태의 것이 있으나 터널障壁(tunnel-barrier)型으로 하는 것이 素子の 再現性이 가장 좋으며 寫眞蝕刻기법으로 단일 칩(chip) 위에 大規模集積回路(LSI)化하기 쉽다. 컴퓨터에의 응용을 목적으로할 경우 Josephson 接合의 高速 스위칭 특성을 살리기 위해 여러가지 回路를 단일 칩위에다 LSI化하는 것이 꼭 필요하다. 이 경우에는 앞서든 이유 및 기타의 이유등으로 이 터널型 Josephson 接合이 가장 유망하다.

半導體기술은 VLSI와 서브마이크론(submicron)의 寫眞蝕刻기법등의 출현으로 거의 한없이 발전할 것 같은 감을 주고 있거니와 앞으로 이것과 대적할 수 있는 때로는 그 이상의 성능을 약속할 수 있다고 여겨지는 것이 Josephson 기술로 지목되고 있다.  $0.5 [\mu m] \sim 0.3 [\mu m]$ 의 線幅기술을 이용한 半導體 論理回路보다 線幅 最小值가  $2.5 [\mu m]$  정도로 비교적 거친 모습의 Josephson 論理回路에서 더욱 빠른 스위칭 동작을 할 뿐더러 그의 電力消費가 현저하게 적다. 또 아직 실험단계에 있는 것이

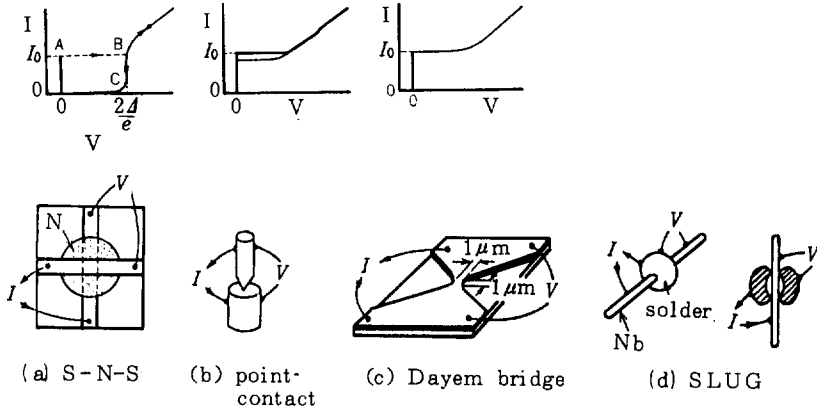


그림 6. Josephson 接合의 여러형태

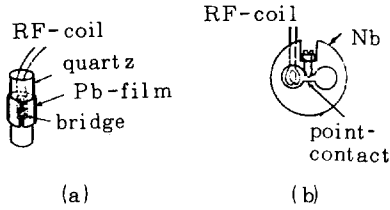


그림 7. 대표적 SQUID의 형태

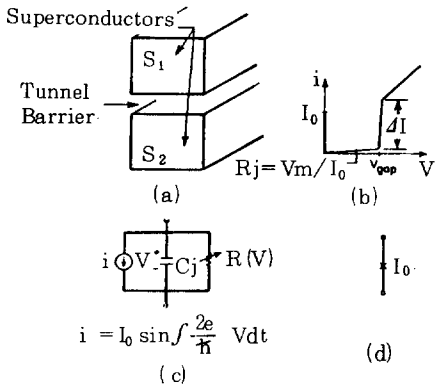


그림 8. (a) Josephson 터널接合의 斷面요약 (b) 電流-電壓特性 (c) 等價回路 (d) 記號

나 3~5 [ps]의 分解能 (resolution) 을 갖는 標本추출回路 (sampling circuit) 가 제작되고 있다. subns (subnanosecond) 의 周期 (cycle time) 를 갖는 단일 칩 데이터 處理 시스템도 보고되고 있다. Josephson 기술은 컴퓨터등 대규모 디지털 시스템을 구성하는데 특히 유리한 몇가지 특징이 있다. 첫째로 超高速 스위칭동작이며 이것은 앞으로 1 [μm] 또는 그이하로 素子치수가 감소되면 크게 개선될 것

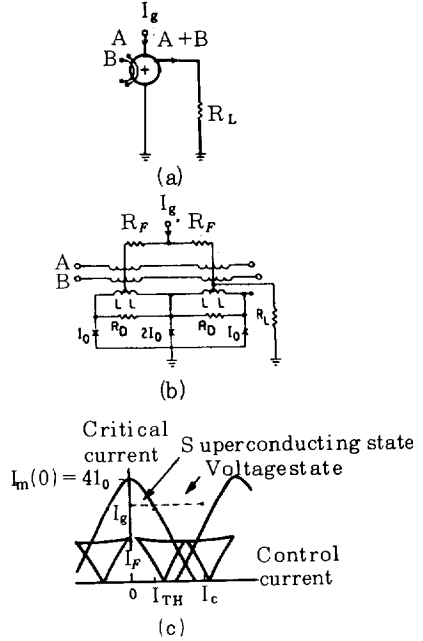


그림 9. Josephson SQUID (a) 記號 (b) 2 制御線의 3-接合 分割給電 SQUID (c) 3-接合 SQUID의 threshold 回線

이다. 또 낮은 電力消費, 低溫동작, 낮은 信號 레벨, 超電導 傳送線路의 이용, 情報의 不揮發性 저장기능 등의 특징도 있다.

그러나 이와 같은 이점을 활용함에 있어 해결이 요구되는 문제점들도 있다. Josephson 시스템은 Pb, Nb 및 이들의 合金과 같은 일부 물질이 超電導상태를 이루도록 液體 He 溫度 (4 K) 에서 작동시켜야 한다는 점과 따라서 손쉽게 이 素子에 근접키 어려

운 점이 있다. 그외에도 이 시스템은 室溫과 液體 He 溫度사이를 오고가는 熱的 싸이클로 말미아마 생기는 큰 스트레스 (Stress) 에 감내할 수 있어야 한다. Josephson 시스템은 極低溫度動作이 필요하기 때문에 室溫에서 작동하는 기존 半導體시스템과 합쳐서 쓰려면 그의 성능이 크게 떨어지게 된다. 즉 室溫시스템과 極低溫시스템사이를 연결하는 긴 케이블을 통하여 信號가 전송되기 때문에 생기는 傳播遲延과 信號레벨의 차이등으로 성능이 저하된다. 따라서 현단계로서는 (低速메모리와 I/O를 제외하고) 단독으로 작동되는 Josephson 시스템이 모색되고 있다. 이것은 비교적 저렴한 小型極低溫裝置의 개발로 더욱 유망시 되고 있다.

Josephson 시스템에 대한 근본적 문제점의 하나는 약 5 [nm] 두께에 불과한 터널 장벽을 再現시키는 것이다. Josephson 回路의 문턱 (信號) 레벨을

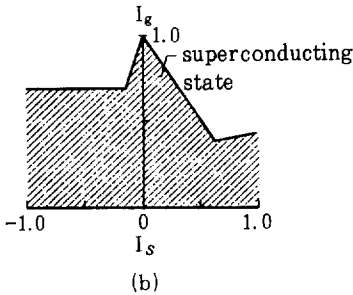
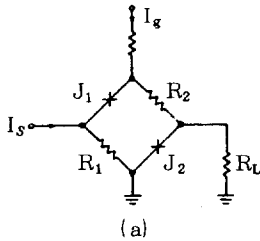


그림 10. DGI 素子 (a) 구성 (b) Threshold 曲線

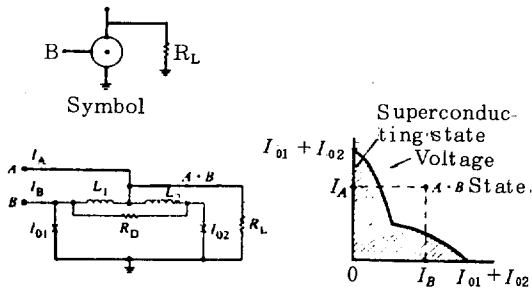


그림 11. 2-접합 CID 記號, Threshold 曲線 및 구성

결정하는 Josephson 接合의 臨界電流密度는 터널장벽의 두께에 크게 의존한다. 한 칩으로 數 1,000 개의 Josephson 接合을 LSI 化하려면 臨界電流密度를 약 ± 10 [%]로 制御하여야 한다. Josephson 回路의 문턱 (信號) 레벨을 결정하는 또다른 因子는 接合의 面積이며 그 변화는 약 ± 30 [%] 이하이어야 하는데 2.5 [μm]의 크기가 쓰일경우 약 ± 0.4 [μm]로 線幅制御가 필요하다. 이 값은 素子 구성에 따라 다르게 된다. Josephson 기술의 非컴퓨터

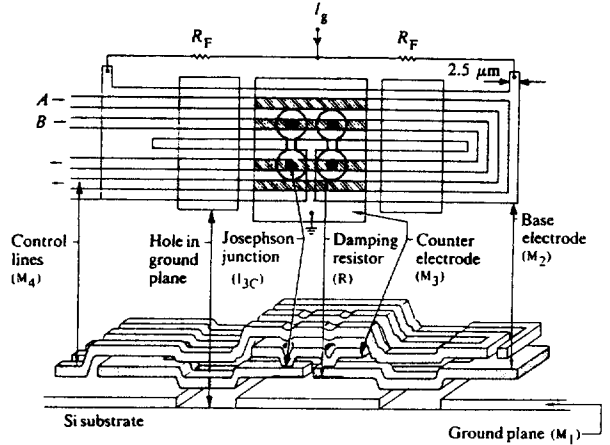


그림 12. 3-접합 SQUID의 배치와 구조

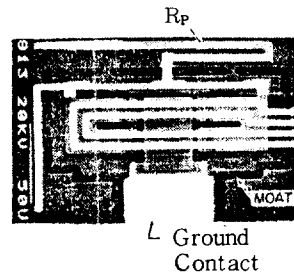


그림 13. 3-접합 SQUID의 SEM

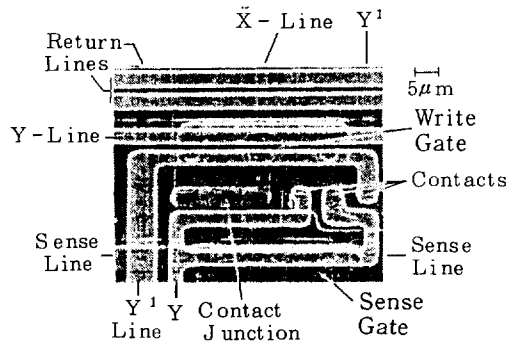


그림 14. Cache memory 素子の SEM

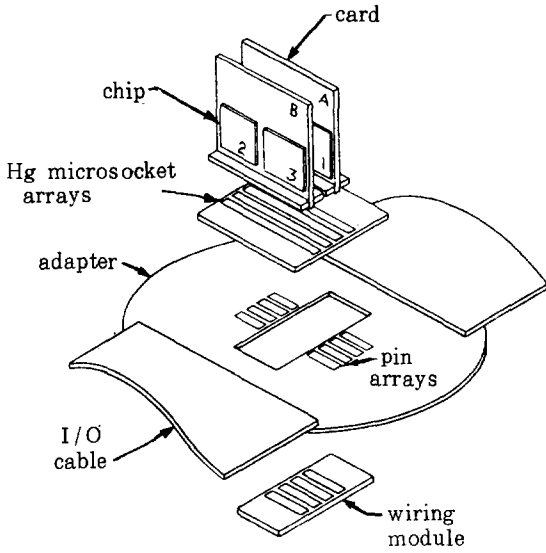


그림 15. CSM 구성개요

분야에의 응용도 磁力計, 電壓計 및 電流計 등 각종 계측분야에서 활발히 개발되고 있다.

Josephson 接合은 어느의미에서는 이상적 스위치이며 문턱電流 이상에서는 OFF 상태에서 ON 상태로急轉換된다. 이 문턱電流는 Josephson 接合의 臨界電流  $I_0$ 에 의하여 결정되며 한편  $I_0$ 는 接合의 面積과 單位接合面積當의 臨界電流密度로서 결정된다. 좋은 설계를 이룩하려면 臨界電流의 변동 즉  $\Delta I_0 / I_0$ 는  $\pm 30$  [%] 이상으로 좋게 제어해 주어야 한다.

컴퓨터에의 응용을 목적으로하는 스위칭용 Josephson 素子로서는 SQUID를 기본으로하고 超電導 인덕턴스 L을 並列로 연결한 多重 (multiple) Josephson 接合으로 구성된 것이 쓰이고 있다 (간단히 SQUID라함). 이것을 Josephson 論理回路나 記憶回路에 쓰는 것은 入力측과는 隔離된 상태로 電流를 조절하고 OR 기능을 수행시키기 위한 것이다. 이것의 變型으로 DCI (Direct Coupled Isolation) 素子和 CID (Current Injection Device) 素子が 있다. DCI 素子は SQUID 素子보다 약 1/4 정도의 훨씬 적은 면적이 소요되는 이점이 있으나 아직은 개발단계에 있다. CID 素子は 2개의 入力信號電流에 대한 AND 論理기능을 수행하며 버퍼 (buffer) 증폭기로서도 쓰인다. 그러나 入力에 대한 격리 기능은 없다. 따라서 그의 앞段에는 보통 격리용으로 SQUID 또는 DCI 素子が 쓰인다. 高速디지털 시스템구성을 위한 Josephson 論理回路, 記憶回路 및 패키지 (package) 의 개발이 진전되고 있거니와

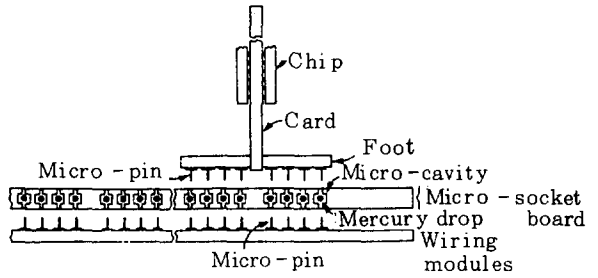


그림 16. Josephson 패키지의 예

Josephson 回路는 半導體回路보다 현저하게 빠르고 電力消耗가 적다. 낮은 電力消費는 한 칩으로 만들 경우나 시스템을 구성할때나 論理回路의 패키지 密度를 증대시키는데 유리하다. 이것은 동시에 回路사이에서의 信號傳播遲延이 전체 주기 (cycle-time) 의 큰목을 차지할 경우 시스템동작을 고속화하는데 매우 중요한 역할을 한다. 이 특징을 활용한 高密度패키지가 제안되고 있다. CSM (Cross Sectional Model) 型등이 그 한 예이다. Josephson 기술은 앞으로 한층 더 극도로 얇은 터널장벽의 再現性和 信賴性문제를 해결하여야 하겠으나 이점이 해결된다면 그素子の 集積回路化로 半導體기술에 의한 것보다 훨씬 고성능의 시스템이 개발될 것이 예상된다.

参 考 文 献

- 1) D. A. Buck ; Proc. IRE, vol. 44, p. 482, 1956.
- 2) V. L. Newhouse, et al.; Proc IRE, vol 48, p.1395, 1960.
- 3) B. D. Josephson; Phys. Rev. Letters, vol. 1, p.251, 1962.
- 4) A. H. Dayem and R. J. Martin; phys. Rev. Letters, vol. 8, p.246, 1962.
- 5) A. E. Brennemann; Proc. IEEE, vol. 51 p.442, 1963.
- 6) L. L. Burns; Proc. IEEE, vol. 52, p. 1164, 1964.
- 7) M. D. Fiske and I. Giaever; Proc. IEEE, vol. 52, p.1155, 1964.
- 8) A. R. Sass, et al.; IEEE Trans. MAG-2, p.398, 1966.
- 9) J. Matisoo; Appl. Phys. Lett, vol.9, p.167, 1966.

- 10) J. Matisoo ; Proc. IEEE , vol.55, p.172, 1967.
- 11) J. E. Zimmerman and A. H. Silver ; J. Appl. phys , vol.39, p.2679, 1968.
- 12) C. A. Hamilton and S. Shapiro ; Phys. Rev. B , vol.2, P.4494, 1970.
- 13) 小野寺 ; 電子通信學會誌(日本) , 55卷, 2號, p.190, 1972.
- 14) H. H. Zappe ; IEEE Trans. MAG - 13, p.41, 1977.
- 15) T. A. Fulton, et al. ; Appl. Phys. Lett , vol. 34, No. 10, p.709, 1979.
- 16) T. Gheewala ; Appl. Phys. Lett , vol. 33 No. 8, 1978.
- 17) C. A. Hamilton, et al. ; Appl. Phys. Lett , vol. 35, p.718, 1979.
- 18) W. Anacker ; IEEE Spectrum, vol.26, p. 26, 1979.
- 19) Special Issue on Josephson - Junction Devices ; IEEE Trans. ED - 27, No. 10, 1980.
- 20) J. Matisoo ; Scientific American, vol. 242, No. 5, p.50, 1980.
- 21) M. Ketchen, et al ; IEEE Electron Dev. Lett., EDL - 2, p.262, 1981.
- 22) 石田, 他 ; 超導集積回路, 電子通信學會(日本).