

論 文

# 1 - Bit Interpolation을 이용한 Per - channel CPCM符號化方式에 관한 研究

正會員 丁 海 元\* 正會員 趙 成 俊\*\*

## A Study on the Per-Channel CPCM Method by means of the 1 - Bit Interpolation

Hae Won JUNG\* and Sung Joon CHO\*\*, Regular Members

**요 약** 본 논문에서는 A/D, D/A 변환의 한 방식인 1-bit interpolation 방법을 개선, 보완한 1-bit interpolation per-channel  $\mu$ -law companding PCM 변환 방법을 제시하고 실험 회로를 구성하여 이의 동작을 확인하였다. 실험 회로는 시중에서 입수하기 수월한 소자들인 TTL logic IC 및 741 OP Amp 등으로 구성하였다. 실험 결과로서는 40dB에 걸친 입력 dynamic range와 40dB 이상의 출력 dynamic range를 얻을 수 있었다. 본 논문에서 제시한 per-channel A/D, D/A 변환기는 현용의 공통 codec의 단점을 충분히 보완시킬 수 있을 뿐 아니라 다중화에 있어서도 상당한 잇점을 지니고 있다.

**ABSTRACT** In this paper, a improved per-channel PCM Coder with 1-bit interpolation is proposed. The coder converts a telephone signal to 15-segments  $\mu$ -law PCM signal of a large dynamic range. The A/D conversion technique of the proposed converter requires a feedback loop around a quantizer operates at high speed, and a accumulator for accumulating the quantized values to provide PCM outputs. To obtain both linear and compressed PCM signals a improved table look-up method is presented. The operations of the proposed converter are certified through the experiments to be good. The experimental circuit comprises TTL logic gates, a resistive D/A converter and a simple differential amplifier. From the results of the experiments, it is known that the proposed converter has many advantages to be adopted economically for per-channel converter used in rural area service.

### 1. 서 론

1970년 이후로 디지털 컴퓨터, LSI, 마이크로 프로세서 기술의 급격한 발달은 전기통신 회로망에 시분할 다중화와 디지털 신호처리를 가능하게 해 주었다. 그 결과 음성통신에서도 아날로그 방식에서 디지털 신호방식으로 교체되는 전

환기를 넘어섰다. 이미 디지털 신호처리가 전송과 스위칭에도 이용이 되고 있으며 앞으로는 end-office line도 디지털화될 것이 거의 확실시되고 있다.<sup>(1)</sup>

현존의 디지털 신호처리는 교환국간에서 T-carrier line을 통하여 이루어지고 있다. 각 음성 신호들은 채널 bank에서 PAM 상태로 시분할된 뒤 24 채널이 한개의 공통 고속 PCM codec에서 디지털 신호로 바뀐다. 그 결과 시분할 다중화된 PAM 신호들은 소전력 신호에 잡음을 부가할 뿐만 아니라 신호간에 cross-talk가 상당한 문제로 대두되고 있다. 이에 반하여 per-channel A/D, D/A 변환방식의 채용에 의하여 이같은 cross-talk 문제 등을 피할 수 있을 뿐 아니라 신뢰도의 증

\* 韓國電氣通信研究所  
Korea Electrotechnology & Telecommunications Research Institute, Seoul, 140 Korea

\*\* 韓國航空大學通信工學科  
Dept. of Communication Engineering, Hankuk Aviation College, Kyungki-Do, 122 Korea

論文番號 : 82 - 07 (接受 1982. 5. 1 )

가. 회로망의 융통성, 유지보수의 간이화 등을 기대할 수가 있다. 그러나 상용의 A/D, D/A 방법으로 채널마다 A/D와 D/A 변환을 하는 것은 회로소자의 정도나 비용면에서 비효율적이다.

본 논문은 이러한 per-channel에 적합한 1-bit interpolation A/D, D/A 변환에 관한 연구로서 간단한 델타 변조를 이용, interpolation에 의해 광범위한 dynamic range에서 amplitude해상도가 높은 선형 PCM (LPCM) 신호를 얻을 수 있음을 보이고 이러한 LPCM을 companding PCM (CPCM)으로 바꾸는 변환방식은 종래의 hard-wired 방법보다는 table look-up방식이 적합하다는 것을 제시하였다.

실험회로는 정도가 5%이내의 저항소자와 TTL logic IC로서 구성하였다. 실험결과 8 bit CPCM 신호 dynamic range는 약40dB이상임을 알 수 있었다. 이러한 변환기는 소형의 단일 chip으로 구성이 가능하며 대량생산이 가능하다. 따라서 1

bit interpolation per-channel CPCM 변환기는 음성 신호의 per-channel A/D, D/A 변환방법 중 가장 효율적인 방법 중의 하나로 사려된다. 이러한 per-channel CPCM 신호는 레지스터 등을 사용하여 다중화 및 시간압축을 용이하게 할 수가 있게 된다.

per-channel A/D, D/A 변환방법에 의한 디지털 전송은 원거리에서 떨어져 있는 가입자군에서 효율적으로 사용될 수 있으리라 본다.

## 2. Interpolation A/D 변환

Candy는 간단한 양자기를 가지고 interpolation을 이용하여 양질의 amplitude 해상도를 얻는 multi-bit interpolation A/D 변환을 제시하였다.<sup>(2)</sup> interpolation A/D 변환의 원리는 다음과 같다. 입력 신호를 Nyquist 속도보다 몇 10배 빠르게 샘플링을 취함으로써 얻은 양자 신호값들의 평균은 입력

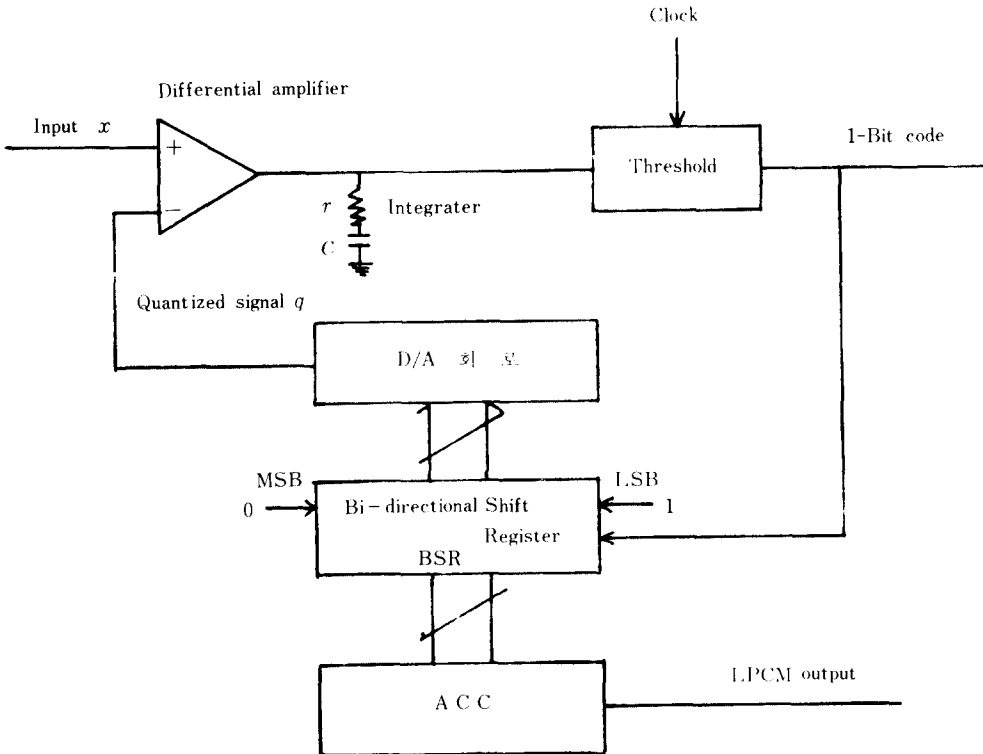


그림 1 1-bit interpolation LPCM encoder의 블록도.  
Block diagram of the 1-bit interpolation LPCM encoder.

신호에 거의 근사된 값을 얻을 수 있다.

$$\frac{1}{N} \sum_{(k-1)T}^{kT} q(nT) = \frac{\alpha}{T} \int_{(k-1)T}^{kT} x(t) dt + \frac{e(kT) - e(kT-T)}{N} \quad (1)$$

적분기 동작을 연속으로 놓을 때, (1)식과 같이 샘플 주기 동안의 양자값들의 평균은 입력신호의 평균과 전 샘플의 마지막 에러와 현 샘플의 마지막 에러 사이의 차이를  $N$ 으로 나눈 양과의 합이다. 따라서 이같은  $L$  step을 갖는 양자기는 일반적인 PCM양자기의  $N \cdot L$  step을 갖는 양자기와 동일함을 알 수 있다.

1-bit interpolation A/D변환은 multi-bit interpolation A/D변환을 델타 변조에 응용하여 segment companding PCM신호를 얻는 방법이다.<sup>(3)</sup>이 같은 방법은 케환회로에 디지털 적분기를 사용함으로써 가능하다. 그림 1은 1-bit interpolation A/D변환의 블록도이다. 디지털 적분기로는 쌍방향 shift-register (B. S. R)를 사용한다.

threshold에서 발생하는 1-bit 신호는 입력신호 크기에 관한 정보를 함유하고 있다.<sup>(4)</sup> BSR은 이러한 1-bit code에 의해서 shift방향이 제어되며 LSB에는 1, MSB에는 0이 입력된다. 디지털 적분기를 사용하는 방식은 캐퍼시터를 이용한 적분기보다 많은 장점을 지니고 있다.<sup>(3)</sup> 케환신호  $q$ 는 BSR과 연결된 D/A 회로에서 발생된다. forward loop안의 적분기는 입력신호  $x$ 와 케환신호  $q$ 와의 차를 적분한다. 적분기와 직렬로 저항  $r$ 을 연결하여 현 에러량을 형성함으로써 케환신호  $q$ 는 입력신호 주위에서 진동을 한다.<sup>(4)</sup> BSR은 동일 레벨에 연속하여 머무를 수 없으므로 케환신호는 최저 3레벨 진동을 한다. threshold에 의해 발생하는 1-bit 신호는 통신계에 직접 사용할 수도 있으나 채널의 대역폭 사용면에서 비효율적이다.

1-bit interpolation의 원리는 Nyquist 주기동안 디지털 회로를 사용하여 BSR내용을 검출, 평균함으로써 높은 해상도를 갖는 LPCM신호를 얻는 것이다. 또한 cycle진동을 빨리 하므로 소수의 양자레벨로서도 충분히 원신호에 근사하는 값을 얻을 수 있다. 3레벨 진동은 적절한 D/A 회로를 사용하여 2레벨 진동으로 바꿈으로써 원신호에 더욱 더 접근한 신호를 얻을 수 있다. 결국 몇 개의 일정한 간격으로 분포된 레벨 사이의 진동을 평균하여 원래의 신호를 얻는 interpolation 방법은 상용의 segment companding 신호와 자연스럽게 부

합된다. 디지털 ACC에 의해 Nyquist 주기동안 평균된 LPCM신호는 알고리즘에 의해 CPCM 신호로 변환할 수도 있지만<sup>(5)</sup> LPCM과 CPCM이 1대 1 대응이 되므로 3.2절의 ROM을 이용한 table look-up방식이 적합하다.

### 3. Segment Companding의 원리

양자기의 각 레벨의 adaptation은 입력신호진폭의 확률분포함수(PDF; Probability density function)에 따라서 설계할 수가 있다. 음성신호의 PDF는 Gamma PDF 또는 Laplacian PDF에 근사한다.<sup>(6)</sup>

$$\text{Gamma PDF : } P_G(x) = \frac{\sqrt{k}}{2\sqrt{\pi}} \cdot \frac{e^{-k|x|}}{\sqrt{x}} \quad (2)$$

$$\text{Laplacian PDF : } P_L(x) = \frac{\alpha}{2} \cdot e^{-\alpha|x|} \quad (3)$$

단,  $k = \frac{\sqrt{0.75}}{\sigma_x}$  : Gamma PDF 상수

$\alpha = \frac{\sqrt{2}}{\sigma_x}$  : Laplacian PDF 상수

Gamma PDF가 실제 음성진폭 밀도분포에 더 가까우나 실현상 상용의 PCM에서는 Laplacian PDF의 특성을 갖는  $\mu$ -law 또는 A-law log-companding을 채용하고 있다.<sup>(6)</sup> segment companding은 연속적인 log-companding을 linear piecewise로 분해한 것이다.

디지털 companding code  $X$ 는 segment 번호  $L$ 을 표시하는  $m$ 개로 구성된 'characteristic bit'와 각 segment안의 양자step  $V$ 를 표시하는,  $n$ 개의 'mantissa bit'로 구성되어 있다. 한 극성에서 전체 segment 수는  $M = 2^m$ 이고 각 segment안의 전체양자 step수는  $N = 2^n$ 개이다. companding 신호  $X$ 의 디지털 표현을  $L$ 과  $V$ 로 나타내면

$$X(L, V) = V + N \cdot L \quad (4)$$

단,  $X$  : 디지털 companding 신호 :  $\in \{0, 1, \dots, MN - 1\}$

$L$  : segment 번호 :  $\in \{0, 1, \dots, M - 1\}$

$V$  : segment안의 step번호 :  $\in \{0, 1, \dots, N - 1\}$

companding 신호  $X$ 에 대응하는 선형 디지털 신호를  $Y_0$ 라 하면  $L, V$ 로 표현이 가능하다. 즉

$$Y_0 = Y_0(L, V) \quad (5)$$

양자 step크기는 2개의 인근 선형입력 레벨간의 차이로 다음과 같이 주어진다.

$$\left. \begin{aligned} \Delta_0(L) &= Y_0(L, V+1) - Y_0(L, V), \\ &V \neq N-1 \\ \Delta'_0(L) &= Y_0(L+1, 0) - Y_0(L, N-1), \\ &V = N-1 \end{aligned} \right\} (6)$$

여기에서  $\Delta'_0(L)$ 은 segment 단에서의 step 크기이며 segment 안에서 step크기  $\Delta_0(L)$ 는 일정하며  $V$ 와는 무관하다.

segment  $\mu$ -law는 다음을 만족하는 디지털 코우드이다.

첫째, segment 단 외에서 인근 2개의 segment의 step크기의 비는

$$\frac{\Delta_0(L+1)}{\Delta_0(L)} = 2 : L \in \{0, 1, \dots, M-2\} \quad (7)$$

$$\text{둘째, } Y_0(0, 0) = C \quad (8)$$

$$\text{셋째, } \Delta_0(0) = 1 : \text{정규화} \quad (9)$$

첫째조건에 대한 차분 방정식의 해는 식 (7), (8), (9)에 의해 다음 식과 같다.

$$\begin{aligned} Y_0(L, V) &= 2^L (V+L+a) - N - a + c \\ &= Y_\mu(L, V+a) - a + c \end{aligned} \quad (10)$$

여기서  $Y_\mu(L, V) \triangleq 2^L (V+N) - N$ 이며 segment  $\mu$ -law의 표준형태이다. 매개변수  $a$ 는 segment 단에서의 step크기의 불연속을 나타낸다.

상용의 15 segment  $\mu$ -255 law 방식에서 이러한 매개 변수값은 다음과 같다.

$$m = 3, n = 4$$

$$a = 0.5, \text{ (DLA; decision level assignment)}$$

$$c = 0 : \text{(midread)}$$

즉 CPCM은 8 bit로 구성이 되며 MSB는 '부호'

를, 다음의 3 bit는 'characteristic bit'를, 나머지 LSB를 포함한 4 bit는 'mantissa bit'를 나타낸다. 이러한 8 segment CPCM 신호는 13bit LPCM과 동가이다.

LPCM으로부터 CPCM을 얻는 방법은 일반적으로 알고리즘에 의한 hard wired 방법이다.<sup>(5)</sup> 본 논문에서 제시된 1-bit per channel interpolation A/D 변환은 그 고유의 특성상, 즉 LPCM과 CPCM이 1 대 1 대응이므로 hard-wired 방식보다는 table look-up 방식을 이용한다.<sup>(7)</sup> table look-up 방식에 의한 변환기를 그림 2에 나타내었다. 변환기는 128×12 bit PROM, Memory Address Register (MAR)와 Memory Buffer Register (MBR) 등으로 구성되며 MBR에 읽혀 내어질 2진 보수 12 bit ROM의 내용은 LPCM 신호와 ACC (comparator)에서 더해가는 부계화 예측 방법이다. 처음에는 MAR의 MSB에만 1로 set된다. MBR내용은 MAR내용의 확장된 2진 보수값이다. LPCM의 크기는 MBR값과 더해진다. 확장된 MBR값보다 LPCM크기가 작다면 MAR의 MSB는 clear되며 그 다음 bit가 1로 set된다. 그 반면에 LPCM 신호가 크다면 MSB bit는 변하지 않으며 그 다음 bit가 1로 set된다. 이러한 과정은 MAR의 LSB가 결정될 때까지 계속된다. 따라서 LPCM 으로부터 CPCM 신호를 얻게 된다.

#### 4. 1-bit interpolation A/D 변환회로의 구성

interpolation에 의해 15 segment  $\mu$ -law PCM을

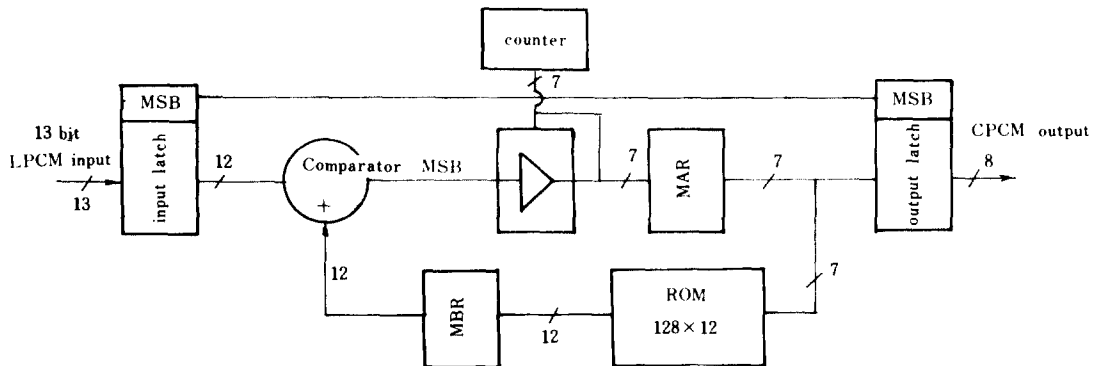


그림 2 디지털 압신기  
Digital compressor.

언기 위해서는 양자 step수는 16개 이어야 한다. 따라서 BSR은 8 bit 이어야 한다. 또한 cycle 속도는 적어도 256kbit 이상이어야 된다.

3레벨 진동을 2레벨 진동으로 바꾸기 위해서 적절한 D/A 회로를 사용하여 제한신호  $q$  값을 얻어야 한다. 제한신호  $q$ 는 다음의 제식들을 만족해야 한다.

$$q_n + q_{n-1} = 2Q_n, \quad 0 \leq n \leq 8 \quad (11)$$

즉 연속적인 2개의  $q$ 값의 평균으로 양자 레벨을 지정해야 한다.

$$(q_{n+2} - q_{n+1}) = 2(q_{n+1} - q_n) \quad (12)$$

이는 segment companding을 실현하기 위한 조건이다.

이와 같이  $q$ 값을 선정함으로써 32개의 연속적인  $q$ 값으로 segment 안의 16레벨 중 하나를 지정할 수가 있게 된다. 이를 만족하는  $q$ 값을 표 1에 표시하였다.

표 1 3레벨 진동의 2레벨 진동으로의 변화  
The conversion of 3-level to 2-level oscillation.

contents of BSR (8bit)	quantized signal level $q_n$	average value of successive $q_n$	binary representation of average value
0 0 0 0 0 0 0 0	$\frac{1}{3}$	0	0 0 0 0 0 0 0 0
0 0 0 0 0 0 0 1	$\frac{2}{3}$	1	0 0 0 0 0 0 0 1
0 0 0 0 0 0 1 1	$4\frac{1}{3}$	3	0 0 0 0 0 0 1 1
0 0 0 0 0 1 1 1	$9\frac{2}{3}$	7	0 0 0 0 0 1 1 1
0 0 0 0 1 1 1 1	$20\frac{1}{3}$	15	0 0 0 0 1 1 1 1
0 0 0 1 1 1 1 1	$41\frac{2}{3}$	31	0 0 0 1 1 1 1 1
0 0 1 1 1 1 1 1	$84\frac{1}{3}$	63	0 0 1 1 1 1 1 1
0 1 1 1 1 1 1 1	$769\frac{2}{3}$	127	0 1 1 1 1 1 1 1
1 1 1 1 1 1 1 1	$341\frac{1}{3}$	255	1 1 1 1 1 1 1 1

이는 R-2R회로로서 구현할 수가 있다. 또한 BSR은 정(+)의 크기만을 표시할 수 있으므로 부(-)신호는 보조 toggle 회로로 극성을 검출하여 logic 회로를 제어함으로써  $q$ 의 부(-)신호를 얻을 수 있다. forward loop안의 적분기의  $rC$  값은 대략 cycle주기 이상으로 놓았을 때 제한회로는 입력신호를 충분히 추적해 나갈 수가 있다.<sup>(4)</sup> 이 같은 내용들을 고려하여 구현한 회로를 그림 3에 나타내었다. 이와 같이 1-bit code를 이용한

는 경우 전송 에러 또는 시작방법에 따라서는 회복 불가능의 오추적을 야기한다. 특히 이러한 오추적은 companding 신호에 대해 영향이 더욱 심각하다. 오추적을 방지하기 위해서는 NOR 회로를 사용하여 입력신호의 zero crossing 주파수에 따라 곧 회복시킬 수 있다.<sup>(8)</sup> 또한 D flip-flop의 reset를 사용하여 BSR의 과부하에서 야기될 수 있는 신호 발진을 피할 수 있다.

3레벨 진동을 2레벨 진동으로 변환하는 과정은 다음과 같다. BSR은 1-bit code에 의해 shift up 또는 down을 한다. 표 1로부터 연속적인 2개의  $q$ 값의 평균은 BSR내용의 2개의 값 중 큰쪽의 내용임을 알 수 있다. 따라서 1-bit 신호가 BSR내용의 down을 요구할 때, shift가 일어나기에 앞서 ACC에 load되어야 하며 shift up을 요구할 때는 shift up이 이루어진 뒤, BSR내용이 ACC에 load되어야 한다. 위와 같이 2개의 연속  $q$ 값의 평균을 16번 더하기 위해서 각 BSR내용은 2진보수로 바뀐 뒤 ACC의 입력이 된다. ACC는 전가산기와 레지스터로 구성시켰다. ACC레지스터에 저장된 내용은 8kbit/sec로 출력 레지스터에 load된 뒤 clear된다. 이 회로를 그림 3에 나타내었다.

### 5. 실험결과 및 고찰

전체 실험도를 그림 3과 같이 구성하였다. 회로의 구성은 TTL logic IC, 741 OP amp, LM710 및 정도 5%이내의 저항소자로 구성하였다. 측정된 제한신호  $q$ 값과 측정된  $q$ 의 최대값에 대한 계산치를 표 2에 나타내었다. 계산치와 측정치간의 차이는 저항오차와 range 변동에 의한 계기오차가 수반된 에러로 추정된다. 진폭 range는 약 41 dB를 얻었다. 또한 3레벨 진동을 오실로스코프 화면에서 확인하였다. (사진 1, 800Hz 기준 주파수 입력시)

S/Q·N비 (dB)는 800Hz 기준 주파수를 입력으로 cycle clock이 256kHz, 128kHz일 때 각각 얻었다.(표 3). 신호 발생기의 최소 침투치 출력 전압의 제한으로 과부하점에 대한 -40dB점까지 측정이 가능했다. 그림 4의 S/Q·N비곡선으로부터 dynamic range (28dB 이상)는 약 40dB 이상임을 알 수 있었다.

이와 같은 결과로부터 본실험에서 제시된 1-bit interpolation을 이용한 CPCM변환기는 음성 신호에 대해 충분한 해상도와 넓은 dynamic range를 제공함을 알 수 있었다.

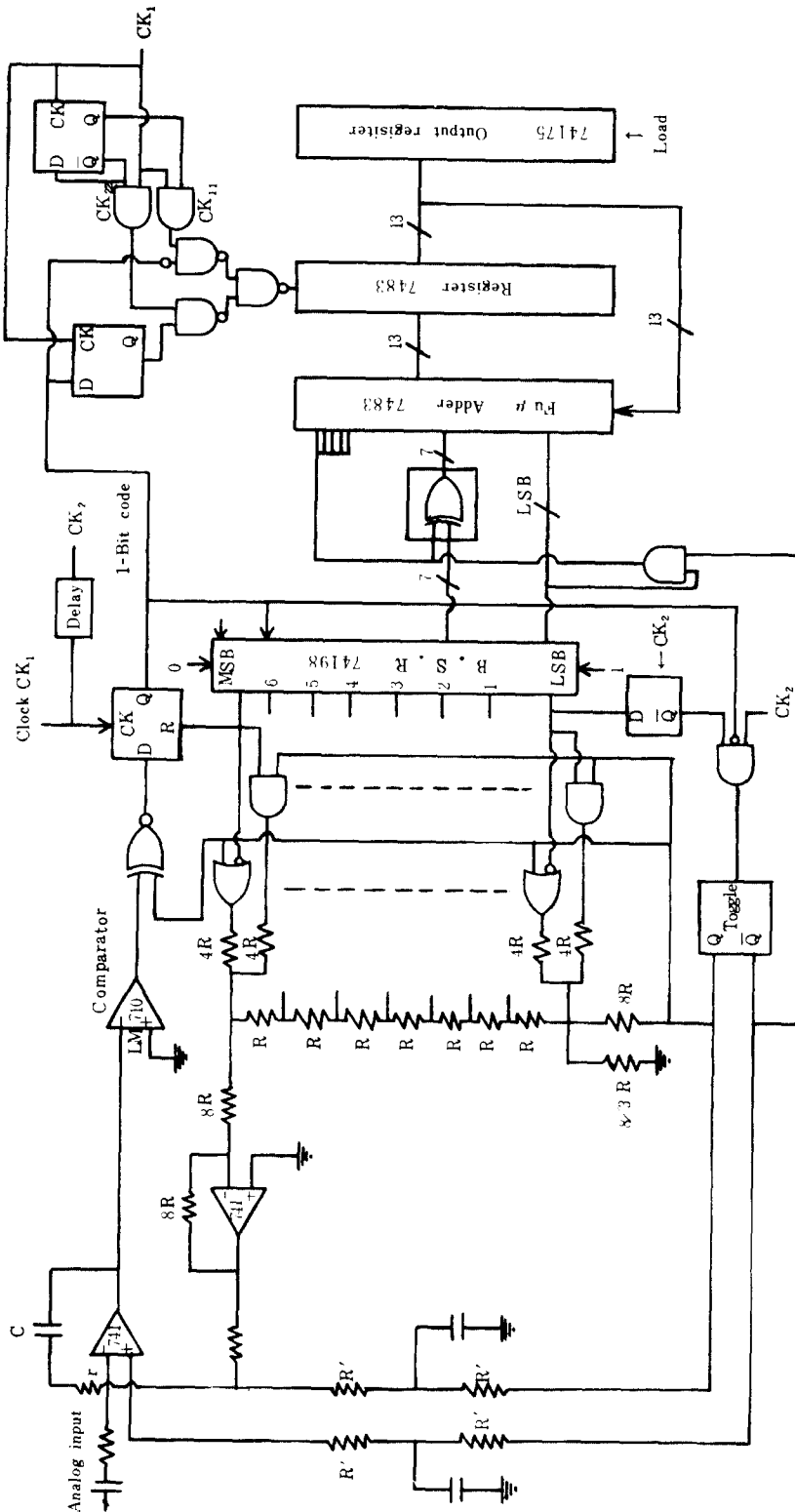


그림 3 LPCM을 얻기 위한 1-bit interpolation A/D 변환회로.  
1-bit interpolation A/D conversion circuit for LPCM.

표 2  $|q_{max}| = 1.66V$ 에 대한  $q$ 의 측정 및 계산치  
Measured value and calculated value of  $q$   
for  $|q_{max}| = 1.66V$

polarity of signal	contents of BSR	measured value of $q$	calculated value for $ q_{max}  = 1.66V$
1	0 0 0 0 0 0 0 0	5mV	4.86mV
0	0 0 0 0 0 0 0 0	-5mV	-4.86mV
1	0 0 0 0 0 0 0 1	2mV	8.07mV
0	0 0 0 0 0 0 0 1	-8mV	-8.07mV
1	0 0 0 0 0 0 1 1	22.5mV	21.05mV
0	0 0 0 0 0 0 1 1	-22.5mV	-21.05mV
1	0 0 0 0 0 1 1 1	48mV	46.95mV
0	0 0 0 0 0 1 1 1	-48mV	-46.95mV
1	0 0 0 0 1 1 1 1	0.1V	0.098V
0	0 0 0 0 1 1 1 1	-0.1V	-0.098V
1	0 0 0 1 1 1 1 1	0.2V	0.202V
0	0 0 0 1 1 1 1 1	-0.2V	-0.202V
1	0 0 1 1 1 1 1 1	0.41V	0.409V
0	0 0 1 1 1 1 1 1	-0.41V	-0.409V
1	0 1 1 1 1 1 1 1	0.24V	0.824V
0	0 1 1 1 1 1 1 1	-0.84V	-0.824V
1	1 1 1 1 1 1 1 1	1.66V	1.66V
0	1 1 1 1 1 1 1 1	-1.66V	-1.66V

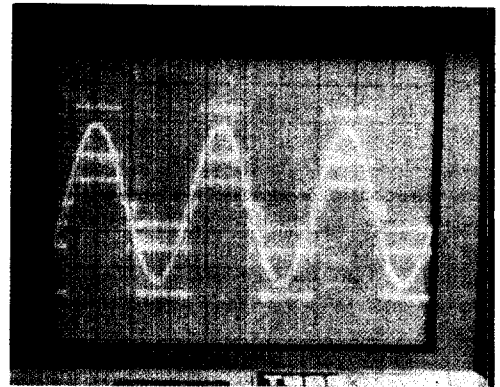


사진 1 3 레벨 진동(기준주파수: 800Hz)  
3 level oscillation (reference freq: 800Hz).

표 3  $S/Q \cdot N$ 의 측정값 (dB) (정현파입력: 800Hz)  
Measured  $S/Q \cdot N$  ratio (dB) (sinusoidal input: 800Hz).

input level	cycle freq: 256kHz	cycle freq: 128kHz
0dB	40dB	25dB
-10dB	41dB	33dB
-20dB	40dB	35dB
-30dB	39dB	34dB
-40dB	40dB	33dB

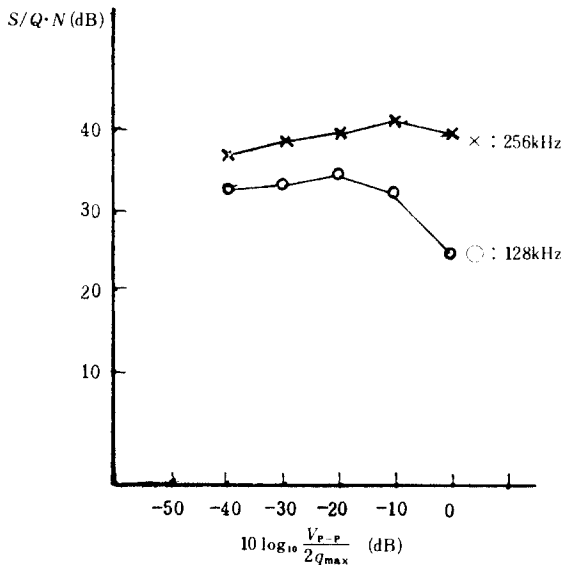


그림 4 800Hz 정현파 입력에 대한  $S/Q \cdot N$ 비 측정곡선  
 $S/Q \cdot N$  ratio characteristic curve as a function of the amplitude of a 800Hz sinusoidal input.

## 6. 결 론

1 bit interpolation을 이용한 음성의 per channel CPCM변환방법과 그 역변환 방법이 양질의 해상도와 넓은 dynamic range를 제공함을 보였다. 이러한 변화기는 소형IC화 및 대량생산이 가능하며 per-channel 디지털 전송을 하므로 latch 또는 레지스터를 이용하여 다중화를 용이하게 할 수 있다. 본 논문에서 제시한 1 bit interpolation per channel A/D, D/A 변환방법은 이러한 per-channel 디지털 전송방법 중 가장 효율적인 방법 중의 하나로 사료된다.

이러한 변환은 교환기와 원거리에 떨어져 있는 원거리 가입자군의 디지털 전송에 효율적인 사용이 가능하다.

## 参 考 文 献

(1) I. M. McNair, "Subscriber loop multiplexer a high pair ga-

in system for upgrading and growth in rural Area. "IEEE Trans. Commun. Tech., vol. COM-19, no. 4, pp. 523-527 Aug. 1971.

(2) J. C. Candy, "A use of limit cycle oscillations to obtain robust analog-to-digital converters. "IEEE Trans. Commun., vol. COM-22, pp. 298-305, Mar. 1974.

(3) J. C. Candy and B. A. Wooley "An A/D converter with segmented companding. "1974, IEEE Nat. Telecommun., Conf., pp. 388-391, Dec. 1974.

(4) R. Steele, "Delta modulation systems, "London: Pentech Press, 1975.

(5) H. Kaneko, "A unified formulation of segment companded laws and synthesis of codecs and digital companders. "B. S. T. J., vol. 49, no 7, pp. 1555-1588, Sep. 1970.

(6) L. R. Rabiner, R. W. Schafer, "Digital processing of speech signals", New Jersey: Prentice Hall, 1978.

(7) H. Jeong, C. K. Un, "A PCM/ADM and ADM/PCM code converter", IEEE Trans. A. S. S. P., vol. ASSP-27, no. 6, pp. 762-768, dec. 1979.

(8) J. C. Candy, "Limiting the propagation of errors in 1 bit differential coders", B. S. T. J. vol. 53, pp. 1667-1676, Oct. 1974.



丁海元 (Hae Won JUNG) 正會員  
 1958年10月6日生  
 1980年2月：韓國航空大學通信工學科卒業(工學士)  
 1982年2月：韓國航空大學學院通信工學專攻修了(工學碩士)  
 1982年3月～現在：韓國電氣通信研究所勤務



趙成俊 (Sung Joon CHO) 正會員  
 韓國航空大學 通信工學科 卒業(工學士)  
 漢陽大學校 大學院(通信專攻)修了(工學碩士)  
 日本 大阪大學 大學院(通信工學)修了(工學博士)  
 現在, 韓國航空大學通信工學科助教授,  
 本學會常任理事, 編輯委員長  
 IEEE會員, 日本電子通信學會, TV學會會員, 日本ITU協會會員