論文

3値 Rate Multiplier의 設計

準會員 黃 仁 浩* 正會員 沈 壽 輔**

On the Design Methods of Ternary Rate Multiplier

In Ho WHANG*, *Associate Member*, Soo Bo SIM**, *Regular Member*

要 約 本 論文에서는 3値 Rate Multiplier에 対한 設計法을 研究하였다. 이미 発表된 3値 計数器를 利用하는 方法보다 高速으로 動作할 수 있는 새로운 設計法, 즉 Shift Resister를 利用하여 Rate Multiplier를 構成하는 方法을 提案하고 前者의 方法과 比較 検討하였다. 이 設計法에 依한 回路構成은 3値 Inverter를 除外하고는 Binary 素子를 그대로 쓸 수 있게 한 점이 特徴이며, 集積化하는 過程에서도 現在의 IC 設計方法에 何等의 支障을 주지 않는다.

Abstract The novel design method of ternary rate multiplier is proposed. This paper sugests the new implementation technique of rate multiplier by using the shift resister. The rate multiplier implemented by the technique is capable of working at higher speed than that of the ternary counter type. This technique is intended to use the binary elements except the ternary inverter. And also, the mordern COS/MOS integration process can easily implement the circuit designed by this method.

1. 序 論

多値論理에 関한 研究는 1920년경부터 시작되었으나 오랜동안 미미한 異論으로 点綴되어 오다가 1960年 G. Epstein[1]에 依하여 그 체계가 잡혔다. 理論段階를 지나서 多値論理回路의 開発研究는 60年代 후반부터 시작되었으며, 通信量이 급격히 늘어난 70年代에 들어와서는 더욱 활발하게 진행되었다.

情報量이 늘어나서 通話路를 多重化 하고는 있으나 2値方式에 依한 多重化는 高速通信이 어려울 뿐만아니라, LSI化 하고 있는 반도체 IC에 있어서도 Pin数가 많으면 제작이 곤란하게 되는 등의 問題가 있다. 多値論理의 경우는 2値보다 많은 情報量을 나를 수 있으므로 同一한 情報量을 伝送하는데는 多値論理가 보다 效果的이며, IC 製作面에서도 다욱 편리해진다. 따라서 금후 디지탈 通信 分野에 이 方式이 많이 利用될 것이다.

*,** 中央大学校 工科大学 電子工学科

Dept. of Electronic Engineering, Chung Ang University, Seoul, 151 Korea

論文番号 : 81-4(接受 1981. 11. 14)

디지탈 信号処理 分野에서 많이 使用되는 Rate Multiplier는 入力code에 따른 特定倍率과 基準周波数의 곱에 比例한 回波数의 出力pulse例를 発生시키는 回路인데, Binary와 Binary Coded Decimal(BCD) Rate Multiplier에 対해서는 이미 여러편의 論文들이 発表되었으며[2-5] 또 이것은 各 반도체 회사들에 의해 상품화 되어있다.(7497, 74167, 4089, 4527)

한편 1980年 H.T. MOUFTAH등이 3値論理를 利用한 Rate Multiplier를 発表하였으나, 이 回路는 動作速度가 느릴뿐만 아니라 복잡하기 때문에 本 論文에서는 Mouftah등[6]이 提案한 回路를 개선하고자 非同期 計数器 대신 3値 게이트와 Shift Resister를 使用함으로써 보다 빠른 速度로 動作하게 하고, 回路構成이 간단해지는 設計方法을 提案한 것이다. 이 設計法에 依해서 실제 回路를 구성한 後에 実験을 通해서 設計法의 타당성을 검증하였다.

2. 3値論理의 基本 代数

一般的인 경우로서 (P+1)値에 対한 論理積(AND)과 論理合(OR)은 다음과 같이 定義된다.[7]

1) 論理積

$$x_1 \cdot x_2 \cdot x_3 \cdots x_K = \min(x_1, x_2, x_3, \ldots, x_k) \quad (1)$$

2) 論理合

$$x_1 + x_2 + x_3 + \cdots + x_K = \max(x_1, x_2, x_3, \cdots, x_K) \quad (2)$$

단, $L = \{0, 1, 2, \cdots, P\}$, $x_1, x_2, x_3, \cdots, x_K = L$

補数(complement)에 対해서는 다음의 세가지로 定義된다.

1) $$\bar{x} = \begin{cases} O, & \text{if } x \neq 0 \\ P, & \text{if } x = 0 \end{cases} \quad (3)$$

2) $$\bar{x} = \begin{cases} P, & \text{if } x \neq P \\ O, & \text{if } x = P \end{cases} \quad (4)$$

3) $$\bar{x} = P - x \quad (5)$$

또 $$x(a, b) = \begin{cases} P, & \text{if } a \leqq x \leqq b \\ O, & \text{otherwise} \end{cases} \quad (6)$$

단, $x, a, b = L$, $a \leqq b$이다.

위의 式 (1)-(6)은 DeMorgan의 定理를 포함하여 모든 Bool代数의 定理[8]를 만족시킨다.

3値 論理에서는 위 式에서 P=2, L={0, 1, 2}가 되는데, 이것은 多値論理의 特別한 경우로서 inverter 에 対해서는 다음과 같이 表示된다.

1) Simple ternary inverter (STI)

$$x' = 2 - x \quad (5')$$

2) Positive ternary inverter (PTI) 및 Nagative inverter (NTI)

$$x' = \begin{cases} i, & \text{if } x \neq i \\ 2 - i, & \text{if } x = i \end{cases} \quad (3'), (4')$$

여기서 $i=0$일 때가 NTI이고, $i=2$일 때가 PTI이다. 回路表示는 그림 1 과 같다.

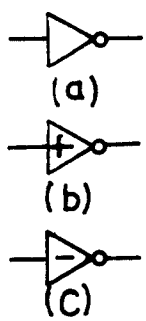


그림 1 (a) STI (b) PTI (c) NTI
(a) STI (b) PTI (c) NTI

3. 計数器形 Rate Multiplier의 개선

그림 2 에 3値 Rate Multiplier의 構成図를 나타내었다. 이것은 式 (1)로 表示되는 3-flot[9]과 NTI에 依해서 3値 計数器를 構成하고, 各段 3-flop의 状態遷移를 Z-detector에서 検出하도록 한 것이다.

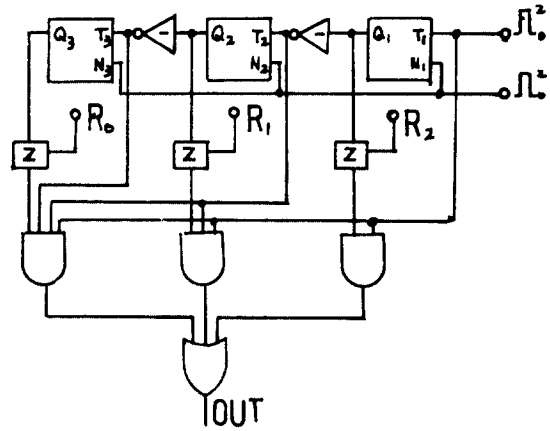


그림 2 3値 Rate Multiplier의 構成図
Block Diagram of Ternary Rate-Multiplier

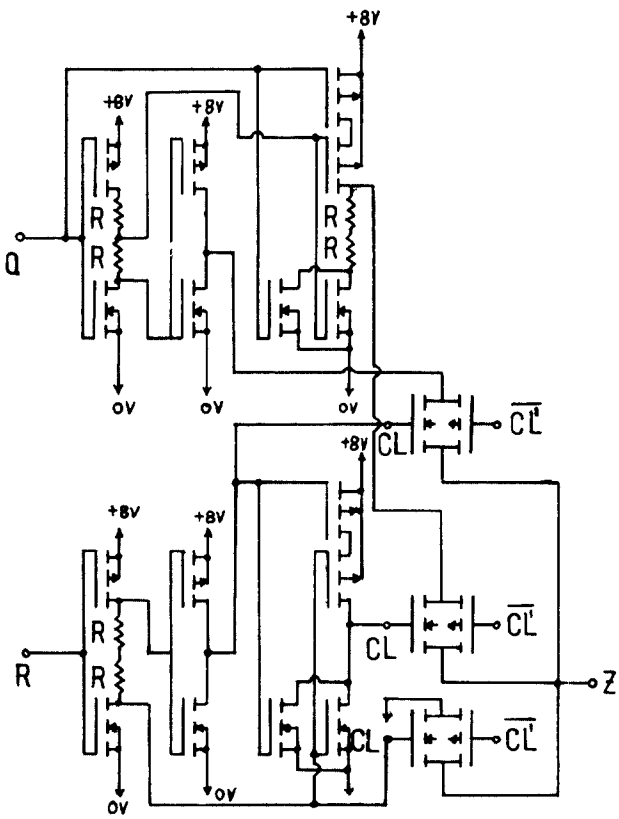


그림 3 Z-Detector

$Q(t+1) = (Q(t)+1) \bmod 3$

이 Z-detector는 rate 入力이 "1"일 때에 3-flop 의 狀態가 "0"에서 "1"로, rate 入力이 "2"일 때에 "0" 에서 "2"로(0→1과 1→2) 遷移할 때마다 레벨 "2"를 出力하게 한다.

이 関係를 眞理値表로 작성하면 表1과 같다. 또 그림3은 이 検出器의 回路構成을 나타낸 것이다.

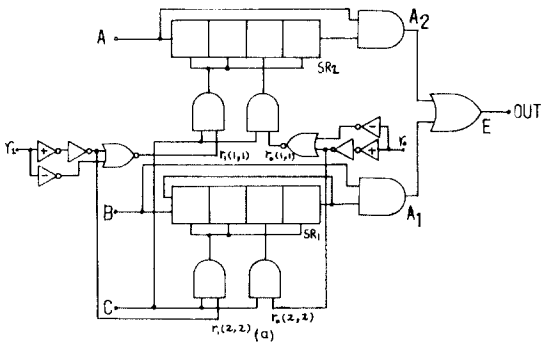
表1. Z-detector의 眞理値表

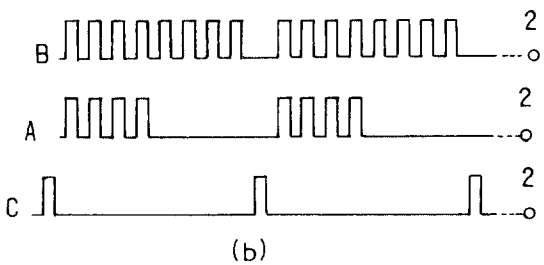
R	O	Z
0	0	0
0	1	0
0	2	0
1	0	0
1	1	2
1	2	0
2	0	0
2	1	2
2	2	2

이와같이 Mouftah등[6]과는 달리 Z-detector의 出力을 "0"와 "2"로 2値化 함으로써 그림2의 回路에서 AND게이트와 OR게이트를 binary게이트로 使用할 수 있기 때문에 回路가 간단해지며, 電力消費도 줄어든다.

4. Shift Resister Rate Multiplier의 設計

이와같은 非同期 計数器形의 Rate Multiplier는 各 3-flop에서의 伝播遅延 문제로 高速으로는 動作시킬 수 없다. 이 점을 개선하기 위해서 Shift Resister를 使用하여 보다 高速으로 動作시킬 수 있는 Rate Multiplier를 設計하였다. 이 Rate Multiplier는 Shift Resister에 rate入力의 loading과 Shift動作이 各 resister에서 同時에 일어나므로 非同期 計数器 에서와 같은 伝播遅延이 없기 때문에 Shift Resister의 最高動作 周波数와 같은 速度로 高速化할 수 있다. 그림4.(a)에 이 Shift Resister Rate Multiplier를 表示하고, 여기에 必要한 clock pulse를 同図(b)에 表示하였다. 이 그림에서 rate入力은 "1"일 때와"2"일때로 나뉘어 各各 다른 Shift Resister에 가해지는데 clock pulse C와 同期되어 "2"의 level로 load된다. load된 data는 다음 clock pulse(A 또는 B)에 依하여 右側으로 Shift된다. Rate入力 R(2,2)가 load된 SR1의 clock pulse 入力단자에는 R(1,1)이 load된 SR2보다 2배의 clock pulse가 印加되며, Shift Resister의 크기가 같으므로 SR1의 出力은 入力側으로 되돌려 보내진다. 또 rate入力中 上位 trit(ternary digit)의 data는 下位 trit에 비해 3倍의 resister에 load된다.





(b)

그림4 Shift Resister Rate-Multiplier 및 Clock Pulse 波形
Shift Resister Rate-Multiplier and its Clock Wave forms.

SR1으로부터의 出力을 入力周波数 f라할 때

$$A_1 = (\frac{2}{3}f)\cdot R_1(2,2) + (\frac{2}{9}f)\cdot R_0(2,2) \quad (8)$$

SR2로부터의 出力은

$$A_2 = (\frac{1}{3}f)\cdot R_1(1,1) + (\frac{1}{9}f)\cdot R_0(1,1) \quad (9)$$

이 된다. 단, 式(8), (9)에서 +와 ·은 論理演算 OR와 AND를 나타낸다.

SR1과 SR2로부터의 出力은 同時에 나타나지는 않으므로 各各을 ORing하면 出力 E는

$$E=(\frac{1}{9}f)\cdot R_0(1,1)+(\frac{2}{9}f)\cdot R_0(2,2)+(\frac{1}{3}f)\cdot R_1(1,1)+(\frac{2}{3}f)\cdot R_1(2,2) \quad (10)$$

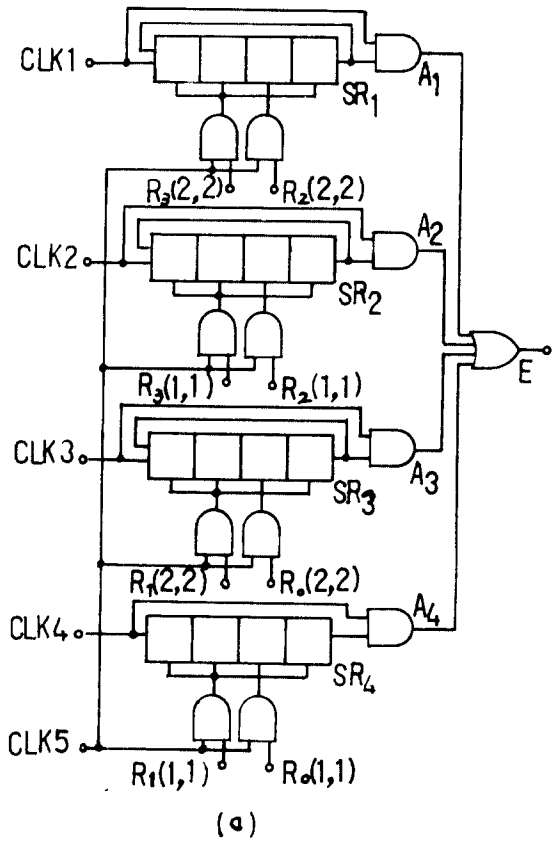


그림5 4-Trits Rate-Multiplier 및 Clock pulse 波形
4-Trits Rate-Multiplier and its Clock Waveforms

이다. 따라서, 단자 E에서 얻어지는 出力 pulse의周波数는 0에서 $\frac{8}{9}$f까지의 값을 갖는다. 따라서 一般的으로 ntrits에서는 0에서 $\frac{3^n-1}{3^n}$f까지의 周波数를 갖는 出力 pulse가 얻어진다. 또

$$E=A_1+A_2=\overline{\overline{A_1}\cdot\overline{A_2}} \quad (11)$$

로 쓸 수 있으므로 그림4. (a)의 回路에서 出力側의 AND게이트와 OR게이트 대신에 NAND게이트를 쓰는 것이 経済的이다.

이 回路에서 trit数를 확장시키려면 Shift Resister의 段数를 늘림으로써 쉽게 이루어진다. 그러나 3trit일 때는 13段, 4 trit일 때는 무려 40段의 Shift Resister가 2개씩 必要하므로 trit数에 따라 Shift Resister의 크기는 기하급수적으로 増加하게 되므로 이 回路는 가치가 없어진다.

그러나 clock의 배열은 약간 복잡해지면서 Shift Resister의 段数를 크게 줄일 수 있는 方法이 있다. 한 例로 4trit의 回路는 2trit의 回路를 그림5. (a) 와 같이 접속하면 간단하게 된다. 이때 상위 2trit에 対한 Shift Resister의 出力은 모두 入力으로 되돌려 보내진다. 그림5. (b)는 이 回路의 clock pulse pattern을 나타낸 것이며, 81개의 pulse가 周期的으로 반복된다.

SR1으로부터의 出力은

$$\left(\frac{2}{3}f\right)\cdot R_3(2,2)+\left(\frac{2}{9}f\right)\cdot R_2(2,2) \quad (12)$$

SR2, SR3, SR4로부터의 出力은 各各 다음과 같다.

$$\left(\frac{1}{3}f\right)\cdot R_3(1,1)+\left(\frac{1}{9}f\right)\cdot R_2(1,1) \quad (13)$$

$$\left(\frac{2}{27}f\right)\cdot R_1(2,2)+\left(\frac{2}{81}f\right)\cdot R_0(2,2) \quad (14)$$

$$\left(\frac{1}{27}f\right)\cdot R_1(1,1)+\left(\frac{1}{81}f\right)\cdot R_0(1,1) \quad (15)$$

5. 実験 및 結果検討

3値 inverter에는 CD4007을 Shift Resister 로는 MC14014를 使用하였으며, 4081, 4001등의 게이트를 使用하여 그림4. (a)의 回路를 構成하였다. 또 clock pulse 発生回路를 그림6과 같이 設計하였는데, 여기서 8段 Shift Resister로 Serial in Paralell out形의 MC14015를 使用하고 4002, 4069, 4073등의 게이트

를 使用하여 実験回路를 構成하였다. 論理값으로 0V (0), 4V(1), 8V(2)를 使用하였기 때문에 電源으로는 V_{DD}=8V, V_{SS}=0V를 印加하였다.

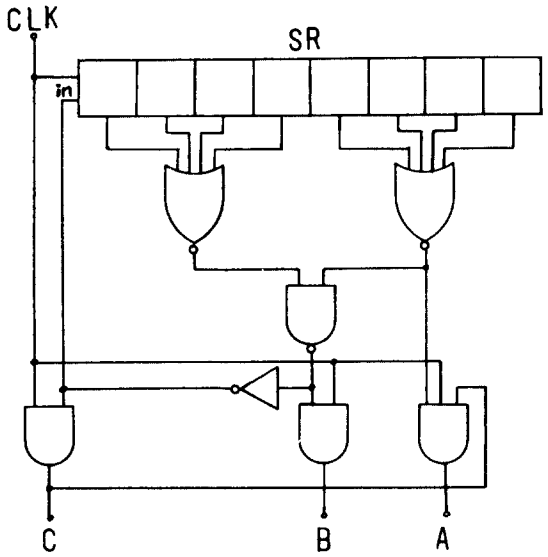


그림 6 그림4. (b)의 Clock Pulse 発生回路
Clock Generator for Fig. 4. (b)

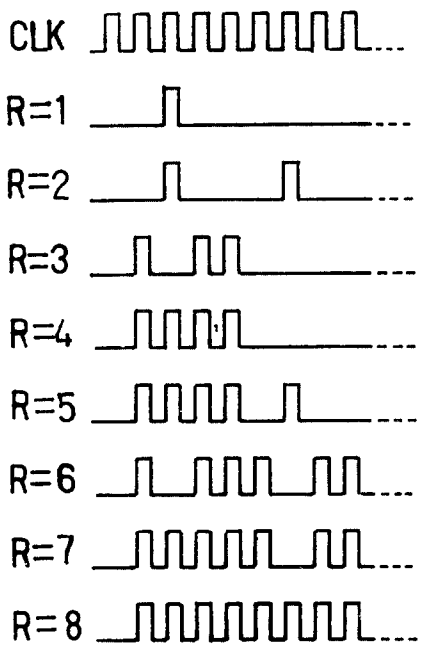


그림 7 各 Rate 入力에 따른 出力 pulse 分布
Output Pulse Distribution for Various Rate Input.

그림6. 의 回路에서 伝播遅延問題로 glich현상이 발생하기 때문에 이것을 補償하므로서 AND게이트의 入力에 buffer를 삽입하여 遅延時間을 갖게 하였다.

Rate入力을 여러가지 값으로 하였을 때의 出力波形은 그림7에 나타낸 바와 같이 매 9개의 clock pulse마다 R개의 出力pulse가 나타나는 것을 알 수 있었다. 各 素子등에 分布하고 있는 入力容量 때문에 高周波帶에서는 pulse의 모양이 나쁘게 되었지만, rise time과 pulse幅面에서 볼때 4MHZ 이상에서도 잘 動作하였다.

이 実験을 通하여 얻은 結果를 보면 本 論文에서 提案한 Shift Resister Rate Multiplier는 高速으로 動作할 수 있다고 판단되지만, Shift Resister의 最高動作 周波数에는 아직 미치지 못하였다. 이것은 clock 발생회로와 Rate Multiplier回路의 各 게이트에서 생기는 伝播遅延 때문인 것으로 생각된다.

6. 結 論

3値 計数器를 使用한 Rate Multiplier의 動作速度는 느리지만 clocking이 간단한 반면에 Shift Resister Rate Multiplier는 高速으로 動作할 수 있으나 clocking이 약간 복잡하게 된다. 그러나 多重方式에 使用될 때에는 clock pulse 発生回路는 1개만 必要하므로 前者보다는 경제 유리하며, 또 素子数는 약간 많지만 그 구조가 간단하기 때문에 Shift Resister로 dynamic cell을 利用한다면 集積化할 때 차지하는 面積은 그게 좋아진다.

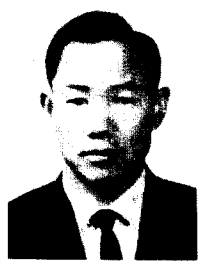
이 두가지 方式은 共히 出力 pulse의 分布가 均一하지 못한 것이 다소 아쉬우나 비교적 일정한 정확성을 要하지 않는다면, 制御, 測定, Digital Filtering 및 周波数 合成등 여러가지 응용에 使用될 수 있다.

参 考 文 献

(1) G. Epstein, "The Lattice Theory of Post Algebras", Trans. Am. Soc., 95, pp. 300~317, 1960.
(2) V.C.V. Pratapa Reddy and K.P. Rajappan, "Decade Rate-Multiplier," Proc. IEEE, vol. 60 p. 759, June 1972.
(3) A.R.Elliot, "A High-Speed Binary Rate-Multiplier," Proc. IEEE, vol. 59, pp. 1256~1257, Aug. 1971.
(4) R.M.M. Oberman, "A Flexible Rate-Multiplier Circuit with Uniform Pulse Distribution Outputs," IEEE Trans. Comput., vol. C-21, pp. 896~899, Aug. 1972.
(5) W.H. Ninke and G.R. Ritchie, "Shift Resister Binary Rate-Multipliers", IEEE Trans. Comput., vol. C-26, pp. 276~278, Mar. 1977.

(6) H.T. Mouftah, K.C. Smith, and Z.G. Vranesic, "Ternary Rate-Multipliers", IEEE Trans. Comput., vol. C-29, pp. 929-931, Oct. 1980.
(7) S.Y.H. Su and A.A. Sarris, "The Relationship Between Multivalued Switching Algebra and Boolean Algebra Under Different Definitions of Complement", IEEE Trans. Comput. vol. C-21, pp. 479-485, May 1972.
(8) D.C. Rine, "Computer Science and Multiple-Valued Logic Theory and Applications", North-Holland Inc., 1977.
(9) H.T. Mouftah and I.B. Jordan, "Design of Ternary COS/MOS Memory and Sequential Circuits", IEEE Trans. Comput., vol. C-26, pp. 281-288, Mar. 1977.

黃 仁 浩(In Ho HWANG) 準会員
1958年3月15日生
1980年2月：漢陽大学校工科大学通信工学科卒業
1980年3月～現在：中央大学校大学院電子工学科碩士課程在学中



沈 壽 輔(Soo Bo SIM) 正会員
1931年5月30日生
1958年9月：釜山大学校工科大学卒業
1981年8月：全北大学校大学院博士課程修了(工学博士)
1970年5月～1975年8月：韓国航空大学助教授
1975年8月～1978年8月：漢陽大学校工科大学副教授
1978年8月～現在：中央大学校工科大学電子工学科教授