

# 디지털 필터의 설계와 구성

## (A Design and Construction of Digital Filter)

이 대 영\*, 진 용 옥\*\*, 허 도 근\*\*\*

(Lee, Dae Young, Chin, Yong Ohk and Huh, Do Keun)

### 요 약

이 논문은 디지털 필터를 구성하는 기법과 측정결과를 고찰한 것이다. 필터는 PL<sup>[1]</sup> 방식에 따라 구성하였으며 DMA와  $\mu P$ 의 연산제어 프로그램을 이용하였다. 이로써 PL 방식의 단점인 플렉시빌리티(flexibility)의 문제를 일부 보완할 수 있었고, 일반용  $\mu P$ 에 의한 필터 구성보다 고속연산 수행이 가능하였다.

구성결과 15 KHz의 샘플링주파수( $f_s$ )를 리얼타임으로 처리할 수 있었으며 이는 DMA 제어 신호 실행시간 58  $\mu sec$ 에 의하여 제한 됨을 알았다.

측정결과  $f_s = 14$  KHz일 때 버터워스(Butterworth)인 경우 1665 Hz, 체비세프(Tchebichef)에서는 1455 Hz의 저지주파수( $f_{sp}$ )까지 설계조건과 근사한 필터특성을 얻을 수 있었다.

측정값에 대한 오차는 버터워스인 경우  $f_c = 500$  Hz에서 +0.2 dB,  $f_{sp} = 1000$  Hz에서 -1.1 dB 이었으며 체비세프인 경우  $f_c = 500$  Hz에서 +0.1 dB,  $f_{sp} = 750$  Hz에서 +0.2 dB 이었다.

### Abstract

This paper describes realization of digital filter using  $\mu P$  controller and discusses measured characteristics of this filter. The idea of P. L. implementation<sup>[1]</sup> is used in realization, and in this system we utilize a DMA and arithmetic control program of  $\mu P$ . In this way, we can get more flexible capability than the basic PL method, and higher speed than a filter using general purpose  $\mu P$  in hardware. Furthermore, we get a 15 KHz sampling frequency( $f_s$ ) as speed limit in real time processing, and know that this limitation is restricted by execution time (58  $\mu sec$ ) of DMA control statement.

As for filter characteristics, maximum stop band frequencies ( $f_{sp}$ ) are 1665 Hz, 1445 Hz in Butterworth and Tchebichef approximation, respectively, when  $f_s = 14$  KHz.

Measured errors between the design specification and the actual result are 0.2dB, 0.1dB in pass band (when cutoff frequency is 500 Hz), -1.1dB (when  $f_{sp}$  is 1000 Hz), 0.4dB (when  $f_{sp}$  is 750 Hz) in stop band frequency of Butterworth and Tchebichef, respectively.

### 1. 서 론

디지털 필터는 시스템으로 보면 시불변 선형 이산 시스템(linear invariant discret-time system)이

다. 아날로그 필터에 비해 정도(precision)는 떨어지지만 확도(accuracy)와 안정도(stability)가 좋고 필터의 종류, 사용주파수를 용이하게 변동시킬 수 있는 이점이 있다.

그러나 구성방법이 복잡하고 연산과 속도에 제한을 받는 단점이 있다. 디지털 필터의 중요한 응용분야는 레이더·소너 신호처리(radar and sonar signal processing), 음성 신호처리(speech processing), 패턴 인식(pattern recognition), 원격 측정 신호처리

\* , \*\* 正會員, 慶熙大學校 電子工學科  
(Dept. of Electronics Kyunghee Univ.)

\*\*\* , 正會員, 圓光大學校 電子工學科  
(Dept. of Electronics Wonkwang Univ.)

接受日字: 1980年 3月 11日

(processing of telemetering signals), 생체신호처리(processing of biomedical signals), 지구물리학 데이터처리(seismological data processing), 영상처리(image enhancement) 아날로그 시스템의 디지털 시뮬레이션(simulation of analog system) 등 저주파 영역의 신호해석 처리분야이며 처리속도를 향상시키면 FDM과 TDM통신분야에의 응용도 가능하다.<sup>[9]</sup>

그러나 모든 아날로그 필터를 디지털 필터로 시뮬레이션시킬 수는 없는데 이의 중요한 이유는 연산속도 때문이다. 이를 해결하려면 고속 연산 알고리즘과 고속 하드웨어 구성이 뒤따라야 한다.<sup>[2]</sup>

본 연구는 연산알고리즘 개발보다는 하드웨어 구성에 의한 속도 향상에 주안점을 두었으며 플렉시빌리티 문제를 개선하기 위해 일반용  $\mu P$ 를 제어기기로 사용하였다.

이로써 PL<sup>[7]</sup> 방식의 단점을 보완할 수 있다는 데 착안한 것이다. 제 2장에서는 연산알고리즘과 하드웨어 구성을 설명하고, 3장에서는 설계조건과 이에 따른 설계방법을, 4장에서는 실험과 고찰을 다루고, 5장에서 결론을 맺었다.

필터의 종류로는 바터워즈, 체비세프 근사법에 의한 저역통과 여파기를, 변환방법으로는 임펄스 인베리안트(impulse invariant)법을, 필터의 구성으로는 순환성(recursive) 병렬형(parallel form)으로 하였다.

## 2. 연산 알고리즘과 하드웨어 구성

### 2-1. 연산 알고리즘

아날로그 전달함수를 디지털 전달함수로 변환하는 방법은

- 1) 미분 매핑법(the method of mapping of differentials)
- 2) 임펄스 인베리안트법(the impulse invariant transformation)
- 3) 바이 리니어 변환법(the bilinear transformation)
- 4) Z 변환 정합법(the matched Z-transform technique)을 사용한다.<sup>[4]</sup>

본 논문에서 2)의 방법을 사용하였는데 이는 하드웨어 구성상 입력처리가 용의하기 때문이지만 3)의 방법에 비하여 시뮬레이션 특성은 저하된다.<sup>[1, 2, 4, 5]</sup> 일반적인 아날로그 필터의 전달함수  $H_a(s)$ 는

$$H_a(s) = \frac{\sum_{k=0}^M A_k s^k}{\sum_{k=1}^N s_k s^k} = \frac{\prod_{k=1}^M (s + A_k)}{\prod_{k=1}^N (s + s_k)} \dots\dots\dots (1)$$

이를 부분 분수 형태로 쓰면

$$H_a(s) = \sum_{k=1}^N \frac{A_k}{s + s_k} \dots\dots\dots (2)$$

여기서  $s_k = (\sigma + j\Omega)$  : 극점

$A_k = (g_k + jh_k)$  : 계수

이에 대응하는 아날로그 필터의 응답  $h_a(t)$ 는

$$h_a(t) = \sum_{k=1}^N A_k e^{s_k t} U(t) \dots\dots\dots (3)$$

이의 단위샘플응답  $h_a(nT)$ 는

$$h_a(nT) = \sum_{k=1}^N A_k e^{s_k nT} U(nT) \dots\dots\dots (4)$$

여기서 T : 샘플주기

이의 Z 변환식은

$$H(Z) = \sum_{k=1}^N \frac{A_k}{1 - e^{s_k T} Z^{-1}} \dots\dots\dots (5)$$

만약 (2)식을 복소수로 표현하고 1개의 단위 샘플만을 고려하였을 때  $A_k$ 의 허수 실수부분에 대한 전달함수와 이의 Z 변환은

$$H_R(s) = \frac{s + \sigma}{s^2 + 2\sigma s + \sigma^2 + \Omega^2} \rightarrow H_R(Z) = \frac{1 + Z^{-1} e^{-\sigma T} \cos \Omega T}{1 - 2Z^{-1} e^{-\sigma T} \cos \Omega T + Z^{-2} e^{-2\sigma T}} \dots\dots (6)$$

$$H_j(s) = \frac{\Omega}{s^2 + 2\sigma s + \sigma^2 + \Omega^2} \rightarrow H_j(Z) = \frac{Z^{-1} e^{-\sigma T} \sin \Omega T}{1 + 2Z^{-1} e^{-\sigma T} \cos \Omega T + Z^{-2} e^{-2\sigma T}} \dots\dots (7)$$

이를 階差방정식(difference equation)으로 역변환한다면,

$$Y_R(n) = X_n - X_{n-1} e^{-\sigma T} \cos \Omega T - Y_{n-1} 2 e^{-\sigma T} \cos \Omega T + Y_{n-2} e^{-2\sigma T} \dots\dots\dots (8)$$

$$Y_j(n) = X_{n-1} e^{-\sigma T} \sin \Omega T - Y_{n-1} 2 e^{-\sigma T} \cos \Omega T + Y_{n-2} e^{-2\sigma T} \dots\dots\dots (9)$$

이 된다.

### 2-2. 샘플링 주기의 선정

샘플링 주기 T는 에일리에이징(aliasing) 오차 때문에 될 수록 작게 선정하여야 한다.<sup>[1, 2, 4, 5]</sup>

만약 고정소수 방식의 연산을 한다면  $X_n, Y_n$  의 계수가 1이하의 값을 가져야 환산 계수 오차를 줄일 수 있다.

(8)과 (9) 식에서  $X_n, Y_n$  중의 제일 큰 계수  $2e^{-\sigma T} \cos \Omega T$ 가 1 이하가 될려고 하면

$$T \leq \left| \frac{-\ln 0.5}{\sigma} \right| = \left| \frac{-0.6931}{\sigma} \right| \dots \dots \dots (10)$$

의 조건이 만족 되도록 T가 선정되어야 한다. 이는 에일리에이징 오차와 함께 샘플링 주기 선정의 중요한 요인이 된다.

2-3. 하드웨어 구성

디지털 필터를 하드웨어로 실현하는 방법에 관해서는 여러가지의 방법이 고안 발표된 바 있으나 잭슨, 카이저, 맥도날드(Jackson, Kaiser, McDonald : [JKM])<sup>[6]</sup> 방법과 펠리드, 리우(Peled, Liu : [PL])<sup>[7]</sup> 그리고 몬 키우치, 스티나르트(Monkewich and Steenaart : [SM])<sup>[8]</sup> 등이 대표적인 것으로 알려지고 있다. PL 방식은 JKM 방식보다 소산전력, 속도, 비용면에서 우세한 반면 플렉시빌리티가 떨어지며 MS 방식은 PL 방식 보다 빠르지만 하드웨어 코스트가 높아진다.<sup>[1]</sup>

일반적으로 디스크리트 값  $X_n$  을 고정소수로 표시되는 디지털 값  $X_n^k$  는

$$X_n = \sum_{k=1}^L 2^{-k} X_n^k \dots \dots \dots (11)$$

로 표시된다. (8)과 (9)식의 계수가 각각  $b_0, b_1, a_1, a_2$  이고 고정소수로 표시 가능하다면

$$Y_1(n) = b_0 X_{1n} + b_1 X_{1n-1} - a_1 Y_{1n-1} - a_2 Y_{1n-2} \dots \dots \dots (12-a)$$

$$= \sum_{k=1}^L 2^{-k} (b_0 X_n^k + b_1 X_{n-1}^k - a_1 Y_{n-1}^k - a_2 Y_{n-2}^k) \dots \dots \dots (12-b)$$

$$= \sum_{k=1}^L 2^{-k} F_k(X_n^k, X_{n-1}^k, Y_{n-1}^k, Y_{n-2}^k) \dots \dots \dots (12-c)$$

여기에서  $F_k$  의 변수 값이 4개 있으므로 16개의 다른 값을 가질 수 있으며  $X_n^k, X_{n-1}^k, Y_{n-1}^k, Y_{n-2}^k$  를 해당 번지로 하여 (12-b)식에서  $b_0 X_n^k + b_1 X_{n-1}^k - a_1 Y_{n-1}^k - a_2 Y_{n-2}^k$  의 합을 고정소수로 ROM에 저장 시킨다.

만약 입력이 L 비트의 단어길이(word length) 를 가진다면 L 번의 오른쪽 쉬프트와 Add 동작으로 (12

-b) 식을 계산할 수 있다.

이와 같은 과정을 수행할 수 있는 원리는 그림 1과 같으며 순환성 필터를 병렬형으로 구성한 PL 방식의 일환이다.

12-a 식은 4개의 곱셈을 연산해야 하나 12-c 식은 4개의 곱셈을 미리 해논 결과가 됨으로 연산속도를  $\frac{1}{4}$  로 단축할 수가 있다.

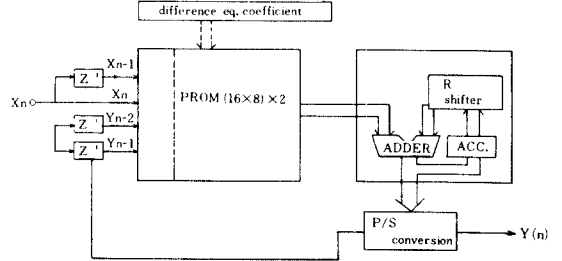


그림 1. 순환성, 병렬형 디지털 필터의 구성도  
Fig.1. Functional schematic diagram for recursive parallel form digital filter.

3. 설계와 구성

3-1. 설계조건

본 연구에서 설계 요건은

1) 통과대역 :  $0 - 0.2\pi$  에서 1dB

$$20 \log |He^{j0.2\pi}| \leq -1$$

2) 저지대역 :  $\leq 0.4\pi$  에서 15dB

$$20 \log |He^{j0.2\pi}| \leq -15$$

이를 버터워즈 저역통과 필터로 구성한다면 4차(forth order) 필터로 구성된다.

디지털 필터의 제차 방정식은

$$Y(n) = Y_1(n) + Y_2(n) \dots \dots \dots (13-a)$$

$$Y_1(n) = 0.5694 X_1(n) + 0.5148 X_1(n-1) + 1.5042$$

$$Y_1(n-1) - 0.5695 Y_1(n-2) \dots \dots \dots (13-b)$$

$$Y_2(n) = 1.3746 X_2(n) - 0.3420 X_2(n-1) + 1.0057$$

$$Y_2(n-1) - 0.2529 Y_2(n-2) \dots \dots \dots (13-c)$$

한편 체비세프의 경우는

1) 통과대역 : 버터워즈와 동일

2) 저지대역 :  $\leq 0.3\pi$  에서 15dB

$$20 \log |He^{j0.3\pi}| \leq -15$$

디지털 제차 방정식은

$$Y(n) = Y_1(n) + Y_2(n) \dots \dots \dots (14-a)$$

$$Y_1(n) = 0.08327 X_1(n) + 0.0239 X_1(n-1) + 1.5658$$

$$Y_1(n-1) + 0.6549 Y_1(n-2) \dots \dots \dots (14-b)$$

$$Y_2(n) = 0.08327 X_2(n) - 0.0246 X_2(n-1) + 1.4934$$

$$Y_2(n-1) + 0.8392 Y_2(n-2) \dots \dots (14-c)$$

을 얻는다.<sup>[13]</sup> 이를 (12-c) 와 같이 표현하고 바터워즈인 경우 계수가  $2 \leq a_1 + a_2 + b_1 - b_2 \leq 4$  이므로 고정소수로 표현하기 위한 환산 계수는  $2^{-2}$  을 곱하고 체비셰프인 경우 계수가  $1 \leq a_1 + a_2 + b_1 - b_2 \leq 2$  이므로  $2^{-1}$  을 곱하여 PROM에 저장한다.

식 (13)과 (14)를 구현하기 위한 scheme 은 그림 2 와 같으며 입력  $X(n)$  이 동일하게 공급 하므로  $X_1(n) = X_2(n)$  이며 이에 대한 각각의 전달함수를 곱하여  $Y_1(n), Y_2(n)$  를 얻고 이를 합성하면  $Y(n)$  을 얻을 수 있다.

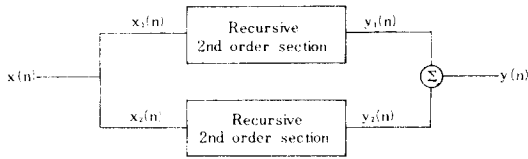


그림 2. 병렬형 4 차 디지털 필터의 구성  
Fig. 2. Construction of 4th order digital filter in parallel form.

3-2. 구 성

2 차 구간(second order section) 계차방정식 (13) (14) 을 연산하려면 그림 1, 2 를 그림 3 과 같이 구성한다.

MCS-85 CPU를 연산제어 장치로 사용하며 MCS-85의 메모리 8155 RAM에  $F_k$  를 기억시켜 두고 DMA 방법으로 연산하는 방법이다.

(12-c) 식의 연산은 본연구팀이 제작한 DMA 와

ALU에서 행한다. 구체적인 연산과정은 그림 4의 흐름도와 같다.

A/D 변환기는 Teledyne Philblic D/A 4060 와 그외의 회로로 구성하였으며 8 bit로써 최대속도 25  $\mu$  sec 이다.

DMA는 8155 RAM과 ALU를 직접 제어하여 필터 연산을 수행하는데 2개의 PROM과 카운터 쉬프트레

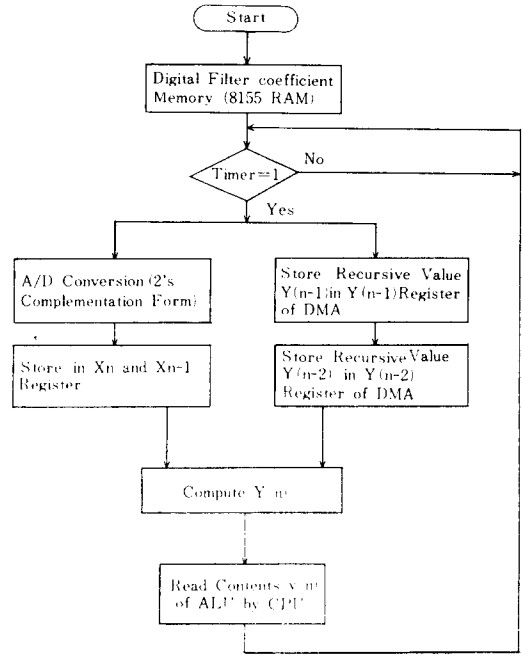


그림 4. 연산과정 흐름도  
Fig. 4. Flow chart of arithmetic operation process.

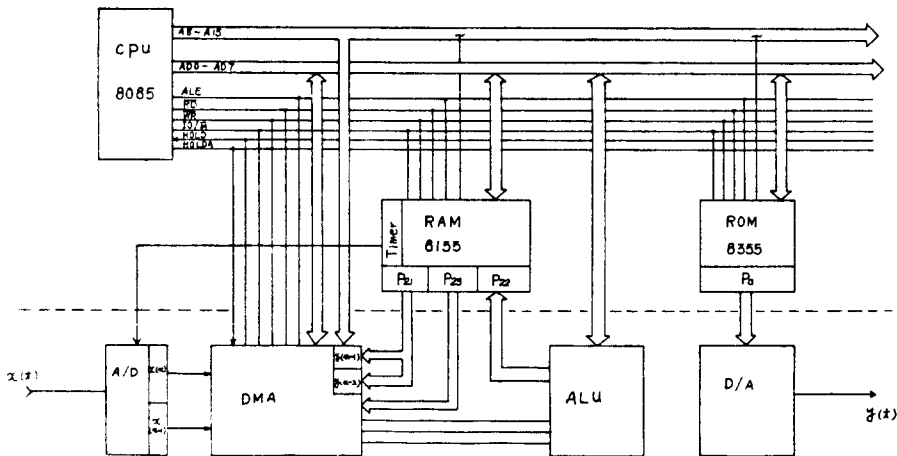


그림 3. 디지털 필터의 기능도  
Fig. 3. Functional block diagram of digital filter.

디지털 필터의 설계와 구성

지스터 등으로 구성하였으며 제어신호 발생, (타이밍 도는 그림 5 참조)  $Y(n-1)$ ,  $Y(n-2)$  레지스터, 어드레스 발생등의 기능을 가졌다.

ALU는 2개의 가산기(7483) 2개의 쉬프트레지스터(74165) X-OR(7486) 등으로 구성하였으며 쉬프트와 가산 작용을 8회 반복하여 (12-c) 식을 연산하고 최종 결과는 822를 통해 CPU에 입력되도록 구성하였다.

D/A 변환기는 전압형으로 사용하기 위해 고속 연산 증폭기(1430)을 사용하였다.

8085의 필터연산제어 프로그램은 참고문헌 [13]에 수록되어 있으므로 본 논문에서는 생략하였다.

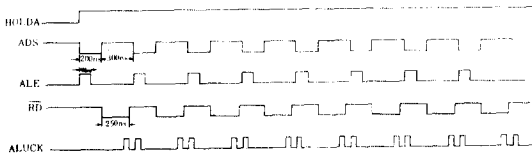


그림 5. DMA 제어신호 타이밍도  
Fig.5. Timing diagram of DMA control signal.

4. 실험 및 고찰

4-1. 실험과 결과

3-1에서 설계 제작된 필터는 그림 6과 같이 구성하여 필터 특성을 측정하였다.

샘플링 주파수  $F_s = 5\text{KHz}$  로 고정하고 주파수 변화에 따른 진폭을 측정하여 전달함수의 특성을 알아보았으며 표 1과 그림 7에 표시하였다.

$f_s$  에 대한 차단 주파수( $f_c$ ) 및 저지 대역주파수( $f_{sp}$ )의 영향을 알기 위해서는 입력전압을 고정하

고  $f_s$  를 변화시켜 각각  $-3\text{dB}$ ,  $-15\text{dB}$  점의 주파수를 측정하였다.



그림 6. 디지털 필터의 실험장치  
Fig.6. Test set up for measuring characteristic of digital filter.

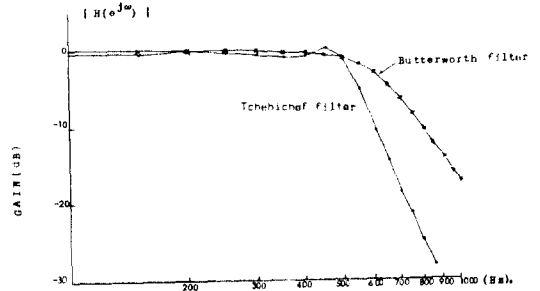


그림 7. 필터의 주파수 응답 ( $f_s = 5\text{KHz}$ )  
Fig.7. Frequency responses of digital filters.

4-2. 결과 고찰

표 1에서 설계조건에 의한 이론치와 실험측정치 사이에 오차가 있음을 알 수 있다. 이는 양자화 오차, 반올림 오차(round off error) 등 디지털 변환에 의한 필연적 요인외에  $F_k$ 의 환산계수 때문에 생기는 언더플로워(underflow) 오차가 좀더 크게 작용하는

표 1. 디지털 필터의 응답주파수  
Table 1. Frequency responses of digital filters.

Input freq. (Hz)		0	50	100	150	200	250	300	350	400	450	500	517	550	592	600	650	700	750	800	850	900	950	1000	
Butterworth filter (dB)	design spec.	-	-	-	-	-	-	-	-	-	-	1.0	-	-	3.0	-	-	-	-	-	-	-	-	-	18.3
	measuring values	0	0	0	0	0	0	0.1	0.2	0.4	0.7	1.2	-	1.9	-	3.0	4.9	6.5	8.5	10.5	12.3	14.1	15.8	17.2	
	errors												+0.2												-1.10
Tchebichef filter (dB)	design spec.	-	-	-	-	-	-	-	-	-	-	1.0	3.0	-	-	-	-	-	-	24.6	-	-	-	-	-
	measuring values	+1.1	0.9	0.6	0.2	0	0.3	0.6	1.0	0.6	0	0.9	-	6.2	-	10.5	14.5	18.6	21.2	25.2	28.1	-	-	-	
	errors											+0.1								-0.4					

(\*  $f_s = 5\text{KHz}$  5,000 samples/sec)

것으로 보인다.

환산계수가 작은 체비셰프의 경우에서 오차가 적은 것으로도 명백히 예측할 수 있다.

이 2종류 오차의 정량적 해석은 문헌[7]에서 제시되었으므로 생략하였다. 또한  $f_s$ 의 상한에 제약을 줄 수 있는 요인은 A/D 변환시간  $25 \mu\text{sec}$ , DMA 제어신호 수행시간  $58 \mu\text{sec}$ , DMA 연산시간  $10 \mu\text{sec}$ 이다. 이중 2번째 요인 때문에  $f_s = 15 \text{KHz}$  근방이 된다. 하한주파수 제약은  $2 \text{Hz}$ 이었는데 이는 에일리에이징 오차 때문인 것으로 판단된다.

전체적의 구성은 승산기 없이도 속도가 빠른 디지털 필터를 융통성있게 구성한 것이다.

$\mu\text{P}$ 로만 구성할 때에 비해서 고속필터 구성이 가능했으며 하드웨어로만 구성할 때에 비해서 융통성이 향상되었다.

그러나 코스트가 현저히 저하 되지는 않는다. 이유는  $\mu\text{P}$ 와 그 부속회로를 사용하기 때문이다.

현시점에서 볼때 디지털 신호처리는 코스트 보다는 속도향상과 융통성 제고가 더 중요한 요소이다.

## 5. 結 論

본 연구는 아날로그 필터 특성으로부터 디지털 필터를 설계하고 필터의 연산을 DMA와  $\mu\text{P}$ 의 소프트웨어를 이용한 방법이다.

PL 방식의 플렉시빌리티가 떨어지는 단점일반용  $\mu\text{P}$ 의 제어프로그램을 사용하여 보완한 것이다.

DMA 방법과 ALU를 따로 사용함으로써 일반용  $\mu\text{P}$ 보다 훨씬 고속 연산이 가능하였다.[14]

연산속도를 더욱 증가시켜 샘플링 주파수의 상한을 높이려면 고속 A/D 변환기, 고속 메모리, 고속 CPU를 사용해야 하며 이를 위해서는 쇼트키 TTL이나 ECL 논리회로를 사용해야 한다.[15]

제어프로그램은 마이크로 프로그램으로 구성하여 수행시간을 단축하는 방법[16]을 사용할 수 있으며, 필자중의 2사람은 이의 연구를 진행하고 있다.[10]

새로운 알고리즘의 개발에 의한 연산 속도 향상은 본 연구에서 다루지 않았지만 페르메트 수 변환(fermat number transform)과 같은 알고리즘의 도입을 생각하여야 한다.[11]

연산오차를 줄이기 위해서는 필요에 따라 단어길이를 늘리는 방법을 사용하기 위해 비트슬라이스(bit slice) 기술을 고려할 수 있다.[15, 10]

변환오차를 줄이기 위해서는 통신 공학에서 사용하는 압축방식(companding)을 이용하거나 A/D 변환을 선별적으로 행하는 방법[12] 등이 고려 될 수 있

는다.

필터를 구성할때 예리한 차단 특성을 얻기 위해서 체비셰프 근사법이 유용함을 알 수 있지만 카우어(Cauer) 베셀(Bessel) 근사법도 생각하여야 하고, 구성방법이나 변환방법을 선택할 때는 종속단의 증가, 바이리니어 변환 연산을 행해야 한다.

한편 체비셰프 필터를 최적 여파기(optimum filter)로 구성 할려면 에퀴리플(equiripple)점을 정확히 계산하는 파크맥클레란(Park-McClellan)[17] 방법을 이용하여 해석하여야 할 것이다.

본 연구가 저역통과 여파기에 국한 하였지만 이를 기초로 다른 여파기도 구성할 수 있으리라 생각한다.

## 參 考 文 獻

1. A. Antoniou ; Digital filters: analysis and design, McCraw-Hill book Co. Inc., N. Y., U. S. A. 1979.
2. A. V. Openheim and R. W. Schafer ; Digital signal Processing, Prentice-Hall Inc., Englewood Cliffs N. J., U. S. A. 1975.
3. A. V. Openheim (ed) ; Application of digital signal Processing, Prentice-Hall Inc., Englewood Cliffs. N. J., U. S. A. 1978.
4. W. R. Rabiner and B. Gold ; Theory and application of digital signal Processing, Prentice-Hall, Inc., Englewood Cliffs, N. J., U. S. A. 1975.
5. A. Peled and Liu ; Digital signal Processing, New York Wiley 1975.
6. L. B. Jackson, J. K. Kaiser and H. S. McDonald ; An Approach to Implementation of Digital Filters, IEEE. Trans. Audio Electroacoustics, Vol. AU-16, pp. 413-421, Sep. 1968.
7. A. Peled and Liu ; A New Hardware Realization of Digital Filters, IEEE. Trans. Acoust speech and signal process., Vol. ASSP-22, pp. 456-462, Dec. 1974.
8. O. Monkewich and W. Steenaart ; Companding for Digital Filters, Proc. 1975 IEEE. Int. Symp. Ckts. Syst. pp. 68-71.
9. S. L. Freeny et al ; Design of Digital Filter for an All Digital FDM-TDM Translator, IEEE. Trans, Circuit Theory, Vol. CT-18, pp. 702-711, Nov. 1971.

10. 진용옥, 김순협, 김장복 ; Real Time Digital Signal Processor의 설계와 제작 (in prepare)
11. R. C. Agarwal and C. S. Burrus ; Fast Convolution using Fermat Number Transforms with Applications to Digital Filterings. IEEE. Trans. on ASSP., Vol. 22, No. 2, pp. 87-97, Apr. 1974.  
(Also P-H Signal Processing series, J. M. McClellan and C. M. Rader, Number theory in digital signal processing prentice-Hall Inc. Englewood cliffs N. J. 1979 pp 168-178)
12. J. R. Heath, H. T. Nagle and S. G. Shiba ; Realization of Digital Filter Using Input - Scaled Floating-Point Arithmetic, IEEE. Trans. on ASSP., Vol. 27, No. 5, Oct. 1979 pp. 469-477.
13. 허도근 ; "마이크로 프로세서를 이용한 디지털 필터의 설계", 경희대학교 대학원 석사 학위논문 1979. 12.
14. N. Ahmed and J. P. Jayapalan ; On Digital Filter Implementation Via Microprocessors IEEE. Trans. on IECI, Vol. 23, No. 3, Aug. 1976, pp. 249-253.
15. J. Allen ; Computer Architecture for Signal Processing IEEE. Proc. Vol. 63, No. 4, Apr. 1975, pp. 624-633.
16. Y. S. Wu ; Architectural Considerations of a Signal Processor under Microprogram Control, Spring Joint Comp. Conf., AFIPS. Conf. Proc., Vol. 40, May 16-18, 1972. pp. 675-683  
(also IEEE. Press Books ; Digital signal Computers and Processors, A. C. Salazar (ed), 1977, pp. 84-92).
17. T. W. Park and J. H. McClellan ; Tchebichef Approximation for Nonrecursive Digital Filter with Linear Phase, IEEE. Trans. on Circuit Theory, Vol. CT-19, Mar., 1972, pp 189-194.
18. A. W. Crooke and J. W. Craig ; Digital Filters for Sample-Rate Reduction, IEEE. Trans. on Audio and Electroacoustics, Vol. AU-20, No. 4, Oct. 1972.

