

Integrated Injection Logic— 設計에 대한 고찰과 실험결과 (Integrated Injection Logic— Design Considerations and Experimental Results)

徐 光 錫*, 金 忠 基**

(Seo, Kwang-Seok and Kim, Choong-Ki)

要 約

Integrated Injection Logic의 설계를 npn transistor의 상향電流증폭율, β_u 을 중심으로 하여 검토하였다. I²L 기본회로의 DC, AC 특성과 npn transistor의 베이스 전류성분을 측정하기 위하여 test structure를 제작 하였으며 또한 I²L T flip-flop도 설계, 제작하였다. 제작된 test structure의 특성은 β_u 가 10, speed-power product가 2.6pJ/gate, 최소 전달 지연 시간이 36 nsec 였으며 T flip-flop은 3.5 MHz 까지 동작하였다.

Abstract

Design considerations of I²L are discussed with particular emphasis on the upward current gain of the npn transistor, β_u . Several test structures have been fabricated to measure the DC and AC characteristics of the I²L basic cell and the base current components of the npn transistor. A T flip-flop has also been designed and fabricated using the I²L technology. The upward current gain of 10, the speed-power product of the 2.6pJ/gate and the minimum propagation delay time of 36 nsec have been obtained from the test structure. The maximum toggle frequency of the T flip-flop has been measured to be 3.5 MHz.

1. 序 論

LSI를 만들게 된 이후 1970년대 초반까지, bipolar 製作技法은 단위면적당 素子수가 적어 LSI 製作技法으로는 부적당하다고 생각되었다. 그러나, 1972년에 새로운 bipolar logic인 Integrated Injection Logic (I²L)이 발표^{[1],[2]}된 이후로, 이 技法을 사용하

* 正會員, 韓國電子技術研究所

** 正會員, 韓國科學院 電氣 및 電子科

(Korea Institute of Electronics Technology, and Dept. of Electrical Science, KAIS)

接受日字; 1979年 1月 6日

표 1. Digital LSI 소자의 비교 (Electronics, 1975년 10월)

Table 1. Comparison of digital LSI device. (Electronics, Oct. 1975)

	Silicon gate NMOS	CMOS	I ² L	Low power Schottky TTL
Gate delay (ns)	10-50	50	10-50	1-10
Speed-power product (pJ)	10	4.0	0.1-1.0	10-20
Photo masks	5	6	4-5	7
Number of diffusion	3	3	2-3	4
Density (gate/mm ²)	200	100	300	50

여 16 bit microprocessor, 16 K dynamic RAM 등의 많은 bipolar LSI가 만들어졌다. 그 이유는 표-1에서 볼 수 있는 바와 같이 I²L이 보통 bipolar logic과는 달리 MOS 製作技法과 비슷한 큰 제작밀도를 갖고 있으며, 사용하는 mask 수가 적어 제작비가 낮고 또 CMOS보다 작은 speed-power product를 가지기 때문이다.

I²L에서는 역으로 사용되는 npn transistor의 전류 증폭율이 logic의 성능을 좌우하는 중요한 요인이다. 따라서 본 논문에서는 test structure를 제작하여 base 전류의 각 성분들을 측정하였으며, 표준 I²L 製作工程으로 만들어진 test chip으로부터 I²L의 DC, AC 특성을 측정하였다. 또 손목시계등에 많이 사용되는 T flip-flop을 설계, 제작하여 I²L이 큰 제작밀도를 가지고 있음을 보였다.

2. 이 론

2-1. I²L의 동작원리

I²L의 구조는 그림 1(a)의 DCTL(Direct coupled transistor logic) 구조에서 비롯한다. 이 구조에서

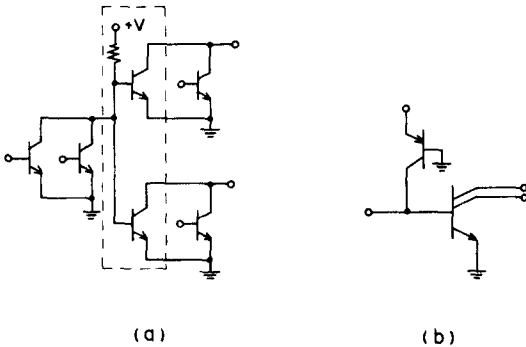


그림 1. I²L 회로의 원리

(a) DCTL 구조 (b) I²L의 기본 구조
Fig.1. Origin of I²L structures.
(a) DCTL structure (b) Basic structure of I²L

load 저항 대신에 npn transistor를 active load로 사용하고, base가 같이 연결된 npn transistor들을 한 개의 multi-collector npn transistor로 대체한 것이 그림 1(b)의 I²L 기본구조이다. 따라서 I²L로 NAND logic을 구성하려면, 그림 2와 같이 gate의 출력들을 wire-ANDing하면 된다. 실제의 I²L logic에서는 그림 2에서 볼 수 있듯이 각 gate마다 pnp transistor를 사용하는 대신에 보통 한개의 multi-

collector pnp transistor를 사용한다. 이 multi-collector pnp transistor의 emitter를 보통 injector라고 부른다.

I²L은 bipolar logic이므로 standard buried collector (SBC) bipolar 集積回路 製作技法으로 제작할 수 있다. 따라서 같은 chip 안에 다른 bipolar 회로, 즉 線形回路나 高速回路등을 넣을 수 있다.

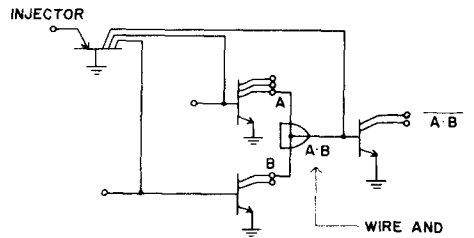


그림 2. I²L NAND logic
Fig.2. I²L NAND logic.

그러나 logic만을 만들 경우에는 n/n⁺wafer를 사용하여 n⁺ buried-layer diffusion과 p⁺ isolation diffusion을 제외한 간단한 제작기법으로 제작할 수 있다.

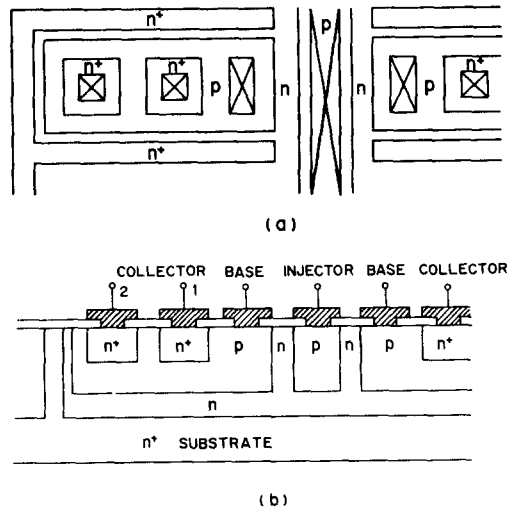


그림 3. 출력이 두개인 I²L gate의 Layout와 단면도
(a) Layout (b) 단면도
Fig.3. Layout and cross section of I²L gate with fanout of 2.
(a) Layout (b) Cross-sectional view

이와 같이 단순화된 제작기법을 사용한 출력이 들인 I²L gate 를 例로하여 layout 와 단면도(cross-sectional view)를 그림 3 에 보였다. 그림 3에서 볼 수 있듯이, I²L 구조에서는 lateral npn transistor 의 collector 와 base가 동시에 각각 vertical npn transistor 의 base와 emitter가 되므로 gate 내부의 metal 연결이 필요없고, vertical npn transistor 가 보통 npn transistor 와는 반대로, 즉 emitter 와 collector가 서로 바뀌어 사용되므로 각 npn transistor 들의 emitter 를 metal 로 연결할 필요가 없다. 이러한 이유들과 저항이 사용되지 않는다는 사실이 I²L로 하여금 큰 제작밀도를 갖게 한다. 그림 3(b)에서 isolation diffusion(D⁺)으로 gate 를 둘러싼 것은 인접된 gate 상호간의 영향을 줄이고, base 전류중 다음章의 J_{PV} 성분을 줄여 β_u 을 증가시키기 위하여 서이다.^[3]

2-2. npn transistor 의 전류증폭률

I²L 이 정상적으로 동작하기 위하여서는 npn transistor 의 각 collector 에 대하여 common emitter 전류증폭률 β_u 가 1 보다 커야 한다. 그런데, I²L 에서는 npn transistor 를 보통 transistor 구조와 반대로 사용하므로 β_u 가 보통 10 이하의 낮은 값을 갖게 되어, β_u 가 I²L 의 성능을 좌우하는 중요한 요인이 된다. 따라서, 역으로 동작하는 npn transistor 의 base 전류에 대한 해석이 필요하다. 그림 4 의 I²L 구조에서 역으로 동작하는 npn transistor 의 base 전류는 다음과 같은 4 가지 성분으로 이루어져 있음을 볼 수 있다.^[3]

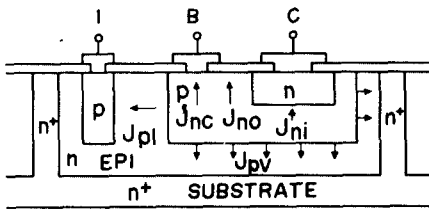


그림 4. I²L gate 의 base 전류 성분들
Fig. 4. Base current components of I²L gate.

- a. metal 과 접촉된 base 영역(면적 = S_{BC}) 으로 주입되는 電子電流密度, J_{nc}.
- b. oxide 로 덮여 있는 base 영역(면적 = S_{BO})으로

주입되는 電子電流密度, J_{no}.

c. epi 층과 substrate 로 주입되는 正孔電流密度, J_{PV}.

d. injector 로 주입되는 正孔電流密度, J_{pe}.

따라서, base 전류 I_B 와 전류증폭률, β_u 는

$$I_B = S_{BC} J_{nc} + S_{BO} J_{no} + S_{BT} J_{PV} + S_{EL} J_{pe} \quad (1)$$

$$\beta_u = \frac{I_C}{I_B} = \frac{S_C J_{ni}}{S_{BC} J_{nc} + S_{BO} J_{no} + S_{BT} J_{PV} + S_{EL} J_{pe}} \quad (2)$$

로 표시할 수 있다. 여기서 S_{BT} 는 base 의 전채면적, S_{EL} 은 injector 와 면해 있는 base 의 면적, S_C 는 collector 의 면적, J_{ni} 는 collector 로 주입되는 電子電流密度를 표시한다.

Moll and Ross 의 결과^[4] 와 high doping 효과^[5] 에 의하여, 전자전류밀도 J_{ni}, J_{nc} 는 工程 parameter R_{SB}, R_{SC} 와 다음과 같은 관계를 갖는다.^[6]

$$J_{ni} = C R_{SC} \quad (3)$$

$$J_{nc} = C R_{SB} \quad (C \text{ 는 상수}) \quad (4)$$

여기서, R_{SB}, R_{SC} 는 collector 로 덮여지 않은 base 영역과 collector 로 덮힌 base 영역의 sheet resistance 를 표시한다. J_{no} 는 oxide 로 덮혀 있다는 경계조건의 차이때문에 J_{nc} 와 다른 값을 갖게 되나, 간단히 다음과 같이 표시될 수 있다.^[7]

$$J_{no} = K J_{nc} \quad (K \text{ 는 상수} : 0.1 \sim 0.5) \quad (5)$$

식 (2), (3), (4), (5)에 의하여 전류증폭률 β_u 을 구하면, β_u 는

$$\beta_u = \frac{S_C \cdot C \cdot R_{SC}}{(S_{BC} + K S_{BO}) C R_{SB} + S_{BT} J_{PV} + S_{EL} J_{pe}} \quad (6)$$

가 된다. 따라서, β_u 를 증가시키기 위해서는 S_C / S_{BT} 와 R_{SC} / R_{SB} 를 크게 하여야 함을 알 수 있다.

2-3. base 전류성분의 측정 방법

Base 전류성분중 어느 것이 큰 비중을 차지하는가를 알기 위하여서는 test 구조를 사용하여 각 성분을 측정하여야 한다.^[8] J_{no} 는 base 전채면적은 서로

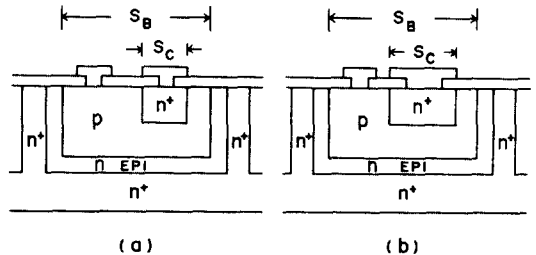


그림 5. J_{no} 를 구하기 위한 test 구조
Fig. 5. I²L test structure to determine J_{no}.

간고 collector 면적은 다른 그림 5의 test 구조에서 base 전류의 차이를 측정함으로써 구할 수 있으며, 이때 J_{no} 는

$$J_{no} = \frac{\Delta I_B}{\Delta S_C} \quad S_{BT}, S_{BC} = \text{일정}$$

와 같다. 마찬가지로 J_{nc} 는 그림 6의 test 구조에서 구할 수 있으며, 이때 다음과 같은 관계가 성립한다.

$$J_{nc} - J_{no} = \frac{\Delta I_B}{\Delta S_{BC}} \quad S_C, S_{BT} = \text{일정}$$

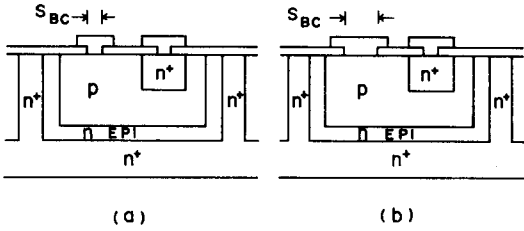


그림 6. J_{nc} 를 구하기 위한 test 구조
Fig. 6. I²L test structure to determine J_{nc} .

나머지 전류성분중 J_{pv} 은 injector로 collect되는 전류를 측정함으로써 구할 수 있고, J_{pv} 는 측정된 전체 base 전류에서 나머지 3 성분에 의한 전류를 뺀으로써 구할 수 있다.

3. 설계 및 제작

식 (6)에서 βu 를 크게 하기 위하여서는 S_C/S_{BT} 를 크게 하여야 함을 알 수 있었다. 따라서, 최소線幅 $10\mu m$, alignment tolerance $5\mu m$ 의 design rule 을 사용하여 최소 크기의 기본 구조를 설계할 경우, S_C/S_{BT} 를 크게 하기 위하여 $S_{BT} = 60\mu m \times 30\mu m$, $S_C = 20\mu m \times 20\mu m$ 로 설계하였다. 기본 I²L gate의

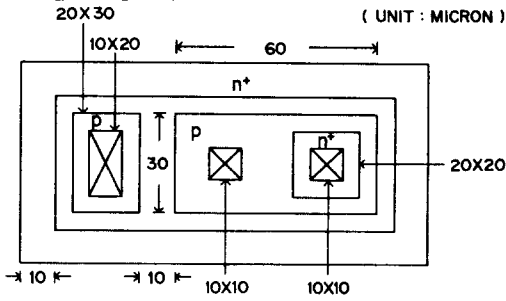


그림 7. 기본 I²L gate 의 layout
Fig. 7. Layout of the basic I²L gate.

layout 는 그림 7과 같다.

이 기본 I²L gate 를 사용하여 손목시계등에 많이 사용되는 T flip-flop 을 그림 8과 같이 설계 하였다. 그림 8(b)의 I²L T flip-flop 회로를 그림 8(a)의 NAND gate 를 사용한 T flip-flop 회로와 비교해 보면, I²L에서는 transistor 하나가 gate 하나의 역할을 함을 알 수 있다. I²L T flip-flop 의 layout 는 그림 8(c)와 같이 간단하게 설계된다.

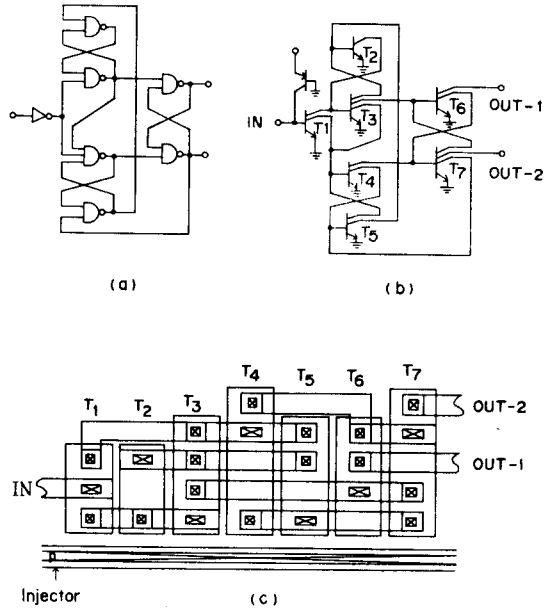


그림 8. I²L T flip-flop

(a) NAND Gate 회로 (b) I²L 회로 $T_2 \sim T_7$ 의 pnp 트랜지스터는 그림에서 생략되었음.
(c) I²L Layout

Fig. 8. I²L T flip-flop.

(a) NAND Gate realization (b) I²L realization (pnp transistors for $T_2 \sim T_7$, are omitted in the drawing.) (c) I²L Layout

I²L 製作工程에서는 보통 bipolar 工程과는 달리, R_{SC}/R_{SB} 를 크게 하기 위하여 base 幅이 좁아야 한다. 따라서, I²L T flip-flop 과 여러 test 구조가 들어 있는 chip 을 단순화된 製作技法으로 그림 9의 工程表에 따라 base 幅이 $0.6\mu m$ 가 되도록 제작하였다. 실험에 사용된 wafer 는 n/n⁺ wafer 로서 J_{pv} 성분

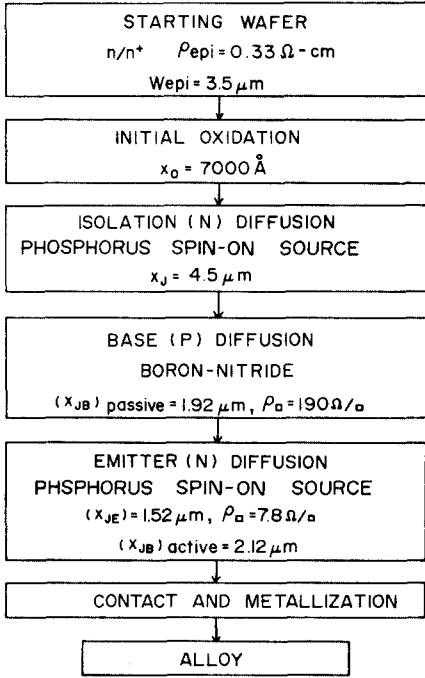


그림 9. I²L test chip의 제조 공정
Fig. 9. Fabrication sequence of I²L test chip.

을 줄이기 위하여^[9] 3 μm의 얇은 epi 두께와 0.3 Ω-cm의 높은 epi 불순물 농도를 가진 wafer를 사용하였다. Mask는 한국 과학원에서 제작된 Mask 제작기^[10]를 사용하여 만들어졌으며, 불순물 확산은 Spin-on Source^[11]와 Boron-Nitride Source^[12]를 사용하여 행하여 졌다. 제작에 필요한 모든 공정이 과

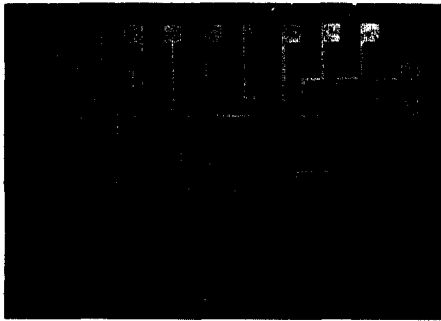


그림 10. 제작된 I²L test chip의 현미경 사진
Fig. 10. Microphotograph of the fabricated I²L test chip.

학원 집적회로 실험실에서 수행 되었으며 완성된 chip의 현미경 사진은 그림 10과 같다.

4. 측정 및 검토

I²L의 중요한 DC 특성으로는 보통 transistor 구조로 npn transistor를 사용할 때의 common emitter 전류증폭율, β_D, npn transistor의 collector와 emitter를 바꾸어 사용할 때의 common emitter 전류증폭율, β_u, injector를 emitter로 사용할 때의 pnp transistor의 common base 전류증폭율, α_F, pnp transistor의 emitter와 collector를 바꾸어 사용할 때의 common base 전류증폭율, α_R이 있다. 제작된 I²L chip으로부터 측정된 이들의 값은 표 2와 같다.

표 2. I²L Transistor의 특성
Table 2. Characteristics of I²L transistor.

	측정기	측정조건
β _D	90	I _C = 100 μA V _{CE} = 0.6V
β _u	1. Collector	I _C = 100 μA V _{CE} = 0.6V
	2. Collector	
	3. Collector	
α _F	0.21	I _C = 100 μA
α _R	0.04	I _C = 100 μA

표 2에서, 제작된 I²L의 β_u가 최대 collector 수가 4개인 T flip-flop을 동작시키는 데 충분할 정도로 크고, collector 수가 많아질수록 S_C/S_{BT}가 작아져서 β_u가 작아짐을 볼 수 있다. α_F와 α_R의 값이 작은 것은 epi의 불순물 농도가 2 × 10¹⁶ cm⁻³으로 높고, base 폭이 10 μm로 넓기 때문이다. collector가 한개인 I²L gate에 대하여 측정된 전류-전압특성은 그림 11과 같다.

그림 12는 test 구조를 사용하여 측정된 여러 base 전류성분들을 나타낸다.

측정된 값은 298°K에서 다음과 같다.

$$J_{nc} = 6.2 \times 10^{-10} [\exp(qV_{BE}/kT) - 1] \text{ mA/cm}^2$$

$$J_{no} = 1.7 \times 10^{-10} [\exp(qV_{BE}/kT) - 1] \text{ mA/cm}^2$$

$$J_{pv} = 3.2 \times 10^{-9} [\exp(qV_{BE}/1.125 kT) - 1] \text{ mA/cm}^2$$

J_{pl} 성분은 V_{BE} = 650 mV 일때 약 110 nA로서 베개의 base 전류성분중 가장 적었다. collector 수가 1개, 3개인 I²L gate들에 대하여 V_{BE} = 650 mV에서 각 전류성분이 차지하는 비중은 표 3과 같다. 표 3

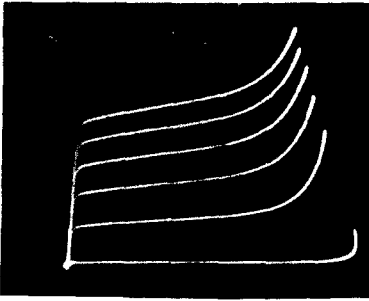


그림 11. I²L transistor의 I-V 특성곡선
vertical : 500 μ A/div., horizontal : 500mV / div., step : 50 μ A/step

Fig.11. I-V characteristic curve of I²L transistor.
vertical : 500 μ A /div., horizontal : 500mV / div., step : 50 μ A/step.

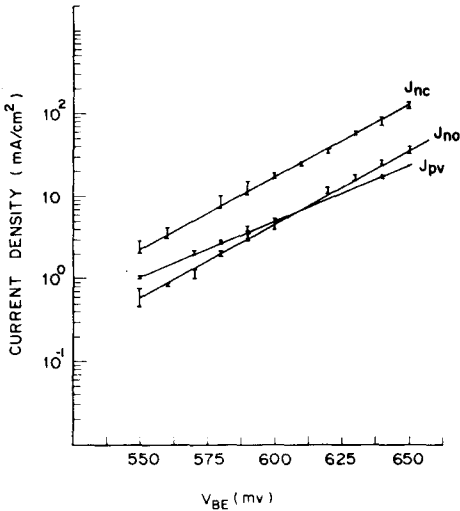


그림 12. I²L gate의 base 전류 성분
Fig.12. Base current component of I²L gate.

표 3. V_{BE} = 650 mV 일때 I²L gate의 base 전류 성분
Table 3. Base current components of I²L gates at V_{BE} = 650mV.

	1 collector I ² L gate		3 collector I ² L gate	
	전류 (nA)	%	전류(nA)	%
S _{BC} J _{nc}	130	11.1	130	5.6
S _{BO} J _{no}	494	42.4	1071	46.6
S _{BT} J _{pv}	432	37.1	988	43.0
S _{EL} J _{μ}	110	9.4	110	4.8
I _B	1166	100	2299	100

에서 正孔電流 성분과 電子電流 성분은 서로 비슷한 비중을 차지하여 어느 성분도 무시할 수 없음을 알 수 있다. J_{P1} 성분도 pnp transistor의 전류증폭율이 커짐에 따라 큰 비중을 차지하게 될 것이다.

중요한 AC 특성인 gate의 평균전달 지연시간은 5 단 ring 발진기를 사용하여 측정하였으며, 이때 gate의 평균전달 지연시간은 발진 주기의 $\frac{1}{10}$ 과 같다. injector 전류를 바꾸어 가면서 측정한 gate의 평균전달 지연시간은 그림 13과 같다.

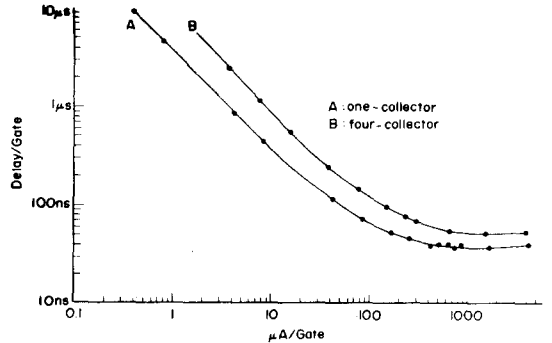


그림 13. Injector 전류에 따른 gate의 평균 전달 지연 시간

Fig.13. Gate propagation delay versus injector current per gate.

그림 13에서 I²L의 지연 특성은 전류가 증가함에 따라 지연시간이 작아지는 低電流 영역과 지연시간이 전류의 증감에 관계없이 일정한 高電流 영역의 두 영역으로 나누어 짐을 알 수 있다. 低電流 영역에서는 지연시간이 素子の parasitic capacitance에 의하여 결정되며, 소비 전력과 지연시간의 곱(speed-power

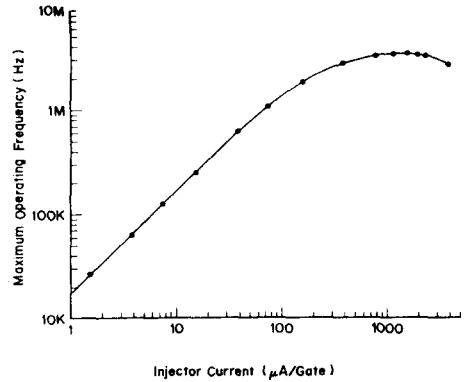


그림 14. Injector 전류에 따른 T flip-flop의 최대 동작주파수

Fig.14. Maximum operating frequency of an I²L T flip-flop versus injector current per gate.

product) 이 일정한 값을 갖는다. Collector가 하나인 경우와 네개인 경우의 I²L gate에 대하여 측정된 speed-power product는 각각 26 pJ와 6 pJ였다. 고전류 영역에서는 지연시간이 素子 자체의 diffusion capacitance에 의하여 결정된다. Collector가 한개인 경우와 네개인 경우의 I²L gate의 최소 지연시간은 각각 36 nsec와 50 nsec였다. 이러한 I²L의 지연 특성때문에 I²L T flip-flop의 동작주파수는 injector 전류에 따라 변화한다.

Injector 전류를 바꾸면서 측정된 T flip-flop의 최대 동작주파수는 그림 14와 같다. I²L T flip-flop은 3.5 MHz까지 동작이 가능하였으며, TTL-interface^[13]를 붙여서 측정된 T flip-flop의 입출력 파형은 그림 15와 같다.

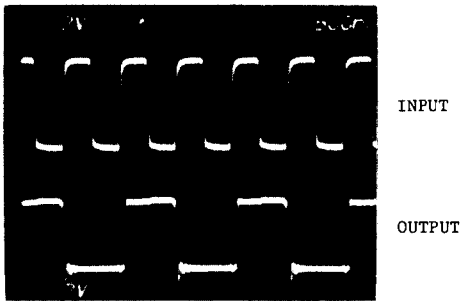


그림 15. I²L T flip-flop의 입출력 파형
Fig.15. Input and output waveforms for the I²L T flip-flop.

5. 結 論

새로운 bipolar LSI 제작기법인 I²L이 정상적으로 동작하기 위하여서는 β_u 가 충분히 커야 한다. 본 논문에서는 β_u 의 해석을 통하여 β_u 가 크려면 S_C/S_{BT} 와 R_{SC}/R_{SB} 가 커야 함을 밝혔다. 각 base 전류성분은 test 구조를 사용하여 측정되었으며, 正孔電流와 電子電流가 서로 비슷한 비중을 차지함을 알 수 있었다.

표준 I²L 제작공정으로 만들어진 최소 線幅 10 μ m의 I²L은 β_u 10, speed-power product 26 pJ/gate, 최소 전달지연시간 36 nsec의 특성을 가졌고, T flip-flop은 3.5 MHz까지 동작이 가능하였다. 최소 線幅을 줄이거나 ion-implantation 등의 복잡한 工程^{[14], [15]}을 사용하면 더 좋은 성능을 얻을 수 있을 것이다.

參 考 文 獻

1. H. H. Berger and S. K. Wiedmann, "Merged-Transistor Logic—A Low Cost Bipolar Logic Concept," IEEE J. Solid-State Circuits, Vol. SC-7, pp. 340-346, Oct. 1972.
2. C. M. Hart and A. Slob, "Integrated Injection Logic—A New Approach to LSI," IEEE J. Solid-State Circuits, Vol. SC-7, pp. 346-351, Oct. 1972.
3. H. H. Berger, "The Injection Model—A Structure-oriented Model for Merged-Transistor Logic (MTL)," IEEE J. Solid-State Circuits, Vol. SC-9, pp. 218-227, Oct. 1974.
4. J. J. Moll and I. M. Ross, "The Dependence of Transistor Parameters on the Distribution of Base Layer Resistivity," Proc. IRE, Vol. 44, pp. 72-78, Jan. 1956.
5. J. W. Slotboom and H. C. de Graaff, "Measurement of Bandgap Narrowing in Si Bipolar Transistors," Solid-State Electronics, Vol. 19, pp. 857-862, Oct. 1976.
6. H. H. Heimeir and H. H. Berger, "Evaluation of Electron Injection Current Density in P-layers for Injection Modelling of I²L," IEEE J. Solid-State Circuits, Vol. SC-12, pp. 205-206, Apr. 1977.
7. S. S. Rofail et al, "Functional Modelling of Integrated Injection Logic—DC Analysis," IEEE Trans, Electron Devices, Vol. ED-24, pp. 234-240, Mar. 1977.
8. H. E. J. Wulms, "Base Current of I²L Transistors," IEEE J. Solid-State Circuits, Vol. SC-12, pp. 143-150, Apr. 1977.
9. M. H. Elsaid et al, "Vertical Current Components in Integrated Injection Logic," IEEE Trans, Electron Devices, Vol. ED-24, pp. 643-647, June. 1977.
10. 김충기, 임형규, "PMOS 집적회로 제작기법을 사용한 Seven Segment Decoder/Driver의 설계와 제작," 전자공학회지, 제 15권 제 3호, pp. 11-17, 1978년 7월.
11. 김충기, 정태원, "Spin-on Source에 의한 실리콘 내의 불순물 확산," 전기학회지 제 27권, 제 6호, 1978년 11월.
12. Planar Diffusion Sources, The Carborundum Company, Graphite Products Division, P.O. BOX 577,

Niagara Falls, New York 14302.

13. C.M.Hart et al, "Bipolar LSI Takes a New Direction with Integrated Injection Logic," Electronics, Vol. 47, pp. 111-118, Oct. 1974.
14. J.M.Herman III et al, "Second Generation I²L/MTL: A 20 ns Process/Structure," IEEE J. Solid-State Circuits, Vol.SC-12, pp. 98-101, Apr. 1977.

15. B.Cook, S.M. McNally and A.San, "I²L II," IEDM Digest of Technical Papers, pp. 284-287, 1975.

※ 본 논문의 일부는 1978년 4월 서울에서 열린 대한전자공학회 주최 과학의 날 세미나에서 발표되었음.)

