

실리콘 산화공정에 대한 실험적 고찰

(An Experimental Study on the Oxidation Process of Silicon)

崔然益*, 金忠基**

(Choi, Yearn-Ik and Kim, Choong-Ki)

要 約

실리콘의 dry oxidation과 wet oxidation 공정의 특성을 실험적으로 조사하였다. 산화온도는 1,100°C, 1,150°C, 1,200°C를 사용하였고, 산소의 유량은 0.2 liter/min으로 부터 2.8 liter/min까지 변화시켰다. 산화막의 두께를 측정하여 0.1 μ ~ 1.0 μ 를 성장시키는데 필요한 온도, 시간, 산소의 유량을 도표로 나타냈다. 산화막의 특성을 조사하기 위하여 유전 상수, 절연과파 전압, fixed surface charge density (Q_{ss}/q), mobile charge density (Q_0/q)를 측정하였다. 측정 결과로부터 산화막이 MOS transistor에도 적합한 양질이라는 결론을 얻었다.

Abstract

Dry oxidation and wet oxidation processes of silicon have been examined experimentally. The oxidation temperatures were 1,100°C, 1,150°C, and 1,200°C, and oxygen flow rate was changed from 0.2 liter/min to 2.8 liter/min. From the experimental measurements, oxidation temperature, time and oxygen flow rate have been tabulated for oxide layers 0.1 μ ~ 1.0 μ in thickness. The quality of the grown oxide layer has been investigated in terms of the dielectric constant, breakdown voltage, fixed surface charge density (Q_{ss}/q) and mobile charge density (Q_0/q). From these measurements, it is concluded that the quality of the oxide layer is sufficient to expect the normal operation of MOS transistors.

1. 序 論

집적회로 소자의 제작 공정은 酸化, 擴散,^[1] 眞空 蒸着, 寫眞 蝕刻(photo-etching)등으로 구성된다. 이 중에서 산화공정은 실리콘 웨이퍼 위에 SiO_2 薄膜을 성장시키는 process로서 planar 기술의 기본을 이루고 있다.

실리콘 산화막의 대표적인 機能은 첫째, 不純物 (impurity) 확산공정 중에 차막(mask)의 역할을 하

고 둘째, 전기적인 절연을 해 주며, 셋째, 表面 安定化(passivation)를 기하고, 넷째, 能動素子 및 受動素子の 절연체로 사용되며, 다섯째, 금속 도체의 基層 (substrate)으로 이용된다는 점 등 다양하다.^[2]

산화막 성장에 관한 연구로는 외국에서는 1960년대 초부터 양질의 산화막을 제작하는 기술이 개발되어 왔으며,^[3,4] 최근에는 200 Å 이하의 매우 얇은 산화막 성장에 관심을 기울이고 있다.^[5,6] 국내에서도 일부 연구소나 회사에서는 이미 산화공정에 대한 특성 조사가 끝났으나,^[7] 보다 나은 再現性을 갖는 양질의 산화막 제조 기술의 확립을 위해서는 체계적인 연구가 수행되

*.*** 正會員, 韓國科學院 電氣 및 電子工學科
(Dept. of Electrical Science KAIS)

接受日字: 1978年 11月 27日

어야 한다.

본 실험에서는 dry oxidation과 wet oxidation의 두 가지 공정을 실험적으로 조사하였다. dry oxidation 공정에서는 건조한 산소를 사용하며, wet oxidation에서는 97°C로 가열된 deionized pure water에 산소를 통과시켜 수증기와 산소의 혼합물이 산화로에 공급된다. 산화작용의 주요 변수로는 온도, 시간, 산소의 流量(flow rate) 등이 있다. 산화온도는 1,100°C, 1,150°C, 1,200°C를 사용하였고, 산소의 유량은 0.2 liter/min으로 부터 2.8 liter/min까지 변화시켰다. 실리콘 웨이퍼는 비저항이 3~8 Ω·cm이고 結晶方位(crystal orientation)가 (100)인 n-type을 사용하였다.

각 공정에 의하여 성장된 산화막에 대하여 두께, 상대 유전상수, 절연파괴 전압, fixed surface-state charge density, mobile impurity ion density를 측정하였다.

2. 實驗

2-1. 실험 이론

실리콘 산화막은 산화막의 외부 표면에서의 반응이 아니라 Si-SiO₂ 경계면에서의 산화작용에 의하여 성장한다고 알려져 있다.^[8]

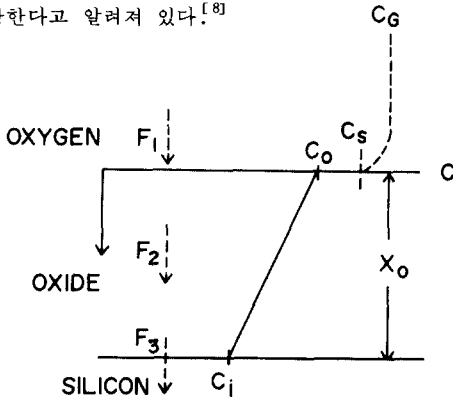


그림 1. 실리콘 고온 산화모형^[9]
Fig. 1. Model for the thermal oxidation of silicon.^[9]

A. S. Grove^[9]의 산화모형(그림 1 참조)을 이용하여 산화막 두께를 시간의 함수로 나타내면

$$x_0 = \frac{A}{2} \left[\sqrt{\frac{t_0 + t^*}{A^2/4B} + 1} - 1 \right] \dots\dots(1)$$

여기서 $t^* = (x_i^2 + Ax_i)/B \dots\dots(2)$

이 된다. 이 때 x_0 는 산화막 두께, t_0 는 산화시간, x_i 는 초기 산화막 두께, A와 B는 산화 분위기에 따라 정해지는 상수이다. 식(1)에서 산화시간이 긴 경우와 짧은 경우에 대해 각각 다음과 같이 근사시킬 수 있다.

$$t_0 \gg A^2/4B \text{ 일 때, } x_0^2 \approx B(t_0 + t^*) \dots\dots(3)$$

$$t_0 + t^* \ll A^2/4B \text{ 일 때, } x_0 \approx (B/A)(t_0 + t^*) \dots\dots(4)$$

식 (3)과 (4)로 부터, 산화막이 형성될 때, 초기에는 두께가 시간에 대하여 일차함수적으로 증가하다가, 시간이 흐를수록 시간의 제곱근에 비례하여 증가하게 된다는 것을 알 수 있다.

Thermal oxidation에 의해 성장시킨 산화막에는 그림 2와 같은 fixed surface-state charge (Q_{ss}), mobile impurity ion (Q₀) 등의 電荷가 생긴다.^[10] Q_{ss}는 Si-SiO₂ 경계 영역에서의 실리콘과 산소의 化學量論的인 組成比 不足(non-stoichiometry)에 기인하는 過剩 실리콘(excess silicon)에 의해 생기는 양 전하로 알려져 있으며,^[4,10] 결정 방위에 따라 그 밀도가 달라진다. Q₀는 양 극성을 띤 알칼리 족 이온들(Na⁺, K⁺, Li⁺ 등)인데, 150°C에서 전계를 가하면 이동(drift)을 한다.^[11] 이것은 주로 사람들의 피부 접촉, 개스, 물, 화학약품 등의 불순물로 부터의 오염에 기인하므로 Q₀ 밀도를 측정함으로써 공정의 오염도를 알 수 있다.

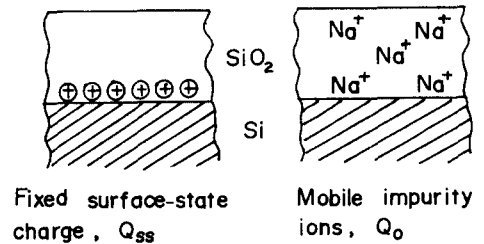


그림 2. 산화막 내부의 전하^[10]
Fig. 2. Charges in thermal oxide.^[10]

전술한 산화막 전하 때문에 MOS capacitor의 高周波數 Capacitance-Voltage 특성이 그림 3과 같이 된다.^[11] (a)는 이론적인 곡선이고, (b)는 150°C에서 알루미늄 음 전극에 負電壓을 5분간 가한 경우이며, (c)는 상온에서 측정한 본래의 C-V 곡선이고, (d)는 150°C에서 전극에 양전압을 5분간 가한 경우이다. 곡선 (a)와 (b) 사이의 차, ΔV_{FB}와 곡선 (b)와 (d) 사이의 이동한 양, ΔV는 각각 다음과 같이 표시된다.

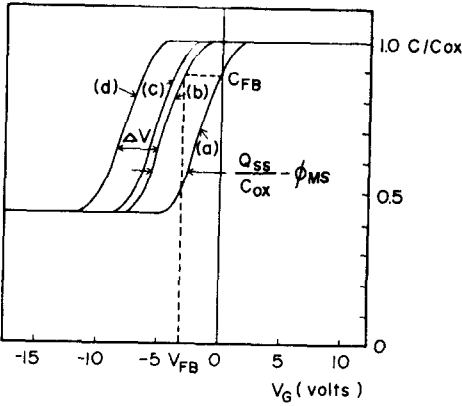


그림 3. MOS C-V 특성에 대한 온도 바이어스 효과 [11]

- (a) 이론적인 곡선
- (b) 150°C에서 전극에 -5 V를 5분 가한 경우
- (c) 본래의 곡선
- (d) 150°C에서 전극에 +5 V를 5분 가한 경우

Fig. 3. Temperature bias effect on the MOS C-V characteristics. [11]

- (a) theoretical curve
- (b) after 5 min at -5 V, 150°C
- (c) original curve
- (d) after 5 min at 5 V, 150°C

$$\Delta V_{FB} = \frac{Q_{SS}}{C_{OX}} - \phi_{MS} \dots\dots\dots(5)$$

$$\Delta V = \frac{Q_0}{C_{OX}} \dots\dots\dots(6)$$

여기서 C_{OX} 는 산화막의 단위 면적당 capacitance이고, ϕ_{MS} 는 금속과 반도체의 일함수 차이이다. 식 (5)를 이용하여 Q_{SS} 밀도를 구할 수 있고, Q_0 밀도는 식 (6)에 의해 용이하게 구해진다.

2-2 試片 製作

Starting material은 結晶 方位가 (100)이고, 비저항이 3~8 $\Omega \cdot \text{cm}$ 인 n형 Si wafer를 사용하였다. 시편은 두께 측정용과 MOS capacitor 제작용을 각각 모든 경우에 대하여 제작했으며, 再現性을 조사하기 위하여 같은 조건 하에서 두번씩 제작하였다. 시편 1개를 만드는 데 필요한 공정을 그림 4에 도시하였다. [12]

산화공정에 필요한 酸化爐 및 Jungle은 그림 5와 같다. Dry oxidation을 하려면 밸브 2와 3을 닫고

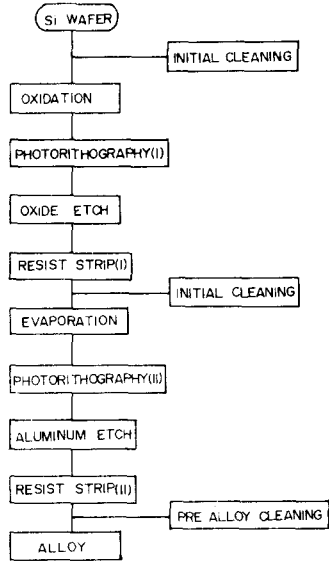


그림 4. 시편 제작 공정의 순서도
Fig. 4. Flow chart of the sample fabrication processes.

밸브 1을 열면 되며, wet oxidation 공정을 위해서는 밸브 1을 닫고 밸브 2와 3을 열면 건조한 산소가 bubbling flask의 deionized water를 통과하여 산소와 수증기의 혼합물이 산화로 내부로 들어간다. 이 산화로의 온도 분포도는 爐 중심부의 온도 지정을 1,100°C로 하였을 경우 그림 6과 같았다.

모든 시편은 온도 분포가 flat한 영역(flat zone)에서 제작되었다.

2-3 측정 방법

산화막 두께는 multiple-beam interferometer에 의해 측정하였다. 시편을 interferometer의 fringe plate에 올려 놓으면 그림 7과 같은 fringe pattern이 나타난다. 이로 부터 산화막 두께는 식 (7)에 의해 구해진다.

$$x_0 = \frac{\text{Fringe Offset}}{\text{Fringe Spacing}} \times 2946 \text{ \AA} \dots\dots\dots(7)$$

MOS capacitor의 高周波數 C-V 특성곡선을 얻기 위한 실험회로는 그림 8과 같다. [13] 입력 신호는 尖頭值 電壓(peak-to-peak voltage)이 50 mV이고 주파수가 1 MHz인 정현파를 사용하였다. 이 회로에서 C_{dut}

※ 식 (7)에서 2946 Å은 interferometer에 사용된 sodium vapor 光源의 고유파장인 5892 Å의 1/2이다.

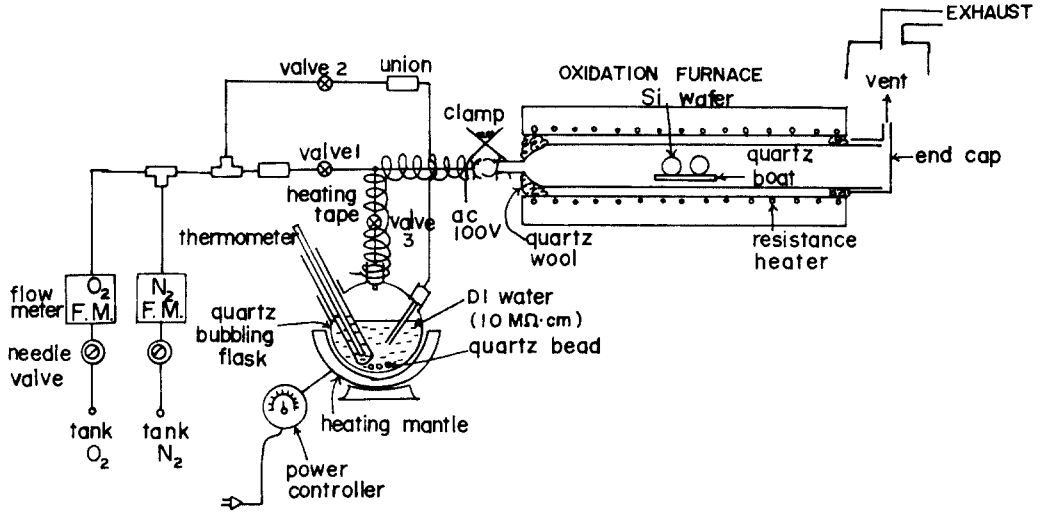


그림5. 산화로와 jungle
Fig. 5. Oxidation furnace and its jungle.

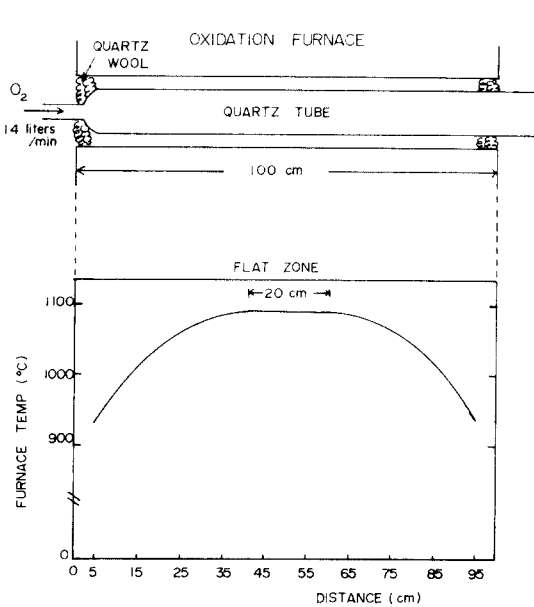


그림6. 산화로의 온도 분포도
온도지정은 1090-1100-1090°C(좌-중심-우)
Fig. 6. Temperature profile of the oxidation furnace.
Temperature setting is 1090-1100-1090°C
(left-center-right)

의 reactance가 R_2 에 비해 매우 크므로, R_2 의 양단에 걸리는 전압은 C_{dut} 에 비해하게 되며, 따라서 X-Y

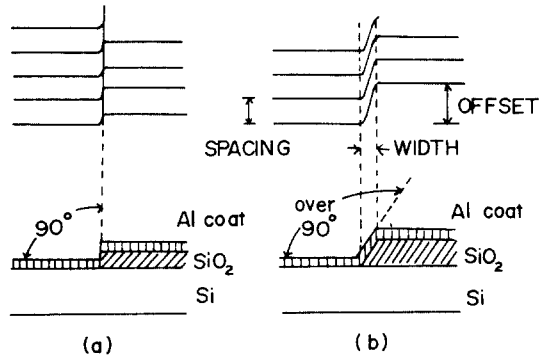


그림7. 간섭계에 의한 간섭 무늬
(a)산화막이 직각으로 etch 된 경우
(b)산화막이 경사지게 etch 된 경우

Fig. 7. Fringe patterns by the multiple-beam interferometer.
(a) 90° etched profile of SiO₂
(b) tapered profile of SiO₂

recorder는 C-V 곡선을 그리게 된다. C-V 특성으로 부터 유전상수, fixed surface-state charge density, mobile impurity ion density를 구할 수 있다. 산화막의 절연파괴 전압은 curve tracer를 사용하여 측정하였다. MOS capacitor의 전극 면적은 $2.43 \times 10^{-4} \text{cm}^2$ (직경 176 μm 인 원형)이었고, 200 개를 측

정하였다.

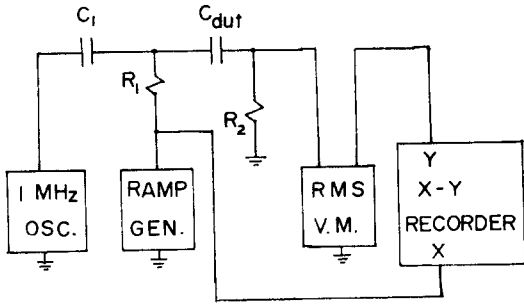


그림 8. MOS C-V 특성 측정회로^[13]

Fig. 8. Measurement circuit of MOS C-V characteristics.^[13]

OSC: Wavetek, Model 142, signal generator
 RAMP GEN: KAIS made by S. Y. Whang, Ramp generator
 RMS V. M.: H. P. Model 400 D, Vacuum tube voltmeter
 X-Y RECORDER: H. P. Model 7004 B
 $R_1 = 80 \text{ K}\Omega$, $R_2 = 22.5 \Omega$, $C_1 = 1 \mu\text{F}$
 C_{dut} : MOS capacitance of oxide sample.

3. 實驗結果 및 考察

산화막 두께는 같은 시편에 대해 3회 이상 측정하여 평균치를 취했고, 최대치 및 최소치를 error bar의 상한값과 하한값으로 잡았다. Dry oxidation 및 wet oxidation에 의해 성장시킨 산화막의 온도에 따른 두께와 시간의 관계는 그림 9, 10과 같다. 그림에서 실선으로 표시된 곡선은 식 (1), (2)에 의해 계산한 이론치이고 "I"로 표시된 값이 실험치이다. Wet oxidation 공정의 산화막 성장율이 dry oxidation에 비해 매우 크다는 것을 한 눈에 알 수 있다. Wet oxidation 공정에 의해 1000 \AA 정도의 산화막을 성장시키는 경우, 산화시간이 매우 짧기 때문에 두께 조절이 상당히 어려웠다. 대체로 실험치와 이론치가 잘 들어맞으며, 再現性까지 고려하여 오차가 10% 이내였다.

실리콘 산화막의 상대 유전상수는 dry oxide 에서는 3.65, wet oxide 에서는 3.8 정도 되었다. 실제로 순수한 SiO_2 의 경우는 3.9이므로, 성장된 산화막이 순수한 SiO_2 에 가깝다고 할 수 있겠다. Dry oxide와 wet oxide인 경우에 상대 유전상수의 값이 약간 다른 것은 R. P. Donovan의 실험 결과^[14]인 dry oxide, 3.4, wet oxide, 3.8과 비교해 보면 별 문제가 없을 것이라고 판단된다. 유전상수는 식 (8)에 의하여 구해

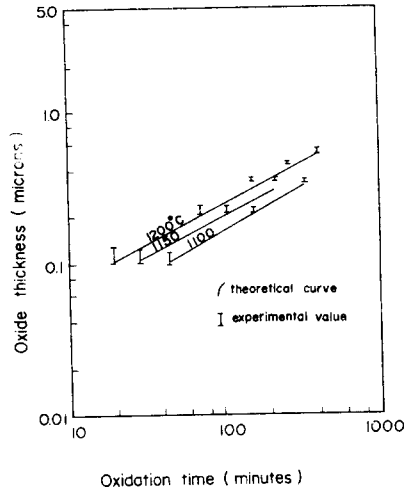


그림 9. Dry oxidation 공정에 의한 (100) 실리콘의 산화

산소의 유량: 2 liters/min
 Fig. 9. Thermal oxidation of (100) silicon by the dry oxidation.
 oxygen flow rate: 2 liters/min

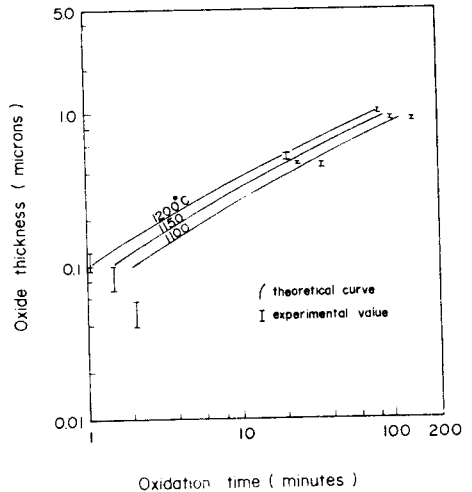


그림 10. Wet oxidation 공정에 의한 (100) 실리콘의 산화

산소를 97°C의 물에 통과시킴.
 산소의 유량: 2 liters/min
 Fig. 10. Thermal oxidation of (100) silicon by the wet oxidation.
 oxygen through 97°C water
 oxygen flow rate: 2 liters/min

지며, 이 때 발생할 수 있는 오차는 식(9)에 의해 표시된다.

$$k_0 = \frac{x_0 C}{\epsilon_0 A} \dots\dots\dots(8)$$

$$h_{K0} = h_{x0} + h_C + h_A \dots\dots\dots(9)$$

위 식에서 k_0 는 구하고자 하는 상대 유전상수이고, x_0 는 산화막의 두께, C 는 MOS capacitor의 oxide capacitance, A 는 전극 면적, ϵ_0 는 permittivity 상수로서 8.85×10^{-12} farad/meter이며, h_{K0} , h_{x0} , h_C , h_A 는 각각의 상대오차이다. 실제로 h_{x0} 가 10% 이내, h_C 와 h_A 가 합해서 5% 정도되므로 h_{K0} 는 15% 이내가 된다.

측정된 fixed surface-state charge density (Q_{SS}/q) 및 mobile impurity ion density (Q_0/q)는 표 1과 같다. 보편적으로 알려져 있는 값이 結晶 方位가 (100)인 경우 Q_{SS}/q 가 9×10^{10} atoms/cm²[15] 정도 되므로 측정 결과가 매우 합당하다고 생각된다. Q_{SS}/q 가 $5 \times 10^{10} \sim 2 \times 10^{11}$ atoms/cm²이고 Q_0/q 는 $10^{10} \sim 10^{11}$ atoms/cm²이므로 bipolar 공전 뿐만 아니라 MOS 공정도 충분히 가능하다는 것을 확인하였다.

표 1. Dry oxide 및 wet oxide의 Q_{SS} 와 Q_0 밀도 산소의 유량: 2 liters/min

Table 1. Q_{SS}/q and Q_0/q of the dry oxide and wet oxide, oxygen flow rate: 2 liters/min

oxide charge oxidation	$\frac{Q_{SS}}{q}$ (atoms/cm ²)	$\frac{Q_0}{q}$ (atoms/cm ²)
DRY	$5 \times 10^{10} \sim 2 \times 10^{11}$	$1 \times 10^{10} \sim 3 \times 10^{10}$
WET	$6 \times 10^{10} \sim 2 \times 10^{11}$	$2 \times 10^{10} \sim 1 \times 10^{11}$

산화막의 절연과피 전압은 이론이 정립되어 있지 않기 때문에 실험을 하여 통계적인 도표를 만들었다.

Curve tracer에 의한 측정오차는 약 10% 정도 된다.

그림 11은 파괴전압의 분포도인데, 높은 전압에서 나타나는 극대치를 산화막 절연과피 전압이라고 할 수 있고, 낮은 전압에서 나타나는 peak는 산화막 내부에 생긴 pin hole 때문에 절연층이 일부 파괴된 것을 보여준다고 생각된다. 이 경우 산화막의 절연강도 (dielectric strength)는 약 9.5×10^6 V/cm로서 보통 알려져 있는 값, 6×10^6 V/cm[16]에 비해 매우 양호하다고 할 수 있다.

산소의 유량에 의한 영향을 조사하기 위하여, 유량을 0.2 liter/min에서 2.8 liter/min까지 변화시키면서 시

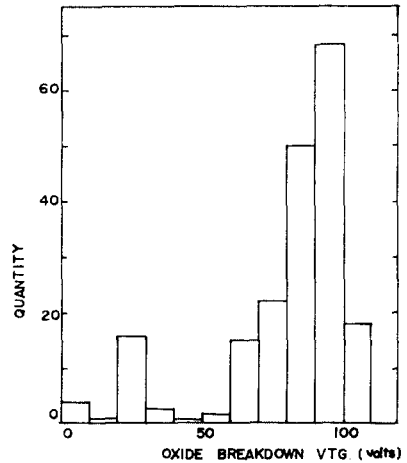


그림 11. 산화막 절연과피 전압의 분포도 산화막의 두께: $1100 \pm 100 \text{ \AA}$ 전극면적: $2.43 \times 10^{-4} \text{ cm}^2$ 산소의 유량: 2 liters/min 1200°C dry oxidation

Fig. 11. Histogram of oxide breakdown voltage. oxide thickness: $1100 \pm 100 \text{ \AA}$ metal area: $2.43 \times 10^{-4} \text{ cm}^2$ oxygen flow rate: 2 liters/min 1200°C dry oxidation

편을 제작하였다. 이 때 사용한 챔에 설치된 석영관의 직경은 약 109mm가량 되었다. 그림 12는 유량이 산화막 두께에 미치는 영향을 나타내주고 있다. 대체

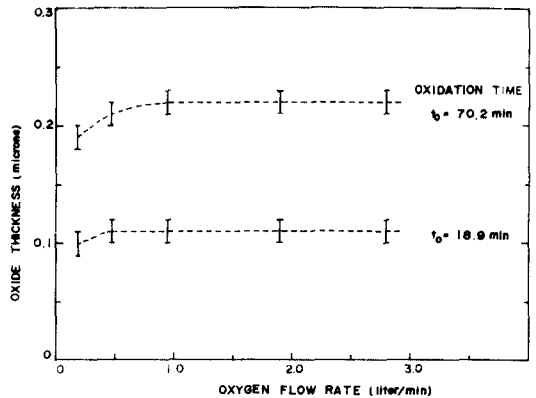


그림 12. 유량이 산화막 두께에 미치는 영향 1200°C dry oxidation

Fig. 12. The effect of flow rate on the oxide thickness. 1200°C dry oxidation

1200°C dry oxidation

로 유량이 1 liter/min 이상이면 산화막 두께에 영향을 주지 않는 것 같으며, 산화공정시 유량이 2 liter/min이면 적당할 것 같다.

4. 結 論

Dry oxidation 및 wet oxidation 공정에 의해 結晶方位가 (100)인 *n*-type 실리콘 위에 산화막을 성장시켰다. 유전상수를 측정하여 성장된 산화막이 순수한 SiO₂임을 확인하였고, 산화막 두께는 재현성까지 고려하여 오차 10% 이내로 조절할 수 있었다. Q_{SS}/q와 Q₀/q의 측정 결과는 MOS transistor에도 적합한 양질의 산화막임을 보여 주었다. 산소의 유량에 의한 영향을 고려하면, 석영관의 직경이 100 mm일 경우 2 liter/min이면 적당할 것 같다. 이 실험 결과는 산화공정의 특성화(characterization)에 많은 도움을 준다. 이 밖에 산화막의 전기적 특성에 영향을 주는 요소인 fast surface-state charge density를 측정하여야 하며, 대표적인 방법으로는 quasi-static technique^[17, 18]과 non-steady-state technique^[19] 등이 있다.

參 考 文 獻

1. 김충기, 정배원, "SPIN-ON SOURCE에 의한 실리콘 내의 불순물 확산", 전기학회지 Vol. 27, 11월 호(1978).
2. Fogiel, Modern Microelectronics, Chap. 1 and 6. p. 35 and p. 335, REA (1962).
3. B. E. Deal, "The oxidation of silicon in Dry Oxygen, Wet Oxygen, and Steam", J. Electrochem. soc., Vol. 110, p. 527 (1963).
4. B. E. Deal, et al, "Characteristics of the Surface-State Charge (Q_{SS}) of Thermally Oxidized Silicon", J. Electrochem. Soc., Vol. 114, p. 266, March (1967).
5. M. A. Hopper, et al, "Thermal Oxidation of Silicon," J. Electrochem. Soc., Vol. 122, p. 1216, Sept. (1975).
6. E. A. Irene and Y. J. van der Meulen, "Silicon Oxidation Studies : Analysis of SiO₂ Film Growth Data," J. Electrochem. Soc., Vol. 123, p. 1380, Sept. (1976).
7. 한국전자기술연구소, 삼성반도체 : Private Communication.
8. A. S. Grove, Physics and Technology of Semiconductor Devices, Chap. 2, p. 22, John Wiley and Sons, Inc., New York. (1967).
9. B. E. Deal and A. S. Grove, "General Relationship for the Thermal Oxidation of Silicon," J. Appl. Phys., Vol. 36, p. 3770 (1965).

10. B. E. Deal, "The Current Understanding of Charges in the Thermally Oxidized Si Structure," J. Electrochem. Soc., Vol. 121, p. 198 C, June (1974).
11. E. H. Snow, et al., "Ion Transport Phenomena in Insulating Films," J. Appl. Phys., Vol. 36, p. 1664. May (1965).
12. 최연익, "A Study on the Oxidation Process of Silicon," KAIS (1978).
13. 정진국, "Measurement of Implantation Profile by MOS C-V Characteristic," KAIS (1977).
14. Burger and Donovan, Fundamentals of Silicon Integrated Device Technology, Vol. 1, Section 1, p. 108, Prentice-Hall (1967).
15. Carr and Mize, MOS/LSI Design and Application, p. 37, McGraw-Hill (1972).
16. D. J. Hamilton and W. G. Howard, Basic Integrated Circuit Engineering, p. 112, McGraw-Hill (1975).
17. M. Kuhn, "A Quasi-Static Technique for MOS C-V and Surface State Measurements," Solid-St. Electron, Vol. 13, p. 873 (1970).
18. M. Carl Shine, "A Simplified Technique for Measuring Fast Surface States," Solid-St. Electron, Vol. 18, p. 1135 (1975).
19. 조철, 김재훈, "비정상 상태에 있는 MOS 내의 경계면 트랩 에너지 분포에 관한 연구," 전기학회지 Vol. 26, No. 6 (1977).
(본 논문은 한국과학기술원 仁松문화재단으로부터 지급받은 연구비에 의하여 수행되었음).
본 논문의 일부는 1978년 8월 창원에서 열린 대한전기학회, 대한전자공학회 공동 주최 학술 발표회에서 발표되었음)

