Thyristor를 이용한 교류과전류 차단에 관한 연구

論 文
28~7~1

A Study on AC Over-current Breaker using Thyristor

朴 旻 鎬* · 沈 在 明**
(Min Ho Park · Jai Myung Sim)

Abstract

This paper describes the mechanisms which breaks A.C. over-current protection in low voltage load. For the high speed over-current protection, it consists of thyristor switching circuit by forced commutation, IC logic gate controlled circuit and over-current detector with reed switch.

Under various duty conditions, breacker was carried out several experiments and discussions. The results are as follows; (1) over-current cut off is possible within a quarter cycle (4ms at 60Hz) and clear is at least ten times faster than its electro-mechanical equivalent. (2) as the forced commutation thyristor circuit breaker has capability of high speed break, equivalent surgy current capacity of switching thyristor is increased more than twenty times of its rated current. (3) breaker using solid state dose not produce any harmful arc during switching period.

Therefore the breaker above described may be considered an effective over-current protector for soli state power devices in industrial applications.

1. 서 론

최근에 들어와서 싸이리스터와 같은 전력용반도체소자는 전력변환, 전력제어뿐만 아니고 개폐분야에 있어서도 많이 이용되어 왔다. 즉 기계적스위치대신 싸이리스터스위치, solid state스위치 및 릴레이등에 관한 논문이 다수 발표되어 왔고[1)~3)] 또한편 전력계통에 있어 과전류차단을 위하여 싸이리스터를 이용하는 문제가 대두되고 있다.[4)]

싸이리스터를 이용하여 단락전류를 차단할 때 전원용량이 크고, 큰 사고전류가 상정되는 경우는 부하 KVA가 적다고 치더라도 스위칭소자의 최고허용써어지전류를 생각하여 큰 용량의 싸이리스터를 다수 병렬로 접속하여야 한다는 비경제적인 문제가 발생하고 이것이 종래의 기계적 차단기에 비해 싸이리스터차단기가 사용에 제한을 받는 근본적인 원인이 되어왔다.

그러나 싸이리스터에 흐르는 전류를 강제적으로 한류차단을 하는 동시에, 고속으로 차단함으로써 사고전류를 미연에 방지하고 사고예측전류를 대단히 크게 할수 있다고 보면 위에서 기술한 싸이리스터 차단기로서의 문제점이 해결된다고 추정하고, 본 연구에서는 교류전류의 강제차단회로를 설정하여 사고발생시의 과전류증가를 검출기 설정치로 차단하도록 하였다. 이를 위하여 게이트제어회로는 IC로직트리거펄스 회로를 설계하고, 또 과전류검출은 비교적 응동이 빠른 Reed 스위를 사용하여 고속차단현상을 구명하였다.

2. 차단회로설정과 동작

교류회로에서 발생한 과전류의 차단을 위하여 싸이리스터를 이용한 반도체교류강제차단회로를 그림 1에 표시한 바와 같이 설정하였다.

* 正會員: 서울大 工大 電氣工學科 敎授 · 工博(當學會副會長)
**正會員: 大田工業專門大學敎授
接授日字: 1979年 1月 24日

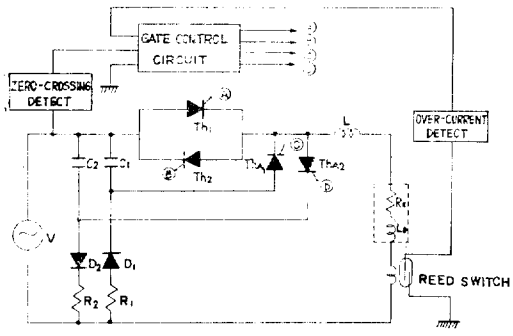

그림 1. 교류회로에 있어 과전류 차단을 위한 싸이리스터 AC차단회로

Fig. 1. Thyristor AC Circuit Breaker for Over-Current Protection in Power Circuit.

여기서 차단회로는 두개의 전력용싸이리스터 Th_1, Th_2를 역병열접속하여 교류전류를 부하에 공급한다. 主싸이리스터 Th_1, Th_2에 흐르는 과전류강제소호를 위하여 전류콘덴서 C_1, C_2를 각각 보조싸이리스터 Th_{A1}, Th_{A2}와 직열로 한 것을 주싸이리스터와 역병열접속하였다. 또한 Th_{A1}, Th_{A2}가 턴·온될 때 콘덴서 C_1, C_2의 과도방전전류가 Th_1, Th_2에 확실히 유입하도록 인덕턴스 L를 삽입하였다. R_1, R_2는 충전전류제한용저항으로 C_1, C_2와 직열접속하였고 D_1, D_2는 C_1, C_2가 방전시 주싸이리스터의 아노드와 개소드간에 역전압이 걸리도록하는 동시에 C_1, C_2를 충전하는 역할을 한다.

그림 2는 주싸이리스터에 흐르는 전류파형이며 Th_1이 도통중 $2\pi+\alpha$시각에서 사고과전류가 발생하여 과전류검출 설정치 I_D에 도달하게 되던 즉시 그림 1의 과전류검출게이트 신호 ©에 의하여 보조싸이리스터 Th_{A1}을 턴·온시키고 C_1의 방전전류때문에 Th_1에 흐르는 사고전류는 소멸되어 회로의 전류차단은 거의 β_1 시점에서 완료하게 된다. 이와같은 검토를 한 결과 다음과 같은 필요조건이 성립되어야 한다.

(1) 사고전의 부하전류파형은 $0\sim2\pi+\alpha$ 구간에서 정상상태운전으로 싸이리스터를 동작하여야 한다. 그러기 위하여서는 그림 1과 같이 전원측의 전압을 Ⓐ, Ⓑ

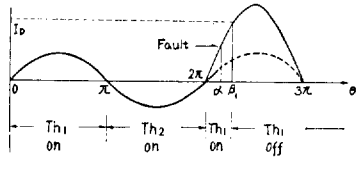

그림 2. 사고전류의 발생파형과 차단

Fig. 2. Occurance of Fault Current Wave and its Breaking

에서 주싸이리스터에 제로 크로싱하여 주어야 한다,

(2) 사고전류가 발생하면 © 또는 Ⓓ의 게이트신호가 발생하고, 즉시로 Ⓐ 또는 Ⓑ의 게이트신호는 중단되어야 한다. 그러기 위해서는 과전류검출 장치의 구성이 필요하다.

(3) 고장시점이 교류파형의 정, 부(+, −)의 어느 쪽에서 발생하였느냐 하는 판단이 있어야 © 또는 Ⓓ를 선정할 수 있고 사고후에는 Ⓐ, Ⓑ의 신호는 절대 없어야 한다. 이때문에 기억장치가 필요하게 된다.

3. 게이트제어회로설계 및 실험

3—1 게이트제어시스템설계

게이트제어회로를 설계하기 위한 조건으로서 첫째 주싸이리스터게이트신호는 반싸이클마다 각각 전압영점에서 공급하되 펄스폭은 유도부하를 동작하는 경우가 있으므로 90°이상이어야 한다. 둘째로 과전류가 발

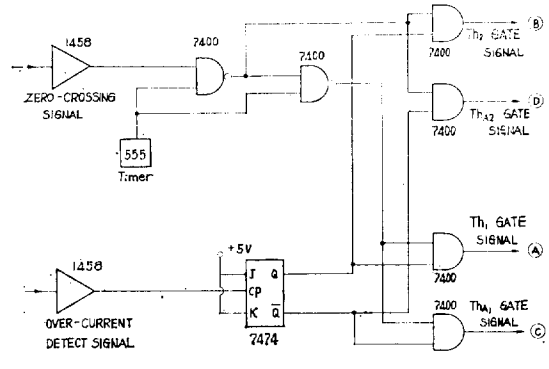

그림 3. 게이트제어시스템선도

Fig. 3. Gate Contolled System Diagram

생하여 고속차단을 요할 경우 主싸이리스터 게이트신호는 그 시점에서 중단되고 그와 동기가 맞는 보조싸이리스터 게이트신호가 즉시 가해져야 한다.

이와같은 조건하에서 구성한 게이트제어시스템은 그림 3과 같고 그 동작상태를 표 1에 정상운전시와 과전

표 1. 게이트제어시스템 각부 신호

Table 1. Signals of each Component in Gate Controlled System

	Zero-Crossing Detector	555 Timer	over-current Detector	Th_1 Gate	Th_2 Gate	Th_{A1} Gate	Th_{A2} Gate
정상상태	1	1	0	1	0	0	0
	0	1	0	0	1	0	0
과전류검출시	1	1	1	0	0	1	0
	0	1	1	0	0	0	1

류검출시에 제어회로 각부의 신호를 나타내고 있다. 여기서 게이트제어회로에 사용한 제로 크로싱 Comparator와 검출기의 레벨 콤페레이터는 O.P 암프 1458를 사용하였다.

3—2. 게이트회로부품설계 및 실험

(A) Zero Crossing 검출기

정상전류를 공급하기 위한 주싸이리스터 게이트의 제로크로싱 검출회로와 그 출력파형은 그림 4와 같다. 여기서 영점검출은 입력전압 V_i가 영보다 크냐 작으냐에 따라서 결정하기로 하였다.

출력전압 V_0는 $V_i<0$인 경우는 부(−)상태로 되고 $V_i>0$인 경우는 정(+)의 상태로 나타난다. 정, 부출력

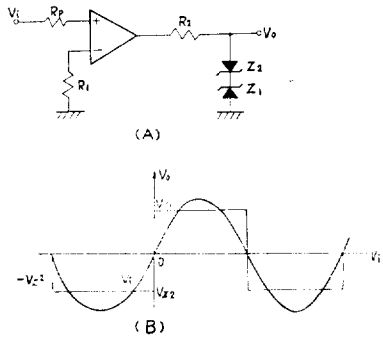

그림 4. 제로크로싱검출회로(A)와 출력파형(B)
Fig. 4. Zero-Crossing Detacting Circuit (A) and its Output Waveform

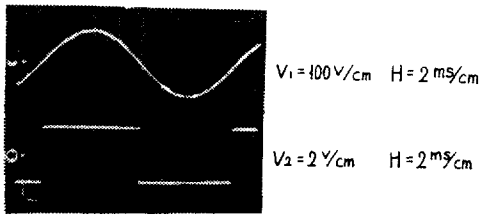

그림 5. 교류전압(V_1)과 제로크로싱 검출전압(V_2)
Fig. 5. AC Voltage (V_1) and Zero-Crossing Detacting Voltage (V_2)

전압의 크기는 제너다이오드 Z_1과 Z_2에 따라 결정되어지는데, $V_i<0$ 경우 $V_0=-V_{z2}$ 그리고 $V_i>0$ 때는 $V_0=+V_{z1}$이 된다.

V_i가 교류입력전압인 경우 검출기 1458의 실제출력파형은 그림 5와 같다.

그러나 이와같은 연속출력파형을 펄스트랜스를 사용하여 싸이리스터를 구동하는 경우 실용상 문제가 있다 다시 말하면 O.P. 암프의 제로크로싱신호를 게이트용 펄스트란스입력으로 사용하게 되면 그 출력파형은 미분형 파형이 되어 저항부하에서는 문제가 없으나 유도

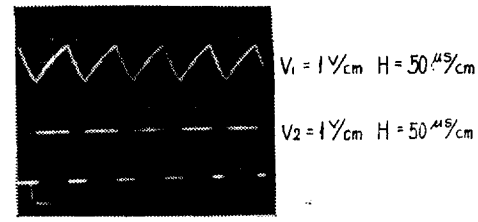

그림 6. 555타이머 콘덴서 전압(V_1)과 그의 출력펄스(V_2)
Fig. 6. Condenser Voltage (V_1) and its Output Pulse off 555 Timer (V_2)

부하의 경우에는 전류, 전압에 위상차가 생기기 때문에 싸이리스터를 제대로 구동시킬 수 없다. 그래서 본 설계에서는 이와같은 실용상의 문제점을 극복하여 그림 3에서 555타이머를 사용하였다. 그의 실제파형은 그림 6과 같다.

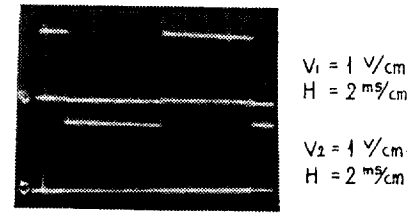

그림 7. 주싸이리스터의 게이트펄스
Fig. 7. Gate Pulse of Main Thyristor(Th_1, Th_2)

그림에서 V_1은 555타이머에 연결된 콘덴서전압이고 V_2는 1000[pps]의 555의 출력펄스이다. 이 타이머에서 발진한 주파수와 제로크로싱 신호를 조합하므로서 유도부하의 경우에도 잘 동작하도록 하였다. 이때의 펄스형의 주싸이리스터게이트 신호는 그림 7과 같다.

(B) 과부하전류검출회로

과전류검출기로는 C.T를 사용하는 것이 보편적이지만 본 연구에서는 차단빈도가 많지 않고 또 고속을 요

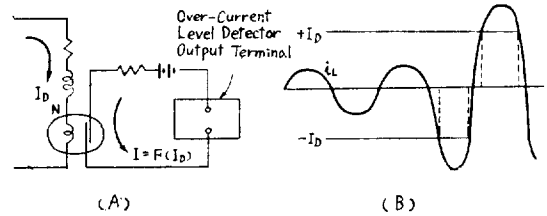

그림 8. 과전류검출회로와 리이드스위치의 응답특성
Fig. 8. Over-Current Detection Circuit (A) and Response Characteristics of Reed Switch(B)

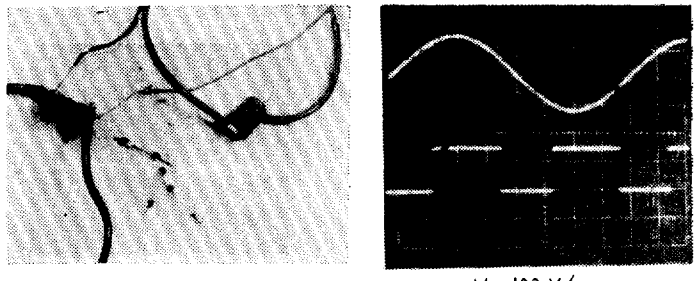

그림 9. 과전류검출장치(A) 및 리이드스위치 응답특성(B)
Fig. 9. Over-Current Detection Device(A) and Response Chraracteristics of Reed Switch (B)

하므로 비교적 응동이 빠른 리이드 스위치를 사용하였다. 즉 과전류의 암페어턴(Ni_0)에 의해 스트릿이 클로즈 한다. 그림 8(A)는 리이드스위치를 이용한 과전류 검출회로이고, 그림 (B)는 응답특성을 나타내고 있다. 이와같이 리이드스위치는 각각 반파(60Hz)에서 응동이 잘 되고 안정하다는 것을 확인하였다.

그림 9(A)는 실험에 사용한 리이드스위치와 여자코일을 부가시킨 리이드스위치의 외광이고, 이의 동작파형을 그림 9(B)에 표시하였다.

(C) 검출기의 레벨콤페레이터(Level Comparator)

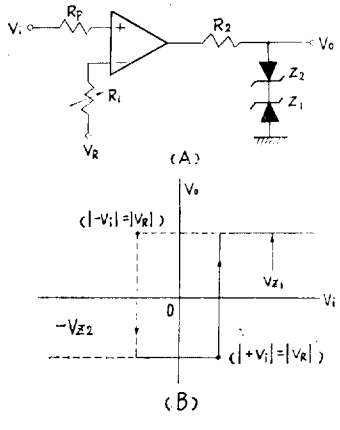

그림 10. 레벨검출기(A)와 출력파형(B)
Fig. 10. Level Comparator(A) and its Output Waveform(B)

과전류를 검출하기 위하여 그림 10과 같은 레벨검출회로를 이용하였다. 이 회로에서 출력전압 V_0는 입력전압 $V_i \geq V_R$인 경우는 정(+)의 상태 V_{z1}이 되고 $V_i \leq V_R$인 경우는 부(−)의 상태 $-V_{z2}$로 된다. 여기서 V_i는 그림 10(B)의 과전류검출신호가 된다. 그리고 V_R은 과전류 설정치가 된다.

(D) J.K Clocked 플립플롭

J.K 플립플롭은 게이트신호를 상태에 따라 표 1과 같이 기억하기 위하여 사용하였고 기억소자로서 집적회로 형태로 구입이 가능하고 또한 널리사용되기 때문에 채용하였다. 여기서 J.K(그림 3)에 공히 1의 입력이 들어 오도록하고(5V). 과전류입력신호에 대하여 출력신호를 얻도록 하였다.

4. 차단회로설계 및 실험

4—1. 차단시 파형해석

그림 1에서 싸이리스터 Th_1이 동작할때 회로에 과전류가 발생하는 경우에 차단을 해석하기 위하여 등가회로를 그림 11과 같이 그리고 각부에 이론적 파형을 그림 12와 같이 표시한다.

여기서 동작과정을 설명하면

(1) $t=0$인 순간에 Th_1이 턴·온 한다. 이 때 콘덴서는 전원전압의 피이크치인 $\sqrt{2}V$로 이미 충전되어 있다. 물론 i_{g1}은 $v \geq 0$에서 공급되고 있다.

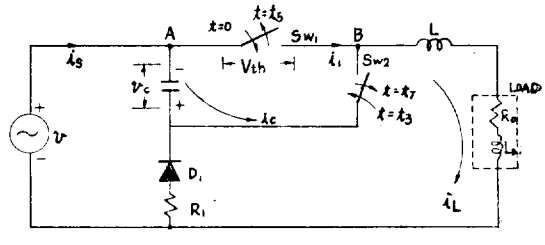

그림 11. 그림 1의 Th_1이 동작할 때의 등가회로
Fig. 11. Equivalent Circuit on Operating Th_1 shown in Fig. 1.

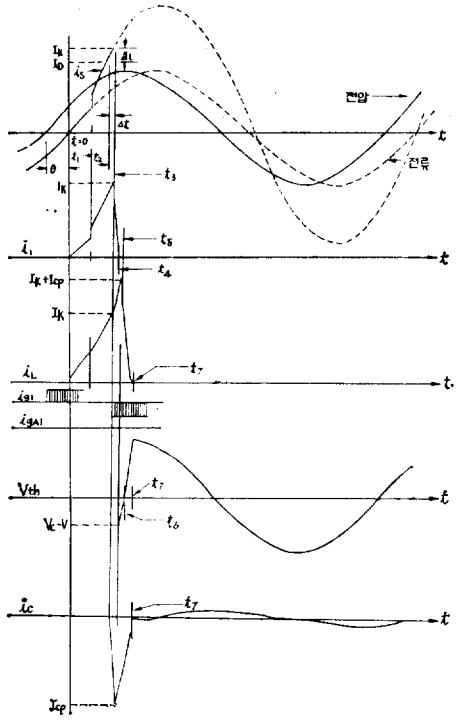

그림 12. 각 부분에서의 이론적 차단파형
Fig. 12. Thooritical Cut-Off wavefroms of each Component.

(2) 전원전류 i_s는 $t=t_1$에서 사고전류(과전류)가 되고 $t=t_2$에서 과전류설정치 I_0에 도달한다. t_2시점에서 보조싸이리스터의 게이트 펄스가 가해져야 하지만 검출기에서의 지연시간을 Δt로 가정하면 $t_3=t_2+\Delta t$에서 Th_{A1}의 게이트에 i_{gA1}이 공급된다. Th_{A1}이 턴·온하여 그림 11의 A점은 전압 v보다 v_c가 더 큰 $v+v_c$ 전압을 B점에 가하여 준다. 따라서 Th_1을 흐르고 있던 공급전류 i_1은 감소하기 시작하여 $t=t_4$에서 영으로 떨어지며 다음 순간 역으로 전류가 순간적으로 흐른다.[4] 그러나 부하전류 i_2는 t_3에서 $i_k=I_0+\Delta i$의 값에 콘덴서 C_1의 방전전류가 흘러 피이크치는 i_k+i_{c1} 값을 가지며 t_5에서 감소하기 시작한다.

(3) 전원전류 i_s는 t_5를 지나 전류회로 즉 콘덴서 C_1과 Th_{A1} 그리고 R_0, L_0를 통하여 흐르기 시작한다. 이 때 싸이리스터의 전압은 t_5에서 $v-v_c$에 해당하는 역전압이 가하여지며 t_6에서 부터 순방향전압이 가하여지기 시작한다. 그러나 Th_1은 재점호되지 말아야 한다

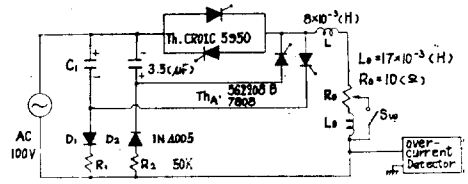

그림 13. 브레이커의 실험회로
Fig. 13. Experimental Circuit of Breaker.

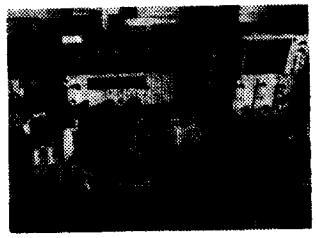

그림 14. 실험용차단기 장치
Fig. 14. Experiment Circuit Breaker Set.

(4) t_6를 지나 콘덴서전압을 반대극성으로 충전된 값이 전원전압과 같아지는 시점이 t_7이다. 따라서 부하전류는 t_7에서 완전히 오프되고 t_7을 지나서 콘덴서 전류 i_c는 누설전류로 되어 흐른다.

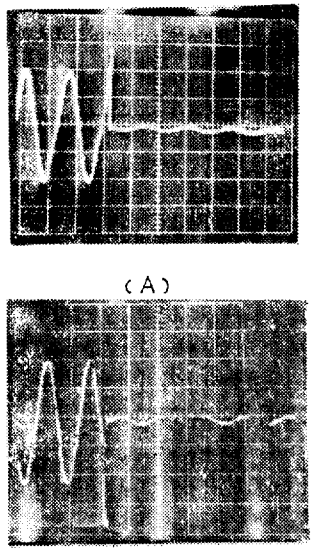

그림 15. 과전류차단파형
Fig. 15. Current Waveform in Over-Current Cut Off.

4—2. 실 험

실험회로는 그림 13과 같고 그의 실험장치는 그림14와 같다. 부하는 유도부하를 사용하였고 편의상 부하의 R_0를 변화시켜서 과전류를 만들어 실험하였다. 그 결과파형은 다음과 같다.

그림 15(A)는 정상전류 14A(실효치)로 운전중 사고검출전류를 25A로 만들었을 경우 Th_1이 차단한 부하

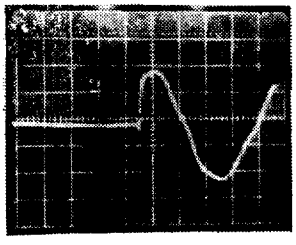

그림 16. 과전류차단시 주싸이리스터 전압파형
Fig. 16. Voltage Waveform of Thyristor in Over-Current Cut Off.

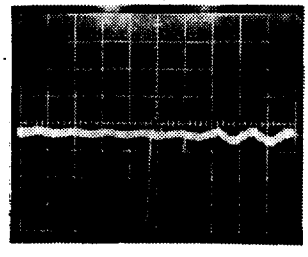

그림 17. 콘덴서 방전전류파형
Fig. 17. Discharge Current of Condenser.

전류파형이다. 여기서 사고전류의 피이크치가 약 30A를 나타낸 것은 전류콘덴서 C의 방전전류와 싸이리스터를 통과한 전류의 합성으로 나타났기 때문이다. 그림(B)는 Th_2가 차단하는 경우의 부하전류파형이다.

그림 16은 과전류차단시의 싸이리스터 Th_1의 단자간의 전압파형이다. 그리고 그림 17은 콘덴서에서의 방전전류를 나타내고 있다.

이상과 같은 실험파형에서 다음과 같은 검토를 하였다.

4—3. 파형검토 및 회로소자결정

(1) 그림 15(A), (B)에서 보는바와 같이 한류 차단에 의하여 차단되는 시간은 2ms이내로 된다는 것을 알 수 있다. 이 경우 최대허용써어지 전류는 1 cycle (60Hz) 차단에서 싸이리스터의 정격전류의 약 20배이므로 과전류치는 500A이상의 써어지전류에 견딜 수 있다

(2) 주싸이리스터 Th_1, Th_2를 오프(과전류차단) 하기 위해서는 한류하려고 하는 과전류순시치 i_D는 $i_D \leq CV_c/T_{off}$이 되고, 여기서 T_{off}는 전류회로의 턴·오프시간이 된다. 본 설계에서 $C=3.5\mu F$, $i_D=22A$, $V_c=140V$으로 하면 $T_{off}=20\mu s$이므로 주싸이리스터의 턴·오프시간 $T_{off}=10\mu s$에 비해 충분한 여유시간이 있다. 그런데 한류치를 크게 잡으려면 콘덴서 및 충전전압이 커야하고 또 턴·오프시간이 적은 싸이리스터

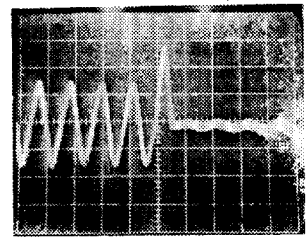

그림 18. $i_1 > i_D$ 경우의 반싸이클 차단
Fig. 18 Half Cycle Cut Off in the Case of $i_1 > i_D$

(고속싸이리스터)를 사용하여야 한다. 전류회로의 턴 오프시간은 그림 12에서 $T_{off}=t_6-t_4$이고 그림 16에서 부(−) 방향으로 표시되고 있다.

(3) 과전류설정치가 정상전류의 피이크값보다 낮으면 그림 18에서와 같이 반싸이클후에 차단이 된다. 이것은 i_1의 피이크치를 15A, 과전류를 30A로 하였을때 $i_D=10A$로 한 경우의 사진이다.

(4) 한류차단에서는 유도부하만 아니라 저항부하에서도 차단시 주싸이리스터의 양단에 그림 16과 같이 스텝상의 전압이 인가된다. 이 전압은 dv/dt의 값이 크고 재점호할 우려가 있다. 본 실험에서는 소자의 양단에 R.C를 접속하고 dv/dt를 200V/μs이내로 하였다

(5) 본 실험에서 측정한 파형은 그림 12에서 이론적으로 산출한 파형과 거의 일치함을 알 수 있다.

5. 결　　론

본 논문에서는 싸이리스터를 이용하여 교류회로에 발생하는 과전류를 고속차단하기 위하여, 싸이리스터 전력회로, IC로직게이트시스템설계 및 과전류검출회로를 설정하고 실험으로 다음결과를 얻었다.

(1) 고속차단이 가능하다(60Hz에서 4ms이내). 이것은 종전의 기계적 차단기의 약 10배이상의 고속이 된다.

(2) 강제차단방식은 고속차단이 가능하므로 싸이리스터의 써어지전류용량을 소자의 정격전류의 20배 이

상 증가시킬 수 있다.

(3) 게이트제어에 IC로직회로를 사용하였으므로 적은 신호로 지체없이 동작한다.

이상과 같은 결론에서 미루어 보아 싸이리스터를 이용한 반도체차단기는 앞으로 반도체소자의 특성을 살려 고속, 무접점 또는 고빈도개폐를 요구하는 분야에 널리 응용될 것으로 사료된다.

참 고 문 헌

1. V. Pollak and Ahmed El-serafi, "An Electronic Switch for the Transient Testing of AC Network and Machines, IEEE Trans. on Industrial Electronics and Control Inctrumentation, Vol IEC I-20, No.4, pp.225~229, Nov., 1973.
2. V.I. John, B.G. Lockhart and S.R. Remond, "A Controlled Timing Switch for Fault Studies," IEEE Trans. on Industrial Electronics and Control Instrumontation, Vol. IEC 1~21 No. 1, 99. 34~38 Feb., 1974.
3. 朴晏鎬, "A Study on the Development of Solid state A.C. Switch Devices," 韓國科學財團 Feb, 1978.
4. J. Zyborski M. Sc., Ph. D.,J. Czucha, M. ec., and M. Sajnacki, M.Sc. "Thyristor Circuit Breaker for Over- Current Protection of Industrial D.C. Power. Installations," Proc. IEEE, Vol. 123, No.7, po. 685~688, July 1976.
5. サイリスタ電子工學編集委員會, "サイリスタ應用(上)丸善, pp. 128~145, 1974.