

電流方式技法에 의한 多值論理系の 構成에 관한 研究

論 文
28-1-1

A Study on the Synthesis of Multivalued Logic System Using Current-Mode Techniques

韓萬春* 申明澈** 朴鍾國*** 崔鍾汝**** 金洛橋***** 李來浩*****

(Man Choon Han, Myung Chul Shin, Chong Kugk Park,
Choung Moon Choi, Lark Kyo Kim, Rae Ho Lee)

Abstract

Recently, interest in multivalued(MV) logic system has been increased, despite the apparent difficulties for practical application. This is because of the many advantages of the MV compared with the 2-valued logic systems, such as;

- (a) higher speed of arithmetical operation on account of the smaller number of digits required for a given data,
- (b) better utilization of data transmission channels on account of the higher information contents per line,
- (c) potentially higher density of information storage.

This paper describes a MV switching theory and experimental MV logic elements based on current-mode logic technique. These elements tried were a 3-stable pulse generator, a ternary AND, a ternary OR, a MT circuit and a ternary inverter. Tristable flops which are indispensable for constituting a ternary shift register are synthesized using these gates. A BCD to TCD decoder, and vice versa, are proposed by using a ternary inverter and some binary gates. Thus, the feasibility of a large scale MV digital system has been demonstra-

1. 緒 論

最近의 디지털계통은 더욱 복잡, 정교해짐과 아울러 대용量化되고 있는 반면에 小形化되고 있다. 이러한 디지털 계통에 대하여 보다 높은 信賴度, 高速性 및 記憶密度的 증가와 보다 저렴한 情報處理費用 및 시스템의 간결성 등의 요구는 계속 증대하고 있다.

오늘날 사용되고 있는 電子計算機를 비롯한 論理裝

置는 대부분이 2值論理系를 채택하고 있으나 본 연구에서 다루고자 하는 多值論理系는 종래의 2值論理系에 비하여 데이터를 처리하는데 보다 적은 비트數로 가능하고, 演算速度가 빠르며 記憶容量이 늘어남으로써 情報傳送的 效率이 높아진다. 따라서 데이터 傳送費用의 輕減, 素子間 회로연결의 감소 및 회로단자당 情報量의 증가 등의 많은 장점이 있어, 高性能化가 가능하지만 아직도 實用化되지 못하는 이유는 精確한 論理函數의 演算體系가 확립되어 있지 않으며, 多值論理系에 적합한 回路素子 및 記憶素子가 개발되어 있지 않기 때문이다.

多值論理가 현재의 형태로 발전되기 시작한 것은 1920년 Post¹⁾에 의해서이다. 그후 1942년 Rossenbloom²⁾은 Post의 提案에 대응하는 n 值的 完全論理代

*正會員 : 延世大工大教授 · 工博
 **正會員 : 成大理工大助教授 · 工博
 ***正會員 : 延世大大學院博士課程 修了
 ****正會員 : 延世大大學院博士課程
 *****正會員 : 延世大大學院碩士課程 修了
 *****正會員 : 延世大大學院碩士課程
 接受日字 : 1978年 10月 2日

를 처음으로提示하고 $n \geq 2$ 일 때 n 次 Post 代數라 불렀다.

그 후 1955~1960년 사이에 離接(disjoint) 演算子를 사용한 Post 代數에 대한 定理가 여러 학자들에 의해서 발표되었으며, 1962년 Hallworth³⁾가 相反된 인버터를 사용하여 3值記憶素子를 構成한 이후, 이 분야에 대한 많은 연구가 계속되어 왔었다. 그러나 이들의 대부분은 BT(Balanced Ternary) 方式을 이용한 3值論理를 採擇하고 있기 때문에 4值 以上の 多值論理系를 擴大시키기 어려운 단점이 있다. 이러한 단점은 Dunderdale⁴⁾이 제안한 電流스위칭 理論을 이용한 電流方式回路를 적용함으로써 개선될 可能性이 있다. 그러므로 본 연구에서는 電流方式을 이용한 多值論理回路素子를 試作하여 多安定플롭과 多值 슈프레저素子를 構成함으로써 多值論理系의 實現可能性을 檢討하고자 한다.

2. 電流方式에 依한 多值論理回路

多值論理回路的 실현에 있어서 가장 중요한 것은 n -值安定回路的 설계이다.

일반적으로 n -值安定回로는

- 1) 電壓方式回路和
- 2) 電流方式回路

로 나눌 수 있는데 電壓方式回로는 雜音과 電壓降下로 인하여 오차가 발생되기 때문에 높은 베이스로 확대시킬 수 없는 단점을 가지고 있으므로 본 연구에서는 電流方式回路를 採擇하기로 한다.

3值 以上の 多值論理回路를 실현할 수 있는 電流方式回로는 電流 스위칭 이론을 이용한 것으로서 入力信號에 의해서 각 電流 스위치에 흐르는 電流의 方向이 결정된다. 또 電流方式을 이용한 多閾值多值回路的 n -值函數를 실현하는 基本式은 다음과 같다.⁵⁾

$$F(x_1, x_2, \dots, x_n) = H(e) \tag{2-1}$$

여기서 $e = \sum_{i=1}^n a_i x_i \equiv$ 勵振

$a_i \equiv$ 入力 x_i 와 결합된 Weight

$H \equiv$ 전달특성 (入력이 e 일 때의 출력값)

$F, H, x_i \in \{0, 1, 2, \dots, n-1\}$

이 회로는 다음과 같은 M -閾值를 갖는다.

$$M \leq e_{max} \leq (n-1) \sum_{i=1}^n a_i \dots \tag{2-2}$$

식 (2-2)의 $H(e)$ 는 위의 조건을 만족하는 범위에서 임의로 정하여지므로 단 한 개의 回路로서 많은 函數를 처리할 수 있다. 그림 2-1에서 $H(e) = x_i$ 의 간단한 層階形 傳達函數는 n -值安定回路를 규정하는데 매우 유

용하다.

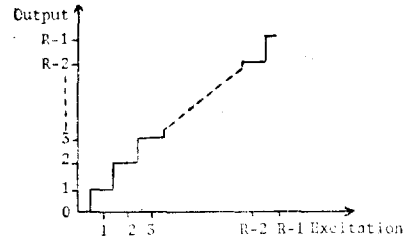


그림 2-1. 層階 傳達特性

Fig. 2-1. Stair-case transfer characteristic

그림 2-2는 $N=4$ 인 경우의 閾值回路이다. 이 회로에서 入力電流는 저항 R_i 를 거쳐 電流再生器(Current-mirror) Q_1-Q_2 에 의해서 再生되며, 이 때 node S의 합성전압은 差動增幅器 $Q_3-Q_4, Q_5-Q_6, Q_7-Q_8$ 의 閾值電壓 $V_{Tm} (m=1, 2, 3)$ 과 비교된다. 그러므로 m 번째 差動增幅器의 바이어스 전류 $P_m I_0$ 는 $V_i > V_{Tm}$ 일 경우에만 Q_{13} 을 통하여 흐른다. 또 Q_{13} 에 흐르는 전류는 후단의 電流再生器 $Q_{13}-Q_{14}$ 에 의해서 再生된다.⁷⁾

이러한 電流方式回로는 電壓方式에 비해서 雜音이 적고 電壓과 電流를 再生할 수 있으며 더 높은 베이스로 쉽게 擴大시킬 수 있는 장점이 있다.

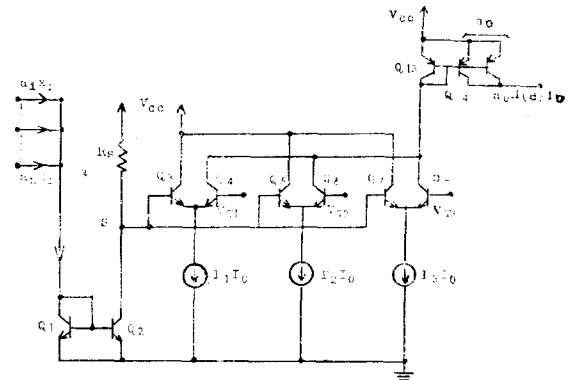


그림 2-2. 4閾值回路

Fig. 2-2. 4-valued threshold circuit

본 연구에서는 이러한 電流方式을 이용한 Emitter Coupled Logic(ECL)을 사용하여 多值論理系를 구성한다.

3. 多值論理系의 構成

非安定回路和 單安定回路를 이용하여 3安定 펄스 發生器를 開發하고 電流方式을 이용한 ECL回路和 RTL回路를 사용하여 3值論理回路 즉 TI (3值 Inverter), TAND(3值 AND), TNAND(3值 NAND), TOR(3值

OR), TNOR(3值 NOR) 및 MT(Multi-Threshold) 回路를 試作하고, D-C(Direct-Coupled), S-C(Set-Clear) 및 M-S(Master-Slave) 3安定플롭(Tristable Flop)과 3值 쉬프트레지스터등을 構成하였다.

3-1. 3安定 펄스 발생기

각 각의 출력펄스가 그림 3-1과 같은 1개의 非安定回路(Signetics; 555)와 1개의 單安定回路(Signetics; 74121)를 그림 3-2와 같이 구성하여 3安定펄스(그림 3-3)를 얻었다.

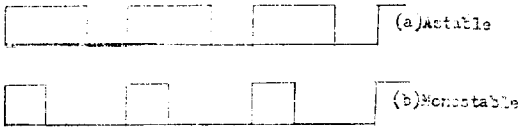


그림 3-1. 非安定回路와 單安定回路의 出力波形
Fig. 3-1. Output waveforms of astable and monostable

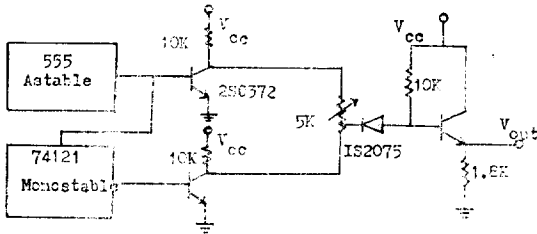


그림 3-2. 3安定펄스발생기
Fig. 3-2. 3-stable pulse generator circuit.

이 회로의 出力端에는 論理值 "1"의 범위를 조절할 수 있도록 하기 위하여 포텐시오미터(5k Ω)를 부착하였으며, 電流增幅을 위하여 Emitter follower(E.F.)단을 접속하였다.

그림 3-3은 이 3安定 펄스 발생기의 出力波形이며 이 波形的 論理值와 電壓值의 범위는 표 3-1과 같다.

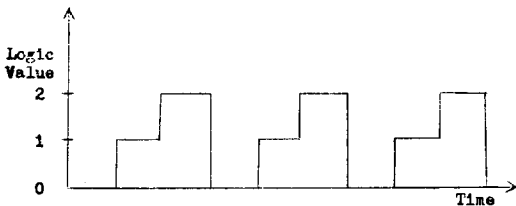


그림 3-3. 3安定펄스 系列
Fig. 3-3. 3-stable pulse train

표 3-1. 論理值와 電壓值의 範圍

Table 3-1. Range of logic and voltage value

Logic Value	Voltage Value
0	0~2.95(V)
1	3~5.95(V)
2	6~10(V)

3-2. 多值論理回路

本 研究에서는 RTL回路 技法을 이용한 TI 回路를 開發하여 Irving et al.⁹⁾이 提案한 TAND 및 TOR 回路의 後端에 부착시킴으로써, 多值論理 順序回路를 構成하기 위해서 필요한 TNAND 및 TNOR 回路를 構成하였고, 또 Vranesic et al.⁹⁾이 提案한 MT 回路를 試作하였다.

여기서 試作한 各 回路의 出力端에는 電流增幅 및 fan-out 特性을 개선하기 위하여 EF를 부착하였다.

① TI 回路

RTL(Resistor-Transistor Logic) 回路를 기본으로 하여 그림 3-4와 같이 TI 回路를 構成하였다.

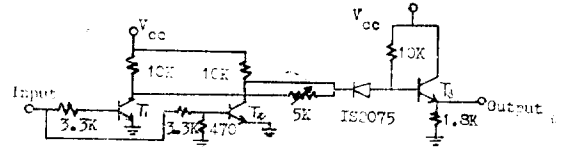


그림 3-4. TI 回路
Fig. 3-4. TI gate

이 回路의 動作特性은 入力에 "0"이 印加되면 트랜지스터 T_1 과 T_2 가 동시에 차단되므로 出力은 "2"로 되고, 入力에 "1"이 印加되면 T_1 은 導通되지만, T_2 는 차단되므로 T_2 의 콜렉터端에는 "2"가 나오지만 出力端의 포텐시오미터에 의하여 출력은 "1"로 된다. 또 入力에 "2"가 印加되면 T_1 과 T_2 가 동시에 導通되므로 이 때의 出力은 "0"이 된다. 그러므로 이 回路의 入力端에 "0, 1, 2"의 펄스를 印加하면 出力은 "2, 1, 0"의 入力펄스가 정확하게 逆轉된 펄스系列로 된다.

이 回路에 몇개의 트랜지스터를 첨가하고 出力端 및 콜렉터端의 저항값을 적절히 조절함으로써 3值 이상으로 擴張하여 사용할 수 있음을 확인하였다.

② TAND 및 TNAND 回路

Irving et al.이 提案한 ECL 回路를 기본으로 하여 그림 3-5와 같은 TAND 回路를 試作하고, ①에서 試作된 TI 回路를 이용하여 TNAND 回路를 構成하였다.

③ TOR 및 TNOR 回路

②의 TAND, TNAND 回路와 유사한 方法으로 그

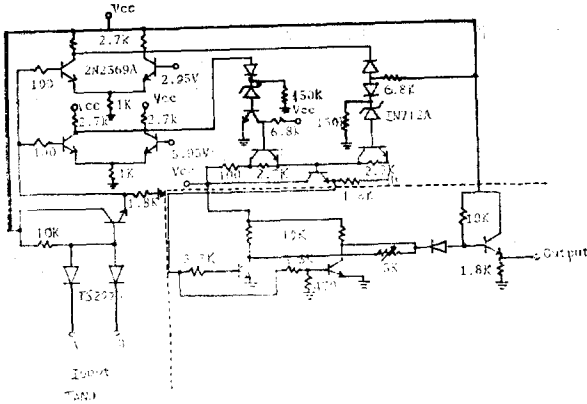


그림 3-5. TAND 및 TNAND 회로
Fig. 3-5. TAND and TNAND gate

하여 非同期順序回路로서 D-C 및 S-R 3안정플롭을 構成하였고, 同期順序回路로서 S-C 및 MS 3안정플롭을 아래와 같이 構成하였다.

① D-C 3안정플롭

3-2-②의 TNAND회로를 이용하여 그림 3-8과 같이 단일 D-C 3안정플롭을 構成하였다. x_1, x_2 를 단일 D-C 3안정플롭의 入力이라하면 이 단일플롭의 出力 $Q(t+1)$ 은 다음과 같다.

$$Q(t+1) = \bar{x}_2(t) + x_1(t) \cdot Q(t), \quad N=3 \quad (3-1)$$

여기서 $x_1 + x_2 \geq P (= N-1)$ 이고 N 은 베이스를 나타낸다. \bar{x}_1 와 \bar{x}_2 를 C와 S로 각각 치환하면 식 (3-1)은 다음과 같이 된다.

$$Q(t+1) = S(t) + \bar{C}(t) \cdot Q(t) \quad (3-2)$$

식 (3-2)는 2值 Set-Clear 플립·플롭의 狀態式과같은 형태를 갖는다. 또 그림 3-8과 같이 단일플롭의 앞단에 TI게이트와 TOR게이트를 접속하면 수정된 D-C 3안정플롭을 얻을 수 있다.

이 때의 出力 $Q(t+1)$ 은 아래와 같다.

$$Q(t+1) = A_2(t) + A_1(t) \cdot Q(t) \quad (3-3)$$

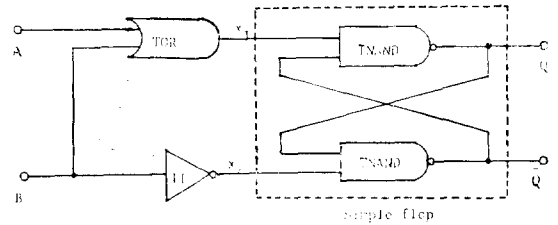


그림 3-8. D-C 3안정 플롭
Fig. 3-8. D-C tristable flop

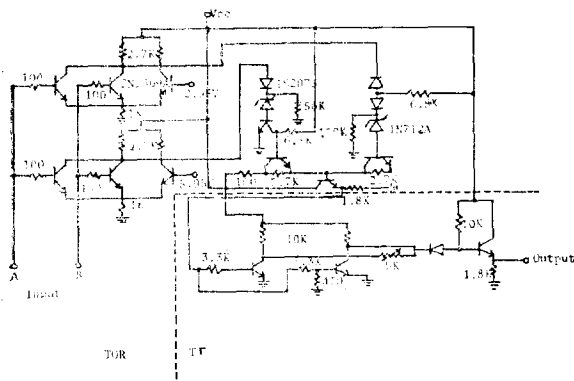


그림 3-6. TOR 및 TNOR 회로
Fig. 3-6. TOR and TNOR gate

그림 3-6과 같이 TOR 및 TNOR 회로를 構成하였다.

④ MT회로

위의 다值論理回路와는 달리 그림 2-2의 4閾值회로를 利用하여 그림 3-7와 같은 MT회로를 構成하였다.

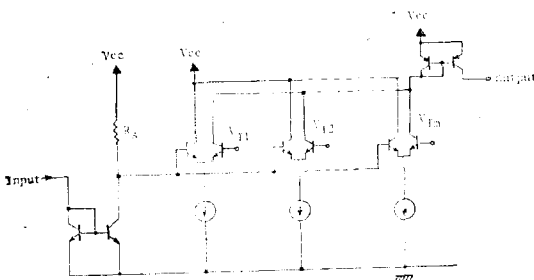


그림 3-7. MT회로
Fig. 3-7. MT circuit

3-3. 다值論理 順序회로

디지털 順序회로는 非同期順序회로와 同期順序회로로 分類할 수 있다. 여기서 위의 다值論理회로를 이용

같은 방법으로 3-2-③의 TNOR 회로를 이용하여 단일 3안정플롭 및 D-C 3안정플롭도 構成할 수 있으나 그 動作原理나 狀態轉移 등이 TNAND회로를 사용한 3안정플롭과 유사하다.

② S-C 3안정플롭

3-2-②, ③의 TAND 및 TNOR 회로를 이용하여 그림 3-9와 같이 構成한 S-C 3안정플롭의 動作特性은 2值 S-C 플립플롭과 유사하다.

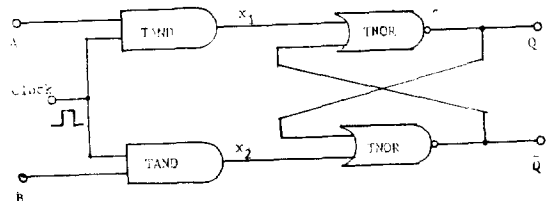


그림 3-9. S-C 3안정플롭
Fig. 3-9. S-C tristable flop

③ S-R 3안정플롭

위의 TAND회로와 TOR회로 및 MT회로를 직렬로 접속하고 단일 제한시키면 그림 3-10과 같은 S-R 3안정플롭을 構成할 수 있다. 이 S-R 3안정플롭은 正向 모서리(Positive-going edge)에서 動作하며, 入力 S와 R 및 제한입력 Q(t)에 의해서 出力狀態가 傳移된다. 그러므로 이 S-R 3안정플롭의 出力 Q(t+1)은 $Q(t+1) = [Q(t) + S] \cdot R$ 로 된다.

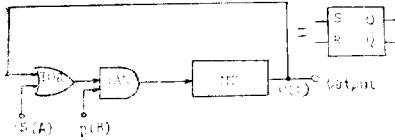


그림 3-10. S-R 3안정플롭
Fig. 3-10. S-R Tristable flop

④ M-S 3안정플롭

3-3-③에서 構成한 S-R 3안정플롭을 이용하여 그림 3-11과 같이 M-S 3안정플롭을 構成하였다. 이 M-S 3안정플롭은 2值 M-S플롭플롭과 마찬가지로 同期信號에 의해서 動作한다.

그림 3-11의 첫번째 MT 회로의 入力 P₁은

$$\begin{aligned} P_1 &= a_1 \cdot d_1 \\ &= (S + \bar{R}) \cdot (S \cdot R + Q_1) \\ &= S \cdot R + S \cdot Q_1 + Q_1 \cdot \bar{R} \\ &= S \cdot R + Q_1 \cdot \bar{R} \end{aligned}$$

이므로 R=2일 때 M-S 3안정플롭의 마스터側은 入力 S값이 셋트(set)되고 R=0일 때는 제한입력 Q₁값이 셋트되고, 슬레이브側은 이와 반대로 동작한다.

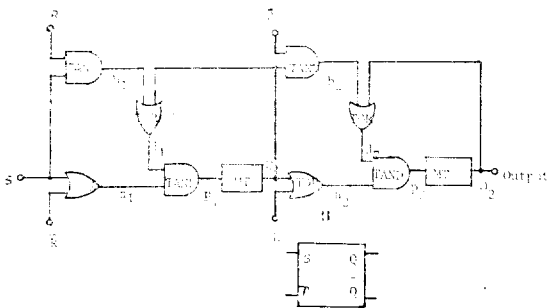


그림 3-11. M-S 3안정플롭
Fig. 3-11. M-S Tristable flop

3-4. 3值 쉬프트레지스터

대규모 多值論理系의 實現可能性을 檢査하기 위하여 3-3-④의 M-S 3안정플롭을 利用하여 그림 3-12와 같은 3值쉬프트레지스터를 構成하였다. 이의 動作은 2值쉬프트레지스터와 비슷하다. 먼저 쉬프트레지스터의 각

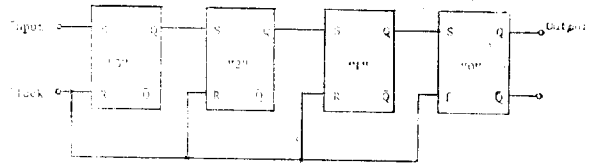


그림 3-12. 3值 쉬프트레지스터
Fig. 3-12. Ternary shift register

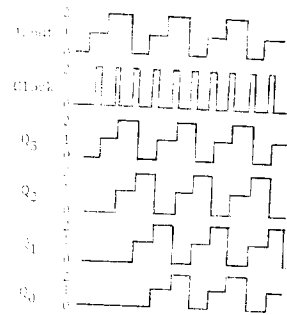


그림 3-13. 3值쉬프트레지스터의 入出波形
Fig. 3-13. Input-output waveforms of the ternary shift-register

표 3-2. 3值쉬프트레지스터의 狀態轉移表

Table. 3-2 State-table of the ternary shift-register

shift pulse	word bit	stage			
		Q3	Q2	Q1	Q0
0	1	1	0	0	0
1	0	0	1	0	0
2	2	2	0	1	0
3	1	1	2	0	1
4	0	0	1	2	0
5	2	2	0	1	2

단을 클리어시킨 다음에 入力 S와 同期端(Reset) R에 그림 3-13과 같은 安定펄스와 同期信號를 각각 印加하면 M-S 3안정플롭의 動作特性에 의해서 表 3-2와 같이 入力값이 Q₃에서 Q₀로 移動된다.

4. 實驗結果 및 考察

3에서 試作 構成한 3안정펄스 발생기 및 多值論理回路와 多值論理 順序回路의 動作狀態를 실현하기 위하여 아래와 같은 測定裝置(사진 4-1)를 사용하여 入出力波形을 분석하였다.

- 1) 545A Oscilloscope (Tektronix Co.)

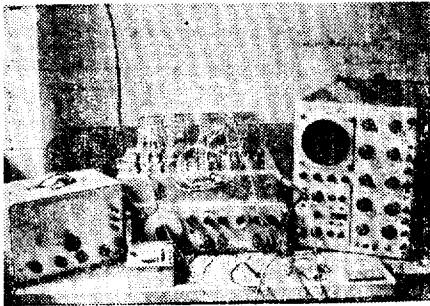


사진 4-1. 測定裝置
Photo 4-1. Measurement apparatus

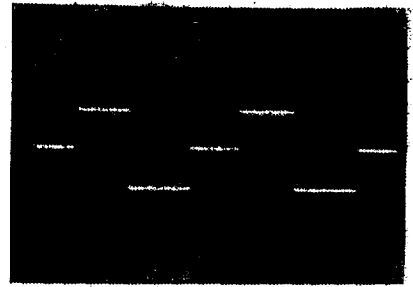


사진 4-2. 3安定펄스
Photo 4-2. Tristable pulse train

- 2) LAG-55 Audio Generator(Leader Electronics Co.)
- 3) CX505 Multi-tester (Sanwa Co.)
- 4) 203A Function Generator(Hewlett Packard Co.)
- 5) D.C Power Supply(Fluke Co.)

4-1. 3安定펄스 발생기

사진 4-2는 그림 3-2의 회로로 試作한 3安定펄스 발생기의 出力펄스 系列로서 論理值가 0(0~2.95V), 1(3~5.95V), 2(6~10V)인 만족할 만한 3安定펄스를 얻을 수 있었다.

4-2. 多值論理回路

本 實驗에서는 RTL회로 技法를 이용하여 TI회로를 개발함으로써 만능 3值論理回路(Versatile three-Valued logic gate)로서는 構成하기 어려웠던 TNAND 및 TNOR를 구성하였다.

사진 4-3, 4-4, 4-5, 4-6, 4-7 및 4-8은 各 各 TI, TAND, TNAND, TOR, TNOR 및 MT 회로의 入出力波형을 나타낸다. 여기서 (a), (b), (c)는 入力 A에 3安定펄스를 인가하고 入力 B에 논리값이 "0, 0", "0, 1" 및 "0, 2"인 반복펄스를 각각 印加하였을 때의 演算出力을 나타낸다. TAND와 TOR 회로의 경우에는 入力 A와 B가 比較되어 各 各 최소값과 최대값이 演算出力값으로 나타나고 TNAND와 TNOR회로의 경우에는 各 各 TAND와 TOR 회로의 演算出力값이 정확하게 逆轉되어 나타나는 것을 알 수 있다.

이들 결과사진으로 미루어 볼 때 試作한 各 多值論理회로의 動作狀態는 多值論理 理論에 정확하게 일치됨을 알 수 있다. 3安定펄스 入力에서 발생된 미소한 hazard로 인하여 이들 多值論理回路에도 미소한 雜音이 발생되었으나 演算에는 아무런 영향이 없으며 回路를 集積回路化 함으로써 完全히 해결할 수 있을 것이다.

4-3. 多值論理 順序回路

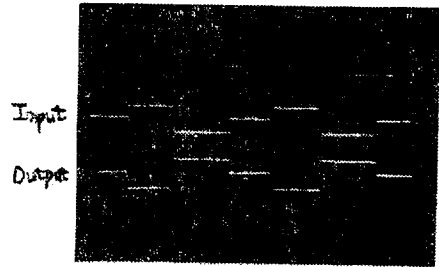


사진 4-3. TI회로의 入出力波형
Photo 4-3. Input-output wave-forms of the TI gate

사진 4-9, 4-10 및 4-11은 各 各 3-3에서 구성한 D-C 3安定플롭, S-C 3安定플롭 및 S-R 3安定플롭의 入出力波형을 나타낸다. 여기서 (a), (b) 및 (c)는 入力 A와 B에 各 各 위와 같은 반복펄스를 印加하고 同期信號端(사진 4-9 및 4-11 제외)에 同期信號를 印加하였을 때의 出力 Q를 나타낸다.

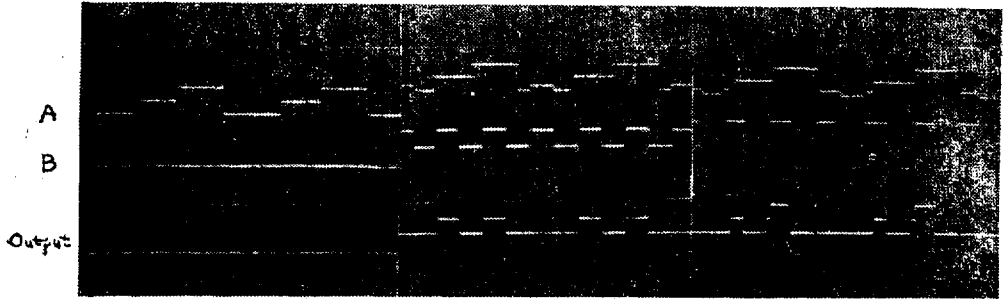
이들 결과사진에서 出力 Q는 식(3-3)과 정확하게 일치함을 알 수 있으며 多值論理順序회로의 動作狀態는 多值論理理論에 일치함을 확인하였다.

사진 4-12는 入力에 3安定펄스를 걸고 同期信號端(Reset)에 論理值가 "0, 2"인 同期信號를 印加하였을 때의 마스터와 슬레이브의 出力(Q₁, Q₂)을 나타내는데 同期信號의 지속기간만큼 傳移됨을 알 수 있다.

4-4. 3值쉬프트레지스터

사진 4-13은 3-4에서 구성한 3值쉬프트레지스터의 入出力波형을 나타낸다. 사진에서 出力 Q₀, Q₁, Q₂ 및 Q₃는 그림 3-13 및 표 3-2와 정확하게 일치함을 알 수 있다.

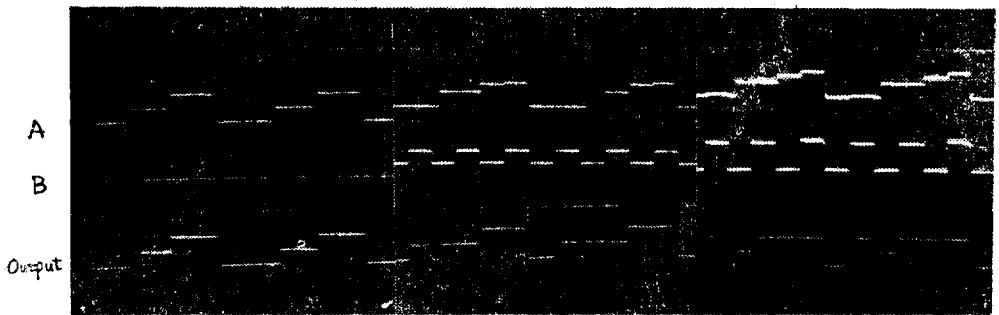
本 研究에서는 TI회로를 開發함으로써 Irving 등이 提案한 만능 3치회로로 構成하기 어려웠던 TNAND, TNOR 회로를 構成하여 D-C 및 S-C 多值論理 順序회로의 構成에 이용하였으며 만능 3치회로로 구성된 TNAND, TNOR 回路에서 나타나는 出力端의 電壓降下



(a) 3安定-0, 0 (b) 3安定-0, 1 (c) 3安定-0, 2

사진 4-4. TAND回路의 入出力波形

Photo 4-4. Input-output waveforms of the TAND gate



(a) 3安定-0, 0 (b) 3安定-0, 1 (c) 3安定-0, 2

사진 4-5. TOR回路의 入出力波形

Photo 4-5. Input-output waveforms of the TOR gate

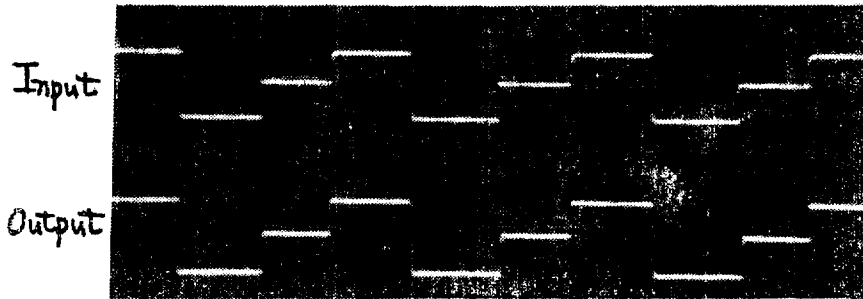
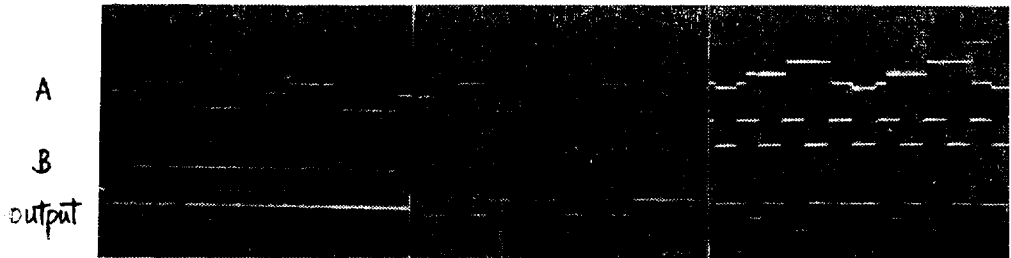


사진 4-6. MT回路의 入出力波形

Photo 4-6. Input-output waveforms of the MT circuit



(a) 3安定-0, 0 (b) 3安定-0, 1 (c) 3安定-0, 2

사진 4-7. TNAND回路의 入出力波形

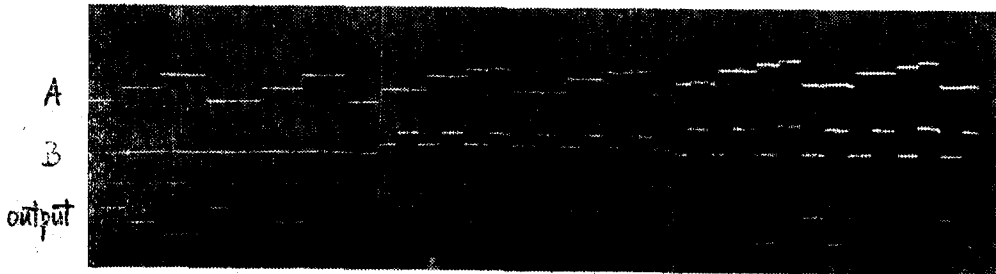
Photo 4-7. Input-output waveforms of the TNAND gate



(a) 3安定-0, 0 (b) 3安定-0, 1 (c) 3安定-0, 2

사진 4-8. TNOR회로의 入出力波形

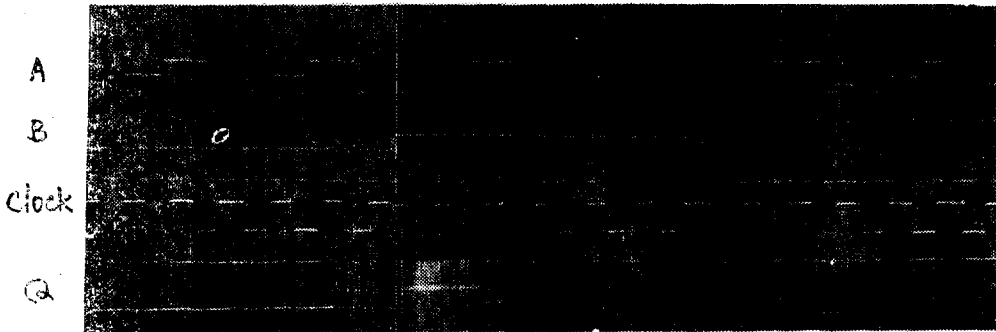
Photo 4-8. Input-output waveforms of the TNOR gate



(a) 3安定-0, 0 (b) 3安定-0, 1 (c) 3安定-0, 2

사진 4-9. D-C3 安定플롭의 入出力波形

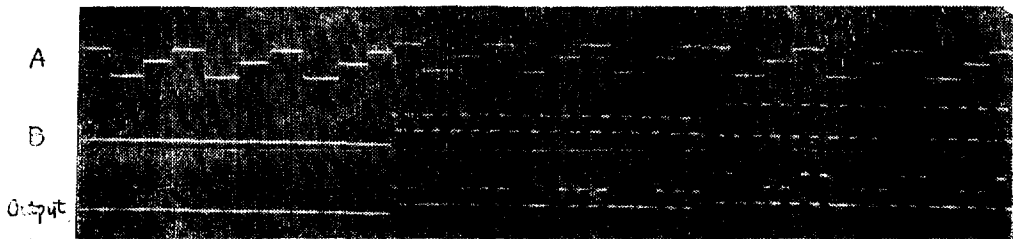
Photo 4-9. Input-output waveforms of the D-C tristable Flop



(a) 3安定-0, 0 (b) 3安定-0, 1 (c) 3安定-0, 2

사진 4-10. S-C 3安定플롭의 入出力波形

Photo 4-10. Input-output waveforms of the S-C tristable flop



(a) 3安定-0, 0 (b) 3安定-0, 1 (c) 3安定-0, 2

사진 4-11. S-R 3安定플롭의 入出力波形

Photo 4-11. Input-output waveforms of the S-R tristable flop

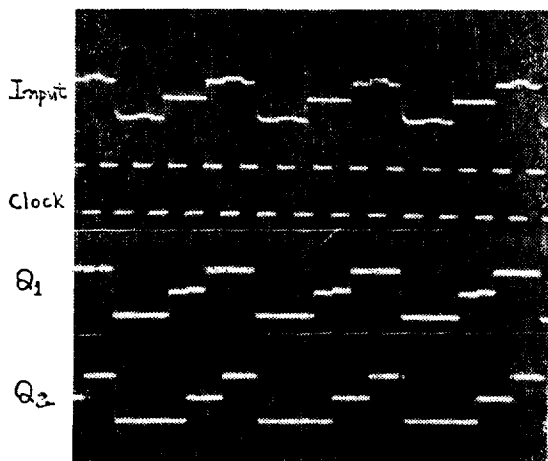


사진 4-12. M-S 3安定플롭의 入出力波形
Photo 4-12. Input-output waveforms of the M-S tristable flop

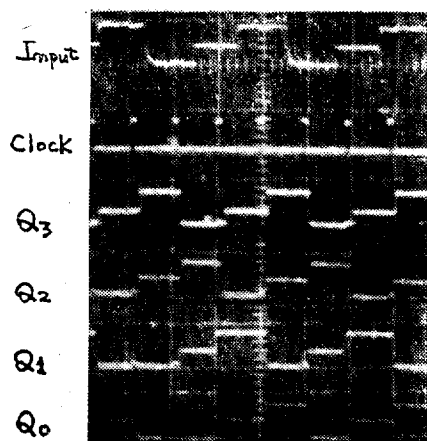


사진 4-13. 3值쉬프트레지스터의 入出力波形
Photo 4-13. Input-output waveforms of the ternary shift-register

불안정 등을 어느정도 개선하였다. 또 Vranesic 등이 제안한 MT회로에 위에서 試作한 TAND, TOR회로를 도입하여 S-R, M-S 3安定플롭 및 3值쉬프트레지스터를 구성하였다.

여기서 試作 또는 구성한 各 多值論理회로와 多值論理系는 편의상 베이스를 3으로 국한하였으나 이들 회로에 差動增幅器를 첨가하고 出力端 및 콜렉터端의 저항값을 적절히 조절한다면 더 높은 베이스로 확장할 수 있다.

한편 기존 2值論理裝置와 장차 출현하게될 多值論理

裝置를 併用하기 위하여 본 연구에서 開發한 TI 게이트와 2值 NOR, Exclusive OR 및 제너 다이오드 등을 사용하면 그림 4-1, 4-2와 같이 BCD/TCD 및 TC D/BCD 디코더를 構成할 수 있다. 장차 多值論理裝置가 출현하면 필연적으로 기존장치와의 効率的인 併用이 고려될 것이며 Interface로서의 이러한 디코더의 活用이 크게 기대된다.

5. 結 論

本 研究에서는 RTL회로 技法을 이용하여 TI회로를

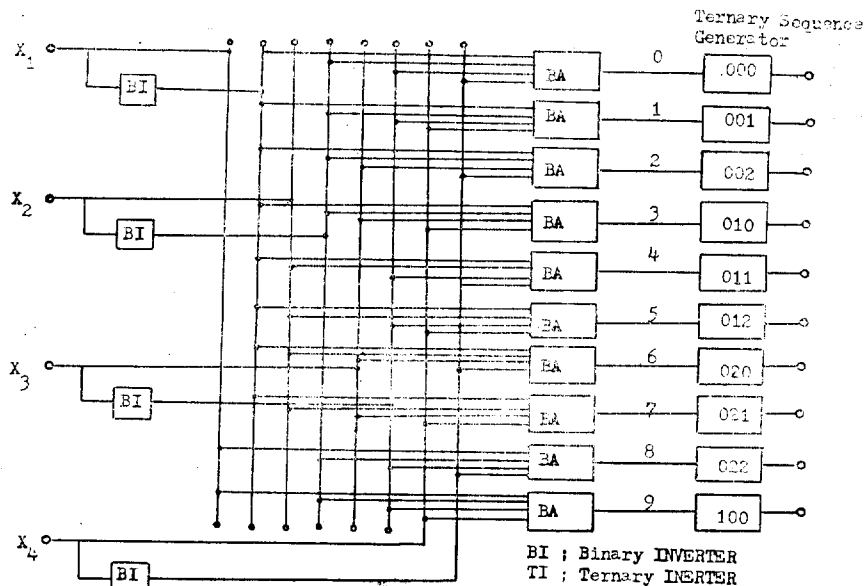


그림 4-1. BCB/TCD 디코더
Fig. 4-1. BCD/TCD decoder

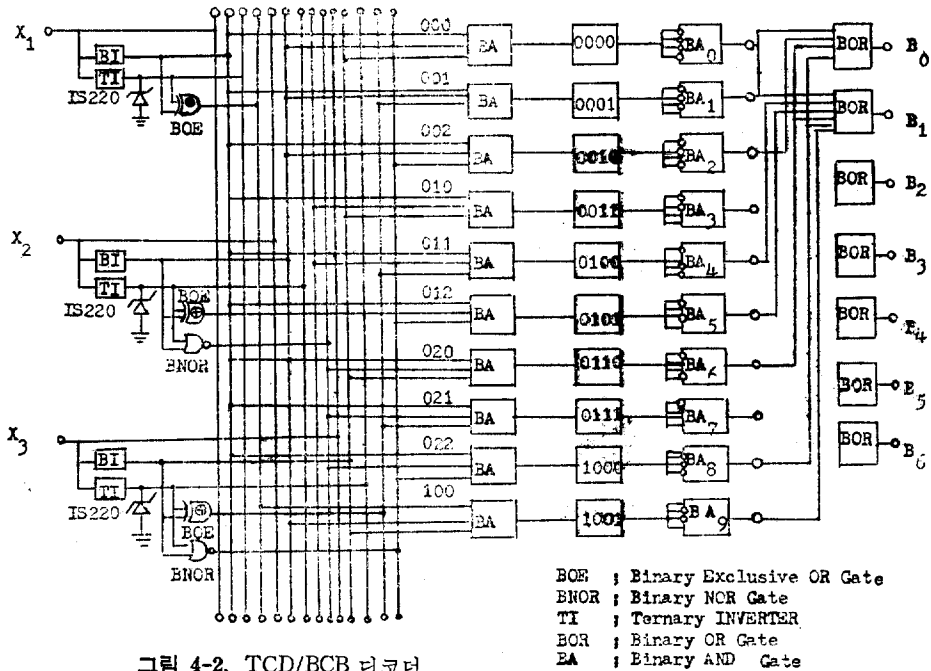


그림 4-2. TCD/BCB 디코더
fig. 4-2. TCD/ECD decoder

開發함으로써 多值論理 順序回路를 구성하기 위하여필요한 TNAND, TNOR 回路를 구성하고 TAND, TOR 및 MT回路를 試作하여 D-C, S-C, S-R, M-S 3安定물품 및 슈프트레지스터를 구성하고 이들의 성능 및入出力波形을 分析한 결과 多值論理 理論과 實驗結果가 일치함은 물론 電壓方式回路에 비해 雜音과 誤差가 현저하게 감소되고 만능 3치 논리회로 기법에 의해서 구성할 때 나타났던 출력단의 전압강하나 상태의 불안정등을 어느정도 개선하였다. 이로써 電流方式에 의한 대규모 多值論理系의 實現可能性을 提示하였으며 이에 덧붙여서 장차 출현하게될 多值論理裝置와 기존의 2值論理裝置를 併用할 수 있게 하는 BCD/TCD, TCD/BCD 디코더를 提示하였다.

本 研究에서 設計 試作한 펄스發生器와 多值論理回路 및 多值理系는 편의상 베이스가 3인 경우로 국한하였으나 각 回路에 差動增幅器를 追加하고 저항값을 적절히 조절함으로써 4 이상의 베이스로 擴大 적용시킬 수 있을 것이다.

謝 意

本 研究는 峨山社會福祉事業財團의 1977年度 研究開發費의 支援으로 이루어 진것으로서 深甚한 謝意를 表하는 바이다.

參 考 文 獻

1. E.L. Post, "Introduction to a General theory of

Elementary Propositions", Amer. Jour of Math. Vol. 43, pp. 163~185, 1921

2. P.G. Rosenbloom, "Post Algebra 1. Postulates and General Theory", Amer. Jour. of Math, Vol. 64, pp. 167~188, 1942

3. R.P. Hallworth & F.G. Smith, "Semiconductor Circuits for Ternary Logic", Proc. IEE. Vol. C-109, pp. 219~225, Mar. 1962

4. M. Dunderdale, "Current-Mode Circuits for Ternary-Logic Realization," Electronic Letters, Vol. 5, pp. 575~577, May 1969

5. H. Dunderdale, "Current-Mode Circuits for the Unary Functions of a Ternary Variable," Electronic Letters, Vol.

6. A. Druzeta, A.G. Vranesic and A.S. Sedra, "Application of Multi-threshold Elements in the Realization of Many-valued Logic Networks", IEEE Trans. on Computers, Vol. C-23, No. 11, pp. 1194~1198, Nov. 1974

7. D.R. Haring, "Multi-Threshold Threshold Element," IEEE Trans. Vol. EC-15, No. 1, p. 45, Feb. 1966

8. T.A. Irving, S.G. SHIVA and H.T. Nagle, "Flip-Flops for Multiple-Valued Logic," IEEE Trans. on Computers, Vol. C-25, No. 3 pp. 237~246. Mar. 1976

9. Z.G. Vranesic and K.C. Smith, "Engineering Aspects of Multi-valued Logic systems", IEEE Computer Journal, No. 9 pp. 34~41 Sep. 1974.