

Delay Switching PLL의 Pull-in 特性

(Pull-in Characteristics of Delay Switching Phase-Locked Loop)

蔣 炳 和*, 金 在 均**
(Jang, Byung Hwa, and Kim, Jae Kyoon)

要 約

본 논문에서는 PLL의 pull-in 특성을 개선하기 위하여 delay switching PLL을 제시하였다. phase detector와 low pass filter 사이에 간단한 RC delay 회로를 삽입하고, 90° shift 시킨 phase detector 출력에 의하여 delay time을 switching 하였다. 그 결과 pull-in range는 lock range의 1/2이상으로 넓힐 수 있었으며 pull-in time도 개선되었다. 이 개선된 pull-in 특성은 근사적으로 해석되었으며 실험으로 확인되었다.

Abstract

A delay switching PLL (DSPLL) is proposed for improvement of the frequency acquisition performance (pull-in range) while keeping a narrow bandwidth LPF. It has, between the phase detector and the LPF, just a simple RC delay circuit, a switch and another phase detector controlling the switching time.

For the common second order PLL, the pull-in capability of the DSPLL is analyzed approximately, without considering additive white noise effect, and verified experimentally. It is shown that the delay switching extends the pull-in range significantly, as much as a half of lock-range. At the phase tracking mode, the delay switching does not function, to make the DSPLL be a normal PLL.

1. 序 論

PLL(phase locked loop)은 통신계통의 동기장치로서 오래 전 부터 연구되어 왔으며 최근 집적회로의 발달에 따라 1 chip PLL이 양산됨으로서 여러 분야에 응용되고 있다. 그러나 기존 PLL에서는 LPF(low pass filter)의 대역폭(bandwidth)을 좁게 할 수록 잡음에 의한 영향을 감소시킬 수 있는 장점이 있으나, pull-in range가 감소되고 pull-in time이 증가되므로 lock되기 어렵다는 단점이 있다.¹⁾ 이 상반되는 문제를 해결하려면 LPF의 대역폭을 좁게하면서도 PLL의 pull-in

range를 넓게하는 방법이 필요하다.

이 문제에 대해서 다음과 같은 여러가지 방법이 연구되어 있다. 이들은 lock indicator를 사용하는 경우와 그렇지 않은 경우로 나누어 볼 수 있다.

lock indicator를 사용하는 방법으로는 흔히 사용되는 VCO sweep 방법²⁾, unlock 시에는 LPF를 대역폭이 넓은 LPF로 교환해 주는 Anderson의 방법³⁾, unlock 시에 loop gain을 증가시켜 주는 Richman의 방법⁴⁾ 등이 있다.

lock indicator를 사용하지 않는 방법으로는 기존 PLL에 AFC (automatic frequency control) loop를 별도로 부가한 two mode system⁵⁾, PD(phase detector) 내부에 별도의 feed back loop를 가진 ERPLD(extended range phase locked discriminator)를 사용한 Acampora의 방법⁶⁾, 90° shift 시킨 PD 출력에 따라 LPF의 전달함수를 $1 + \frac{a}{s}$ 에서 $\frac{a}{s}$ 로 switching 하는 Hiro-

* 正會員, 한국과학기술연구소(Korea Institute of Science and Technology)

** 正會員, 한국과학원(Korea Advanced Institute of Science)

接受日字: 1978年 7月 4日

shige의 DRR (derived rate rejection) 방법^{6),7)} 등이 있다.

lock indicator를 사용하는 방법은 해석이 쉽고 구성이 간단하다는 장점이 있으나 lock indicator 때문에 pull-in time을 감소시키기 어렵다는 단점이 있다. lock indicator를 사용하지 않는 방법은 구성이 복잡해지고 해석이 어려워지나 pull-in range뿐만 아니라 pull-in time도 효과적으로 개선할 수 있다는 장점이 있다.

본 논문에서는 lock indicator를 사용하지 않는 방법으로서 pull-in range 및 pull-in time을 효과적으로 개선할 수 있는 delay switching PLL(DSPLL)을 제시하였다. 본 논문에서는 noise의 영향이 고려되지 않았으며, PD function이 triangular function으로 표시되어 있는 2nd order PLL을 해석하였다.

2. delay switching PLL(DSPLL)의 원리

기존 PLL에서 위상비교기(PD)는 입력위상과 VCO 출력위상 사이의 위상차를 가지는 신호를 발생한다 이 신호가 저역여과기(LPF)를 통하여 VCO (voltage controlled oscillator)에 가해지므로 VCO는 주파수변조 및 위상변조 된다. 이러한 변조효과에 의하여 PD출력은 그림 1과 같이 비대칭 파형으로 되어 직류성분을 가지게 되며 이 직류성분에 의하여 VCO는 입력주파수와 위상에 접근하게 된다. VCO가 입력주파수에 접근함에 따라 변조효과는 더욱 커지므로 이러한 과정의 반복에 따라 VCO 주파수는 입력주파수와 같아지며 phase lock이 이루어지게 된다.

VCO와 입력의 주파수 차이(ω_e)가 너무 크면 LPF출력이 작아지며 또한 VCO의 변조효과가 감소하여 PD출력의 직류성분이 충분히 증가되지 못하므로 VCO는 입력에 lock 불가능하게 된다. 이 경우 그림 2와 같이 PD와 LPF 사이에 delay 회로와 switch를 삽입하고 90° shift된 PD출력에 따라 switching시키면 그림 3(b)와 같이 PD출력의 직류성분을 증가시킬 수 있으며 이에 따라 VCO를 입력에 phase lock시킬 수 있게 된다.

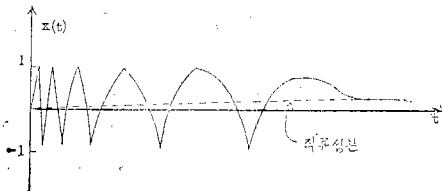


그림 1. phase detector 출력파형의 pull-in 과정
Fig. 1. Phase detector output waveform in pullin process.

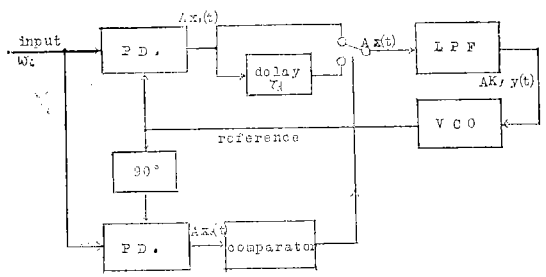


그림 2. delay switching PLL의 구성도
Fig. 2. Block diagram of delay switching PLL.

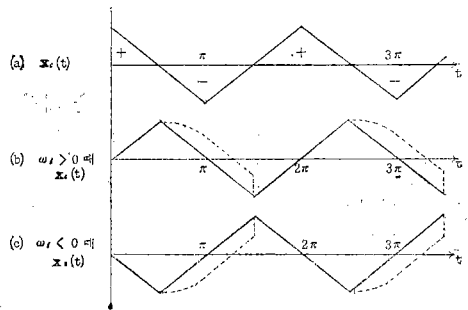


그림 3. phase detector 출력 파형과 위상
Fig. 3. Phase detector output waveforms and phase.

3. DSPLL의 근사해석

그림 2의 DSPLL은 그림 4와 같은 수학적 model로 표시할 수 있다. 이 그림에서 PD function $g(\phi)$ 를 그림 5와 같은 triangular function으로 사용하면 식 (1)과 같이 나타낼 수 있다.

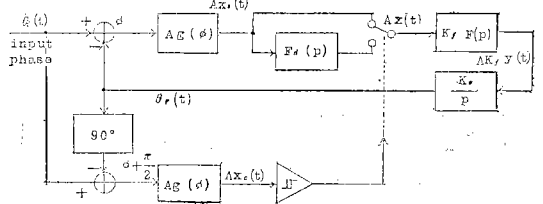


그림 4. delay switching PLL의 수학적 model
Fig. 4. Mathematical model of delay switching PLL

$$g(\phi) = \begin{cases} 1 + \frac{2}{\pi} \phi, & -\pi \leq \phi < 0 \\ 1 - \frac{2}{\pi} \phi, & 0 \leq \phi < \pi \end{cases} \quad (1)$$

LPF는 2nd order PLL에서 그림 6과 같은 RC회로로 표시될 수 있으므로 $F(p)$ 는 식 (2)와 같다.²⁾

$$F(p) = \frac{1 + \tau_2 p}{1 + \tau_1 p} \quad (2)$$

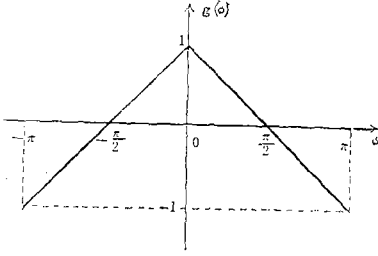


그림 5. 위상비교기 함수
Fig. 5. Phase detector function.

여기서 $\tau_1 = (R_1 + R_2) \cdot C$
 $\tau_2 = R_2 \cdot C$ 이다.

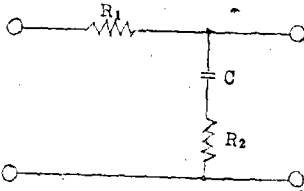


그림 6. 저역여파기
Fig. 6. Lowpass filter.

delay 회로는 그림 7과 같이 간단한 RC 회로를 사용할 수 있으므로 $F_d(p)$ 는 식 (3)과 같이 된다.

$$F_d(p) = \frac{1 + \tau_d p}{1} \quad (3)$$

단 $\tau_d = R_d C_d$

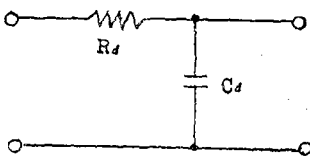


그림 7. delay 회로
Fig. 7. Delay circuit.

그림 4에서 PD 출력 $x_s(t)$ 와 delay switching 후의 출력 $x(t)$ 의 파형은 그림 8과 같다. $x(t)$ 는 비대칭파형으로 되므로 평균치 x_a 를 가지며 이 x_a 는 delay time τ_d 와 frequency detuning ω_d 의 함수이다. 그림 8에서 x_a 를 구하면 다음과 같이 계산된다.

$$\begin{aligned} x_a &= \frac{\omega_d}{2\pi} \int_0^{2\pi/\omega_d} x(t) dt \\ &= \frac{\omega_d}{2\pi} \int_0^{\pi/\omega_d} x(t) dt \end{aligned} \quad (10)$$

그림 8에서 $0 \leq t < \pi/\omega_d$ 이면 $x_s(t)$ 는

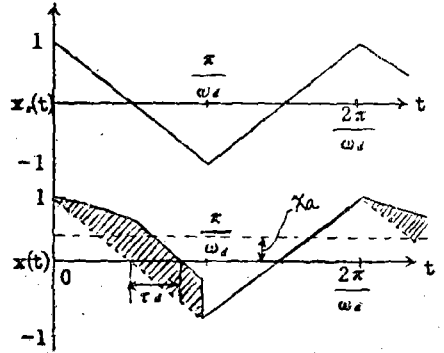


그림 8. PD 출력 $x_s(t)$ 와 delay switching 회로의 출력 $x(t)$ 의 파형
Fig. 8. Waveforms of PD output, $x_s(t)$ and delay switching circuit output, $x(t)$.

$$x_s(t) = -\frac{2}{\pi} \omega_d t + 1, \quad 0 \leq t < \frac{\pi}{\omega_d} \quad (11)$$

이다. $x_s(t)$ 가 그림 7과 같은 time delay 회로를 지나면 그림 8과 같은 $x(t)$ 로 된다. $x(t)$ 를 식으로 나타내면

$$x(t) = -\frac{2}{\pi} \omega_d [t - \tau_d(1 - e^{-t/\tau_d})] + 1 \quad (12)$$

여기서, $0 \leq t < \pi/\omega_d$ 이다. 식 (12)를 식 (10)에 대입하고 적분하면 x_a 는

$$\begin{aligned} x_a &= -\frac{\omega_d}{2\pi} \int_0^{\pi/\omega_d} \left\{ -\frac{2}{\pi} \omega_d [t - \tau_d(1 - e^{-t/\tau_d})] + 1 \right\} dt \\ &= \frac{\tau_d \omega_d}{\pi} \left[1 - \frac{\tau_d \omega_d}{\pi} \int_0^{\pi/\omega_d} (1 - e^{-t/\tau_d}) dt \right] \\ &= Z [1 - Z(1 - e^{-1/Z})] \end{aligned} \quad (13)$$

이다. 여기서 $Z \triangleq \frac{\tau_d \omega_d}{\pi}$ 이다. 식 (13)을 graph로 표시하면 그림 9와 같다. 그림 9에서 $\tau_d = \frac{\omega_d}{AK}$ 는 normalized frequency detuning 으로서 Z와 다음의 관계가 있다.

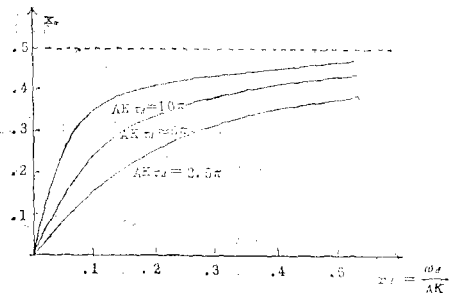


그림 9. delay switching 회로의 특성곡선
Fig. 9. Characteristic curve of delay switching circuit.

$$Z = \frac{AK\tau_d}{\pi} \cdot \frac{\omega_d}{AK} = \left(\frac{AK\tau_d}{\pi}\right) \cdot r_d \quad (14)$$

여기서 AK는 PLL의 loop gain이다. x_d 가 delay switching 없을 경우의 pull-in range(w_{pc})보다 크다면 그림 4에서 두개의 PD 및 delay switching 회로는 입력주파수와 VCO 출력주파수의 차이주파수(w_d)에 따라 평균치가 식 (13) 및 그림 9와 같이 변화하는 출력(X_d)를 발생하므로 식 (13) 및 그림 9와 같은 특성을 가진 FDD(Frequency Difference Detector)로 표시할 수 있다. 그러므로 그림 4는 그림 10과 같은 AFC loop로 근사화할 수 있다. 여기서 $x_d(w_d)$ 는 식 (13)과 같다. 그림 10의 AFC loop에서 loop equation을 세우면 다음과 같다.

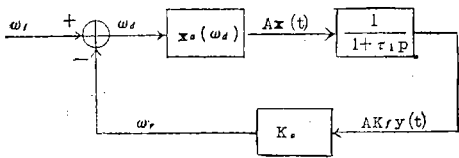


그림 10. AFC loop로 근사화한 DS PLL($w_d > w_{pc}$)
Fig. 10. Equivalent AFC loop of DS PLL.

$$w_d(t) = w_i - AKx_d(w_d) \frac{1}{1 + \tau_1 p} \quad (15)$$

이 식을 미분방정식으로 고치면

$$\tau_1 \frac{dw_d}{dt} = w_i - AKx_d(w_d) - w_d \quad (16)$$

이다. 식 (16)에 식 (13)을 대입하면

$$\tau_1 \frac{dw_d}{dt} = w_i - AKZ[1 - Z(1 - e^{-1/Z})] - w_d \quad (17)$$

이다. 이 식에서 w_d 는 $t=0$ 에서 w_i 이며 시간의 증가에 따라 w_d 는 점점 감소하여 $t=\infty$ 에서는 steady state frequency error(w_{ds})에 접근한다. $t=\infty$ 이면 $dw_d/dt=0$ 이므로 식 (17)은

$$w_i = w_{ds} + AKZ_s[1 - Z_s(1 - e^{-1/Z_s})] \quad (18)$$

와 같이 된다. 단 $Z_s = \tau_d w_{ds} / \pi$ 이다. 식 (18)을 풀면 w_{ds} 를 구할 수 있다.

w_{ds} 가 w_{pc} 보다 작다면 APC (automatic phase control)작용에 의하여 phase lock 될 것이다. 그러므로 DSPLL의 pull-in range w_p 는

$$w_p \approx w_{pc} + AKZ_{pc}[1 - Z_{pc}(1 - e^{-1/Z_{pc}})] \quad (19)$$

로 되며 $Z_{pc} = \tau_d w_{pc} / \pi$ 이다. $e^{-1/Z}$ 를 series 로 전개하면

$$e^{-1/Z} = 1 - \frac{1}{Z} + \frac{1}{2!Z^2} - \frac{1}{3!Z^3} + \frac{1}{4!Z^4} \quad (20)$$

이므로 식 (19)는

$$w_p \approx w_{pc} + AK \left[\frac{1}{2} - \frac{1}{6Z_{pc}} + \frac{1}{24Z_{pc}^2} \dots \right] \quad (21)$$

와 같다. 그림 9에서 w_d 의 감소에 따라 x_d 도 감소하므로 τ_d 의 값에 따라 w_{pc} 가 감소된다. 그러므로 식 (21)은 DSPLL의 pull-in range를 정확히 계산할 수 없다. 그러나 $\tau_d \approx \infty$ 이면 그림 9에서 w_d 의 감소에 대해 $x_d=0.5$ 로 일정하므로 w_{pc} 는 감소되지 않는다. 즉 $\tau_d \approx \infty$ 이면 식 (21)에서 w_p 의 최대치를 구할 수 있다.

$$w_{pmax} = w_{pc} + \frac{1}{2} AK \quad (22)$$

=(delay switching 없을 때의 pull-in range)
+ $\frac{1}{2}$ (lock range)

일정한 initial detuning w_i 가 주어졌을 때의 pull-in time은 detuning w_d 가 0으로(freq. lock)될 때까지 걸리는 시간과 phase lock 될 때까지 걸리는 시간의 합으로 표시한다. freq. lock time에 비하여 phase lock time은 훨씬 작으므로 DSPLL의 pull-in time은 AFC loop에 의한 freq. pull-in time만으로 근사화할 수 있다.

미분방정식 (17)을 변수분리하여 w_i 에서 w_{pc} 까지 적분하면 AFC loop의 freq. pull-in time (T_{ff})를 구할 수 있다.

$$T_{ff} = \tau_1 \int_{w_i}^{w_{pc}} \frac{d}{w_i - AKZ[1 - Z(1 - e^{-1/Z})] - w_d Z} \frac{w_d}{\tau_d w_d / \pi} \quad (23)$$

단 $Z = \frac{\tau_d w_d}{\pi}$ 이다. 식 (20)을 대입하면 $\tau_d \approx \infty$ 이므로 식 (23)은 다음과 같이 근사화 된다.

$$T_{ff} \approx \tau_1 \int_{w_i}^{w_{pc}} \frac{dw_d}{w_i - \frac{1}{2} AK - w_d}$$

이 식을 적분하고 τ_1 으로 양변을 나누면

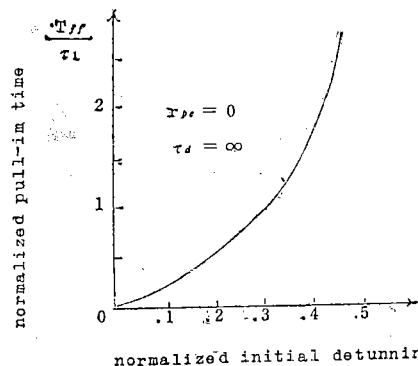


그림 11. Initial detuning(w_i)의 변화에 대한 pull-in time의 변화 graph

Fig. 11. Normalized pull-in time of DSPLL.

Delay Switching PLL의 Pull-in 特性

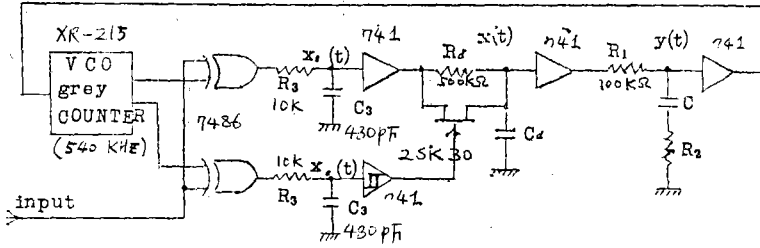


그림 12. Delay switching PLL의 실험 회로도
Fig. 12. Experimental circuit of DS PLL.

$$\frac{T_{ff}}{\tau_1} \approx \log \left\{ \frac{\frac{1}{2}AK}{\omega_{pc} - \omega_i + \frac{1}{2}AK} \right\} \quad (24)$$

또는 normalized from 으로

$$T_{ff}/\tau_1 \approx \log[1/(1+2r_{pc}-2r_i)] \quad (25)$$

와 같은 근사식으로 된다. 이 식에서 $r_{pc}=0$ 라 가정하고 graph를 그리면 그림 11과 같다. 이 그림 11에서 normalized initial detuning r_i 의 증가에 따른 normalized freq. pull-in time(T_{ff}/τ_1)의 변화를 대체적으로 알 수 있다. 만일 low pass filter의 시정수(τ_1)이 크다면 r_{pc} 는 매우 작게 되므로 DSPLL의 pull-in time은 그림 11과 근사하게 될 것이다.

4. 실험방법 및 결과

최근 여러가지 PLL이 목적에 따라 monolithic chip으로 IC화 되어 판매되고 있다. 본 실험에서는 XP-215⁸⁾의 VCO를 이용하고 PD 및 LPF는 외부에서 별도로 만들어 그림 12와 같이 DSPLL을 구성하였다. VCO 출력에 90° shift시키기 위해 2 bit Gray Code counter를 이용하였다. PD는 EX-OR gate를 사용하고 delay switching, LPF, VCO 등을 isolate시키는 op amp를 삽입하여 계산에 편리하도록 하였다. delay switching에는 FET switch를 사용하였다. 또한 pull-in range 측정을 위하여 VCO와 같은 특성을 가진 sweep generator를 만들었으며 pull-in time 측정을 위하여 lock indicator ramp generator 및 기타 interface 회로를 만들었다.

실험결과를 그림 13, 14와 같다. 실험결과로부터 r_p 는 0.5 되기 위한 τ_d 의 조건은 다음과 같이 구해졌다.

$$\tau_d \geq \frac{4}{AK r_{pc}^2} \quad (31)$$

혹은

$$\tau_d \geq \frac{2}{AK F_0} \quad (32)$$

이 실험식 (31), (32)로부터 τ_d 의 값을 결정할 수 있다.

그림 13에서 $\tau_d > 10^{-2}$ 이면 r_p 가 감소되는데 이것은

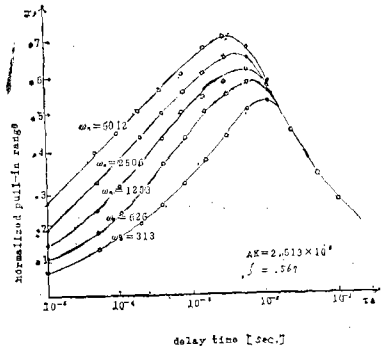


그림 13. DSPLL의 pull-in range
Fig. 13. Pull-in range of DS PLL.

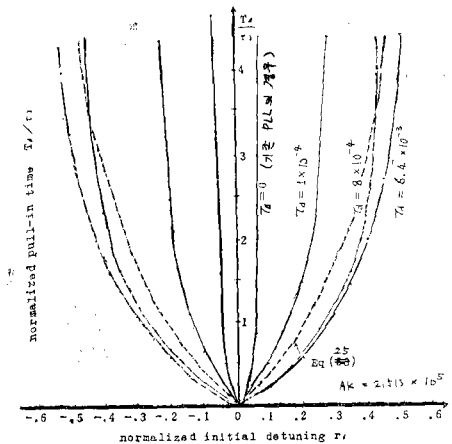


그림 14. τ_d 를 변화시킬때 pull-in time의 변화
Fig. 14. Pull-in time of DS PLL.

switching 저항과 C_d 가 새로운 LPF를 구성하기 때문이다.

본 논문에서는 해석이 용이한 triangular function을 가진 PD에 대해서만 고려하였으나 다른 PD function에 대해서도 그림 3과 같이 반주기 동안 delay시킬 수만 있다면 PD 출력의 DC 성분을 증가시킬 수 있으므로 pull-in 특성을 개선할 수 있을 것이다.

5. 結 論

pull-in 특성을 개선하기 위하여 기존 PLL의 PD와 LPF 사이에 delay switching 회로를 삽입하고 90° shift 시킨 PD 출력으로 delay time을 0 또는 τ_d 로 switching 시켰다. 이렇게 만들어진 DSPLL은 w_d 가 클 때에는 AFC loop로 작용하여 w_d 를 감소시키며 w_d 가 작아지면 APC loop로 작용하여 VCO를 입력주파수에 phase lock 시킨다. delay time τ_d 를 충분히 크게 하면 pull-in range를 LPF의 대역쪽에 관계없이 lock range의 $\frac{1}{2}$ 이상으로 넓힐 수 있으며 pull-in time도 크게 개선된다. lock 된 후에는 기존 PLL과 동일하게 동작한다.

Citta⁹⁾ 및 Hiroshige의 방법은 pull-in range를 lock rang까지 넓힐 수 있으나 DSPLL은 lock range의 $(\frac{1}{2} + r_{pe})$ 배 까지가 한계이다. 그러나 DS PLL이 보다 간단하며 pull-in time도 빠르다. 또 Citta의 방법은 한 주기 내에 90° 및 270°에서 lock 될 수 있으므로 phase lock에 혼동을 가져올 수 있는 단점이 있다.

DSP LL을 이용하면 pull-in range를 넓히기 때문에 흔히 사용되는 X-TAL VCO를 안정도는 낮으나 값싼 monolithic VCO로 대체할 수 있다.

參 考 文 獻

1. A.B. Grebene, "The monolithic phase-locked loop a versatile building block", IEEE Spectrum, p. 38~49, MAR. 1971.

2. W.C Lindsey, "Synchronization systems in communication and control", p. 447 ~ 481, Prentice hall, INC., 1972,
3. A.T. Anderson, D.E. Sanders, and R.S. Gordy, "Dual bandwidth loop speeds phaselock", Electronics, p. 116~117, Jan. 9, 1975.
4. D. Richman, "The DC quadricorrelator: a two mode synchronization system", Proc. IRE, p. 288~299, Jan. 1954.
5. A. Acampora and A. Newton, "Use of phane subtraction to extend therange of a phase-locked demodulator", RCA Review, p. 576~599, Dec. 1966.
6. K. Hiroshige, "A simple technique for improving the pullin capacity of phase-locked loops", IEEE Trans., SET-II, p. 40~46, 1965,
7. J.P. McGeehan, "Technique for improving the pull-in cha racteristics of phase locked loops", PROC, IEE, vol. 123, No. 8, p. 761~764, 1976.
8. Data sheet of XR-215, Monolithicphasa-locked loop, Exar integrated systems, Inc.(U.S.A.) Apr. 1975.
9. R. Citta, "Frequency and phase lock loop", IEEE vol. CE-23, No. 3, p. 358~365, Aug. 1977.