

# ROM, RAM等の on-chip化가 繼續 되는 下位마이크로 컴퓨터

宋 榮 幸

慶熙大學校 電子工學科

## 要 約

마이크로컴퓨터의 下位の 分野에서 ROM과 RAM등을 集積한 "1 chip마이크로컴퓨터 내지 1 chip microcontroller라고 불리우는 것이 몇 개 등장하고 있다.

작년 11월에 발표한 Intel社의 PROM實裝의 1 chip 마이크로컴퓨터 MCS48은 이 움직임에 拍車를 가하고 있다. 最近의 1 chip 마이크로컴퓨터의 機能과 技術的인 問題를 조사한 것이다.

## 1. 序 論

電子렌지, 세탁기, 텔레비죤튜너等, 家庭用 電子機器 分野에도 마이크로 컴퓨터가 사용되기 시작하고 있다. 모든 시스템의 機能(CPU, ROM, RAM, I/O ports, 發振器等)을 1 chip에 集積한 數千圓의 LSI가 登場하였기 때문이다.

### (1) 下位分野에서 계속 登場

4 bits分野에서는 이미 1975年末에 Texas Instruments社의 TMS 1000씨리즈를 처음으로 지금까지 여러개의 1 chip마이크로컴퓨터가 등

장하고 있다(表 1 참조).

8 bits의 분야에서도 작년 11월末에 Intel社가 MCS-48을 發表하였다(이미 미국에서는 注文可能狀態). 1 chip마이크로컴퓨터를 계획하고 있는 다른곳도 있다(Fairchild, Rockwell, Motorola등). 1 chip化的 움직임은 앞으로도 急展開되리라 본다.

### (2) 機能의 設定과 擴張性이 커다란 問題

구성 package數의 削減과 高機能集積에의 움직임은 제작년부터 특히 현저하여 졌고, micro-programmable interface chip, 多種機能을 集積한 chip(ROM+RAM, ROM+I/O ports, ROM+I/O ports+타이머等), 2 chip구성 마이크로컴퓨터(F-8)등이 등장하고 있다. 예를들면 그림 1(p. 6)은 Rockwell社의 PPS-8/2의 ROM, RAM, I/O ports, 16비트 카운터機能을 集積한 複數機能 chip(품명 A21XX)이다. CPU chip(품명 12806)를 연결하는것 만으로 2 chip 구성의 마이크로컴퓨터가 된다.

그러나, 시스템構成의 package數 削減이라는 커다란 장점이 있는 반면, 1 chip 마이크로컴퓨터의 製品化에는 市場性과의 사이에 어려운 문제가 존재한다. 機能(ROM, RAM의 용량과 I/O

表 1 各社 1 chip 마이크로 컴퓨터의 機能 (1部 2 chip 구성도 포함)

메이커	시스템명	chip名 (명칭이同一 의 chip*)	개발 프로 세스 (M 상태 OS)	핀數	RAM (語× 비트)	ROM (語×비트)	입출력포트 (외 포트)		전원 (V)	소비 전력 (mW)	지령 입출 력 포트	타이머 카운터 기능	컴퓨터 발진 회로	병행 길이 (비트)	명령數 (기본)**	1순 시작 시간 (μs)**	인더 라프 트 단자	*의 stack	ROM 의 부 질名 (단자수)	Asse mbler
							입력 출력	입출력												
TI	TMS1000 세리즈	1000(1200)	◎	P 28(40)	64×4	1024×8	4 19**	—	15	90	—	—	—	1	43**	15	—	1[R]	1099JL[64]	○
		1100(1300)	◎	P 28(40)	128×4	2048×8	4 19**	—	15	105	—	—	—	1	51**	15	—	1[R]	1098JL[64]	○
Rockwell	PPS-4/1	A76XX	◎	P 42**	48×4	640×8	8 — 20**,**	—	15	70	—	—	—	1, 2	45, 4	12.5	—	1[R]	A7699[64]	○
		A77XX	◎	P 42**	96×4	1344×8	8 — 20**	—	15	70	—	—	—	1, 2, 3	43, 4, 2	12.5	—	2[R]	A7799[64]	○
NS		MM5734	◎	P 28	55×4	630×8	4 17**	—	9	125	—	—	—	1	?	14	—	?	—	○
		MM5799	◎	P 28	95×4	1538×8	4 11**	3	9	150	—	—	—	1	33	10	—	2[R]	—	○
		MM5781 + MM5782	◎	P 24 P 28	— 160×4	—	4 — 11**	3 —	9 —	65 — 140	—	—	—	1	33	10	—	2[R]	—	○
Intel	MCS 48 Fairchild**	8048(8748**10)	◎	N 40	64×8	1024×8*	1 —	25	5	1,000	—	—	—	1, 2	68, 28	2.5	1	8[M]	8085[?]	○
		3859(3860**13)	△	N 40	64×8	1024(2048) ×8	— 1 31	—	5	600 (700) ?	—	—	—	1, 2, 3	54, 19, 3	1.5	1	1[R]	—	○
Rockwell	PPS-8/2	12803	◎	P 42**	—	—	—	—	5, 12	?	—	—	—	1, 2, 3	?	5	3	32[M]	—	○
		+ A21XX	◎	P 52**	64×8	2048×8	—	16	5, 12	?	—	—	—	—	—	—	—	—	—	—
東芝	IOP PIC	T3444	◎	N 40/42	16×8	256×24	5 5 12	5 12	5/8	?	—	—	—	2**11	2타일	1.25	1	—	—	○
		1640(1650)	◎	N 40(28)	24×8	256×12	—	24	5	?	?	—	—	12**12	3타일	1	—	2[R]	—	○

注) TI: Texas Instruments, NS: National Semiconductor, GI: General Instrument, ◎: 주운가능상태, △: 발표단계, ○: 機能있음

\*1: 칩이 틀리는것은 ( )에 표시, \*2: ( ) 内の 數는 카운터의 비트幅, \*3: 命수의 길이에 對應시키고 있다. \*4: 1cycle명령의 실행시간

\*5: 「 j」의 R은 레지스터, M은 메모리, \*6: 이가운데 일부의 출력은 7 segment용봉에 변화시킨것, \*7: 표준 μPLA에 의한 표준명령의 경우

\*8: 4케로 단자가 이루어진 package, \*9: 內 2비트는 인터라트-센스용 단자, \*10: 8748칩은 ROM部에 자외선 소거 가능한 PROM實裝

\*11: 24비트 길이의 水平선에 가까운 마이크로命수, \*12: 12비트 길이의 垂直型마이크로 명령, \*13: Mostec社도 개발중, 品名 MK3870, 소비전력 300mW

= 칩 부분의 위외것은 8 비트, 아래것은 8 비트

포트數등)設定의 어려움과 함께 시스템 구성의 擴張性/融通性을 어떻게 실현 시킬까, 內藏 ROM의 프로그램開發과 코스트를 어떻게 할까의 문제이다.

1 chip마이크로컴퓨터가 널리 사용될까, 안될까는 이點에 걸려 있다고 하여도 과언이 아니다. 여기에서 부터는 最近의 1 chip마이크로컴퓨터의 기능을 간단히 설명하고(表 1~6참조), 1976년, 11월말에 발표한 MCS 48을 소개하고자 한다.

## 2. 1 chip 마이크로컴퓨터의 現狀

### (1) 512비트 RAM과 16K비트 ROM

表 1은 最近의 1 chip마이크로컴퓨터의 일람표이다(일부는 2 chip구성인 것도 있다) 또 두 줄친 아래의 chip은 주로 Interface/Controller를 汎用的으로 실현하는 마이크로프로그램制御方式의 프로세서라고 생각 되는것이다.

chip內에 內藏하는 RAM과 ROM의 용량은, 4 bits CPU에서는 512비트의 RAM과 16K비트의 ROM을 포함하는 TMS1100/TMS1300이 최고이다. 8비트의 것도 똑같은 용량의 것을 Fairchild, Mostec이 발표하고 있다.

1 chip구성 이라는 이점을 살리는데에는 內藏 ROM, RAM으로 對處可能한 용도에 한정된다. 또한 코스트(chip싸이즈)를 생각하면 그것들을 최대한 많이 사용하는 용도에 좋다. 따라서 4비트의 chip에서는 複數의 chip모형을 제공하고 있다. 단, 그들 모델 사이에도 아키텍처가 틀리는 점에 주의 하여야 한다(表 1 가운데 ( )에 표시한 chip名의 것만이 命令레벨의 互換性을 가진다).

### (2) “마이크로”的인 아키텍처

RAM, ROM의 용량도 下位分野에서의 사용을

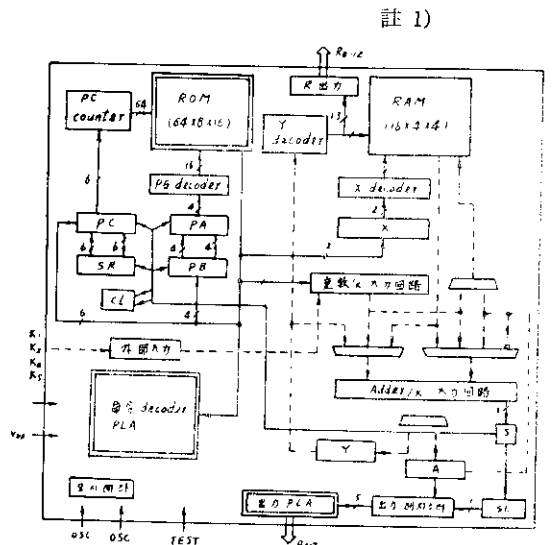
고려한것이 분명하나, 아키텍처의 으로드 표준적인 마이크로프로세서(8080과 6800등)와는 매우 틀린다. 어느것이든 프로그램메모리(ROM)와 데이터메모리(RAM)가 완전히 나누어져, RAM가운데에 프로그램을 넣는것이 불가능하고 ROM가운데의 데이터를 演算數데이터로서 access할수 없다(단, MCS48은 ROM가운데의 데이터를 읽어낸다).

命令機能面에서도 데이터 演算機能보다도 세밀한 制御를 위한 1 바이트命令이 主體가 되고 있다. 4비트의 것이 1바이트의 명령뿐인것은 물론, 8비트의 MCS48에서도 immediate系 命令과 分岐系 命令이 2바이트 길어지고 그以外는 모두 1바이트 길이의 명령이다.

### (3) 세밀한 여러가지의 配應

1 chip라고 하지만 하나의 컴퓨터이다. I/O포

表 2 TMS 1000시리즈(TI)



PC: program counter      Y: Y register  
 PA: page address register      S: status 회로  
 PB: page buffer register      SL: status출력 latch  
 SR: return register      A: Accumulator  
 CL: call latch      ----: 4 bits bus

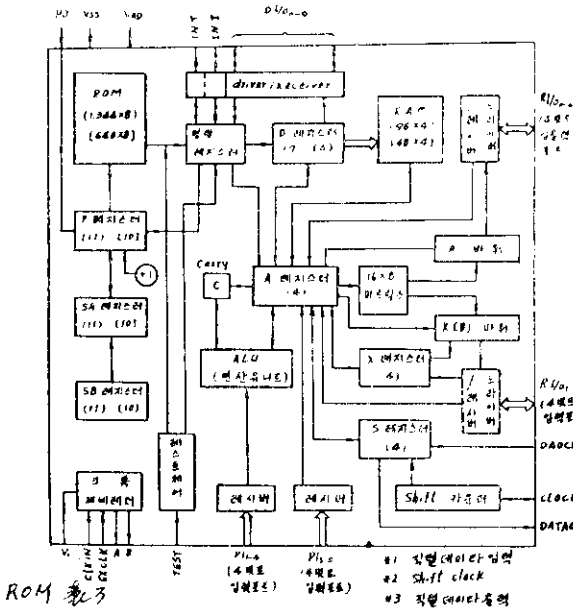
X: X register  
 註 1) TMS 1100에서는 R<sub>0</sub>~10, 註 2) TMS 1100/1300에서는 ROM, RAM 모두 용량을 2 배.

[ ] 는 mask할때 設定할 수 있다.  
 命令 decode PLA에는 보통표준命令用的 것이 들어간다.

트와 발진회로도 내장하고 있다. 단, 4 비트의 것은 Interruption 機構를 가지고 있지 않다. 그 대신에 flag入力を 직접 판별할 수 있고, 입력 포트의 데이터를 테스트하는 기능에는 많은 배려가 이루어 지고 있다. 예를들면 PPS-4/1에서는 입력포트(PI<sub>1-4</sub>)의 데이터 패턴을 조사하여 (表 3 참조), 그 一致에 의하여 分岐하는일이 1 命令으로 가능하다.

또, 4 비트의 것은 LED表示등을 위하여 출력 포트에 BCD(Binary Coded Decimal)와 7 Segment用的 코드變換을 행하는 PLA(Programmable Logic Arrays)가 붙어 있는것이 많다(表 2~4참조).

表 3 PPS-4/1(Rockwell)



P: 프로그램 카운터      A: Accumulator

SA,SB: 프로그램 카운터 stack X: temporary 레지스터  
 B: 데이터 어드레스 레지스터  
 S: shift 레지스터  
 [ ] : M76인 경우의 비트數

그 以外에 serial入出力機能, power on rest 단자, 전원斷切에 대처하는 기능(內部 레지스터 類의 退避)의 mask option, 시스템 크루의 外部 內部供給機能등 매우 세밀하게 배려하고 있다.

(4) 融通性이 풍부

汎用性을 적게 하여도 융통성을 높이기 위하여 chip內의 배선의 일부等を mask option으로 하고, 內藏 ROM의 프로그램을 mask할때에 設定할 수 있는것이 많다. 前述의 MCS48의 電源 斷切에 대처하는 기능과 TMS 1000의 出力을 PLA에 의하여 코드變換機能의 지정이 바로 그것이다. TMS 1000에서는 마이크로프로그램用的 PLA도 사용자에게 개방하고, 표준명령과 틀린 명령기능을 실현 할수도 있다(表 2 참조).

또, 단자의 전기적 접속상태에 의하여 다른 機能모드로 하는 手法도 사용하고 있다. 예를들면 PPS-4/1에서는 後述하는 바와 같이 TEST 단자에 의하여 動作모드가 변한다. MCS-48에서는 PROGRAM 단자에 의하여 PROM을 써넣는 모드가 된다. 드한 명령에 의한 모드變更의 수법도 MCS-48에서 볼수 있다.

(5) 시스템構成上的의 擴張性

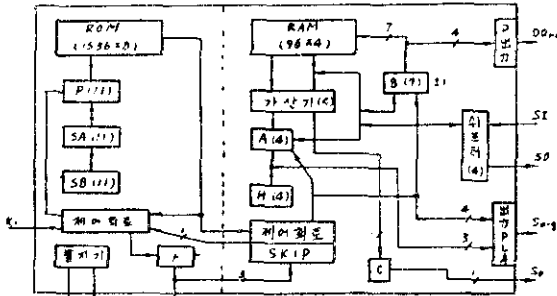
일반적으로 말하여 1 chip마이크로컴퓨터의 弱點은 시스템의 擴張性이다. MCS48以外的 1chip 마이크로컴퓨터는 기본적으로 외부에 ROM과 ROM을 확장 시킬수 없다(上位모델을 사용할수 밖에 없다). 어드레스 버스가 외부에 나와 있지 않기 때문이다.

2 chip구성을 채용한것도, 예를들면 National

Semiconductor의 MM5781+5782와 같은 分割 (表 4 참조)에서는 ROM과 RAM의 확장은 어렵다. ROM의 확장은 複數5781을 사용한 멀티프로셋서의 구성으로 밖에 할 수 없다. 이 때문에 5781에서는 mask할때에 0~3의 프로셋서 번호가 정하여 지도록 되어있고, 5781(N)을 움직이는 CALX(N)과, 5781(0)을 active로 하고, 원위치로 돌아오는 RTX(0)의 명령이 준비되어 있다. 이것에 의하여 主프로그램이 들어있는 5781(0)이 5781(N)을 불러서, 그가운데의 프로그램實行을 이루는 형태로 프로그램량을 확장한다.

또, 5781+5782와 5799에서는 RAM의 擴張要求에 대하여는 serial port로부터의 serial data (어드레스+64비트 데이터)를 표준 RAM chip

表 4 MM 5799 (NS)



A: Accumulator P: 프로그램카운터  
 H: temporary 레지스터 SA: save 레지스터 A  
 B: RAM 어드레스레지스터 SB: save 레지스터 B  
 F: 후레그 출력 (3비트) C: carry (1비트)  
 註) 그림의 점선으로 분할한 것이 2chip구성의 것 (5781+5782)도 있다.

에 써넣기도 하고, 逆의 동작을 시키기 위한 인터페이스 chip(MM5785)를 준비하고 있다. 이것은 정말로 메모리擴張 이라고 이야기 할 수 없으나, 內藏 RAM내용의 退避와 RAM에의 loading가 이루어져 외부의 RAM을 일종의 data file로서 사용하는 것은 가능하다.

PPS-8/2와 같이 (CUP)+(ROM, RAM, I/O

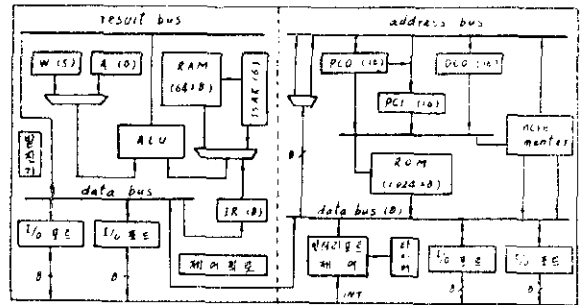
포트)의 형태로 어드레스버스가 나와 있는 2 chip구성에서는 이 問題는 없다(圖 1 참조).

시스템構成上的 확장성을 유지 하면서 1 chip化하는 수법이 문제가 된다. 이 問題를 어느정도 해결한 형태로 製品化한것이 MCS48이다(後述한다).

(6) 정비되는 프로그램 開發의 道具

1 chip化로 생기는 또 하나의 問題는 프로그램開發과 테스트를 위한 機能이다. 各機種마다 많이 정비되고 있다(表 1 참조). chip level에서는 ROM부분 만을 외부에서 불일수 있는 개발

表 5 F-8/1 (Fairchild, Mostec)



W: status 레지스터 IASR: 간접어드레스레지스터  
 A: Accumulator IR: 명령레지스터  
 DCO: 데이터 카운터 PC: 프로그램카운터  
 註) 점선으로 分割되어 있는것이 현재의 2 chip구성의 F-8/1이다,

용 chip(어드레스버스를 내기 위하여 핀數는 많다)를 사용하고, 외부에 PROM등을 접속하여 프로그램開發이 가능하다. 또, TTL로서 等價回路를 만들어 開發用포트와 開發用的 소프트웨어를 사용 할수도 있다. MCS48에서는 PROM을 內藏하는 8748이 있고, 이것을 개발最終時에 사용 할수 있다.

이 PROM實裝 chip의 출현은 크게 注目 할만한 점이다. 앞으로도 各社로부터 출현 하리라 본다.

또, 마스크後의 chip를 테스트하기 위한 기능

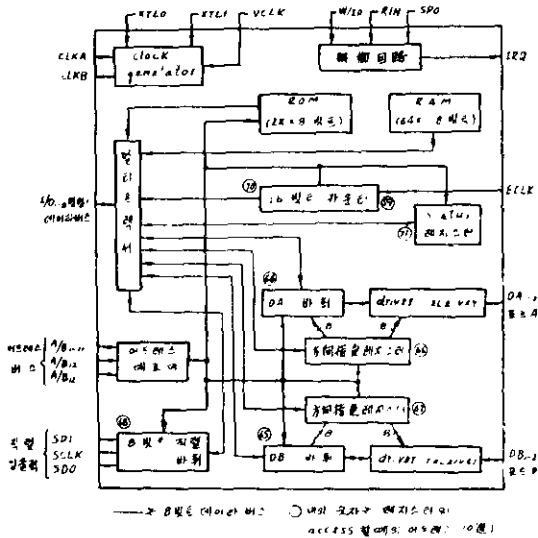


圖 1. PPS-8/2의 ROM, RAM, I/O 포트 chip (品名 A 21XX)의 구조

으로서 TEST端子를 준비 한것이 몇개 있다. 특히 PPS-4/1의 TEST 단자는 ROM內容의 덤 프機能과 외부로 부터 명령코드를 삽입하여 실행시키는 2개의 기능을 가지고 있어 高度의 사용이 가능하리라 본다.

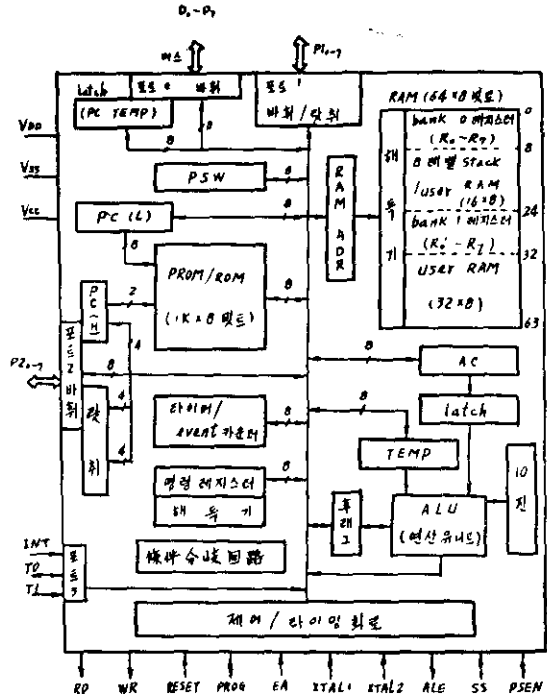
### 3. Intel MCS48의 機能

#### (1) ROM, RAM을 増設 할수 있다.

이상과 같이 1 chip化에 있어서는 여러가지 고려할 점이 있다. 以下, 시스템構成의 擴張性 등의 點에서 많은 配慮가 보이는 MCS48을 들어 概略을 소개 하고자 한다.

Intel社가 작년 11월末에 西獨 國에서 개최된 Electronia '76에서 발표한 8048과 8748은 8비트의 ALU와 ACC(Accumulator), 64바이트의 데이터 RAM, 1K바이트의 프로그램 ROM, 8비트의 I/O포트 3개, 타이머/event카운터, PC : 프로그램카운터 PSW : Program status word  
ADR : 어드레스 레지스터 TEMP : Temporary

表 6 MCS-48 (Intel)



레지스터  
AC : Accumulator L : Low, H : High → : 8비트 어드레스

단자명	主機能 (1 chip 구성시)	프로그램 메모리화자	PROM 프로그램 때
V <sub>SS</sub>	brand		
V <sub>DD</sub>	stand by 전원		+25V
V <sub>CC</sub>	+5V		
PROG			프로그램필스
P1 <sub>0-7</sub>	IO포트 1		
P2 <sub>0-3</sub>	IO 포트 2(L)	PC <sub>8-11</sub>	어드레스입력
P2 <sub>4-7</sub>	IO포트 2(H)		
D <sub>0-7</sub>	입출력버스	PC <sub>0-7</sub> 출력/ 명령입력	어드레스/ 데이터입력 프로그램
T0	테스트입력 0/ CLK입력		
T1	테스트입력 1/ 카운터입력		
INT	인터럽트입력		
RD	버스 read		
WR	버스 write		
ALE	clock출력	어드레스 strove	어드레스 strove
SS	sigle stop		
RESET	reset		초기설정 +25V
EA	외부엑세스제어		
XTAL1	크리스탈입력 1		
XTAL2	크리스탈입력 2		크루입력

user用的 flag flip-flop 2개, clock발생회로를 實裝하고 있다. 命令數는 96으로 40핀이다.

表 6의 블록圖를 참조하여 주기 바란다.

프로그램 ROM은 1K바이트 단위로 4K바이트 까지, 데이터 RAM은 256바이트 단위로 외부에서 增設할수 있다. I/O포트도 後述의 8355등에 의하여 增設할수 있다.

IC를 外部에서 構成하여 擴張시킬수 있는 것이 8048/8748의 커다란 특징이다.

프로그램 ROM은 8048이 mask ROM, 8748이 자외선으로 지울수 있는 PROM을 內藏하고 있다. PROM은 所定の 順序에 의하여 핀에서 WRITE할수 있다(그때의 端子機能은 表 6 참조) PROMPT48이라는 開發用 시스템도 있어, 이것을 사용하면 TTY등으로 간단히 써넣을수 있다.

clock는 水晶片 또는 CR直列回路를 접속하는 것 만으로 좋고, 6MHz의 水晶片을 접속하면 1바이트命令을 fetch하여 실행하는 machine cycle이 2.5 $\mu$ s가 된다.

프로그램 ROM의 내용을 ACC와 데이터 RAM에 轉送하는 命令이 있어 single step의 실행도 가능하다. 또, chip實裝의 ROM을 무시하고 外部의 ROM에 access시킬수도 있다.

圖 2는 아키텍처상의 커다란 특징의 하나인 ROM增設의 例이다.

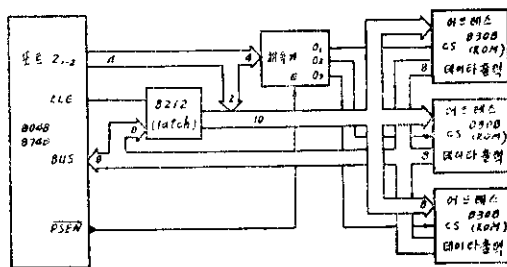


圖 2 8048/8748에 프로그램 ROM을 외부에서 增設한 例 (8308은 8 비트×1K의 마스크 ROM)

어드레스의 아래 8 비트는 BUS포트(포트 0), 위의 4 비트는 포트 2의 下半에서 나오도록 되어 있다.

프로그램 ROM에서 읽어낸 명령은 잠시후에 BUS포트에서 들어온다.

ALE는 어드레스가 나오고 있다는 것을 표시하는 制禦出力信號,  $\overline{PSEN}$ 은 명령을 받아 드릴 준비의 완료를 표시하는 制禦出力信號이다. 어드레스의 上 4 비트를 chip선택에,  $\overline{PSEN}$ 을 enable에 사용하고 있다.

8048/8748은 reset일때에는 0번지에, 外部 Interruption인 경우에는 3번지에, 타이머/카운터의 overflow일때는 7번지에 명령을 읽어내도록 되어 있다. 또 Interruption 處理루우틴의 本體는 2047番地以下(1024~2047번지는 외부에 첨가)에 격납하여야 한다. 이상의 制限 아래에서 프로그램 ROM은 user가 자유로 사용할 수 있다.

단, PC(program counter)가 증가되는것은 2047번지 까지이고, 2048번지 이상의 번지에 액세스 하는데에는 bank선택명령으로 bank 1을 선택하고 나서부터 점프 또는 call命令을 실행하여야 한다. 0~2047번지가 bank 0인데, bank 1에서 0에 돌아오는 데에는 上記 call에 대응하는 return을 行하든가, 또는 bank선택명령(bank 0를 선택)의 다음에 call명령 또는 점프명령을 실행하여야 한다.

圖 2는 보통의 ROM을 증설하는 例인데, ROM의 증설과 I/O포트의 증설을 겸하는 chip (8355/8755)도 준비하고 있다(1個當 ROM이 2K바이트, I/O핀이 16개). 8080用的 주변chip는 모두 사용 할수 있다.

데이터RAM을 增設 할수 있는것도 아키텍처상의 커다란 특징인데, 圖 3에 증설의 例를 표

시한다.

圖 3에서는 4 비트×256의 RAM을 2개 並

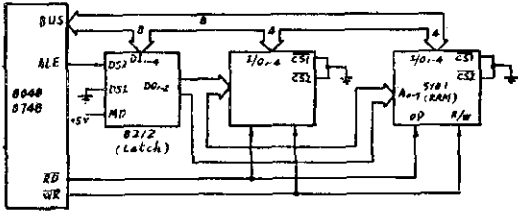


圖 3 8048/8748에 데이터RAM을 외부에 증설한 예 (5101은 4 비트×256의 CMOS의RAM)

렬로 사용하여 8 비트×256으로 하고, 8048의 RD와 WR출력을 RAM의 read/write의 제어에 사용하고 있다.

외부의 RAM에 액세스 하는데에는 chip 內藏 RAM의 0 또는 1번지(後述의 레지스터 bank 0 使用時), 또는 24번지나 25번지(똑같이 bank 1 使用時)를 pointer로 하는 간접액세스의 형태로 行하고, MOVX명령을 실행하면 RD와 WR이 적당한 타이밍으로 발생한다.

또한 增設 하였다면, BUS이외의 포트에서 chip선택신호를 내어서 “페이지選擇”을 하면 된다. 데이터RAM의 증설과 I/O포트의 증설을 결합한 칩(8155)도 준비하고 있다(1개當 RAM이 256 바이트, I/O핀이 22개, 14비트의 타이머付加).

chip實裝의 64바이트의 RAM은 0~7번지가 working register의 bank 0, 24~31번지가 bank 1, 8~23번지가 8레벨의 stack로서 사용되고, user가 자유로 사용되는 것은 32~63번지이다. 使用中의 bank의 working register에는 직접 액세스 할수있는 이외에 1 bank의 最下位 2번지의 어느 비트 0~5를 pointer로하는 間接액세스가 可能하다(MOV命令).

chip實裝 RAM의 그以外的 번지에는 上記間接액세스가 가능하다. Stack의 내용에도 Stack Pointer를 사용하지 않아도 액세스시킬수 있다.

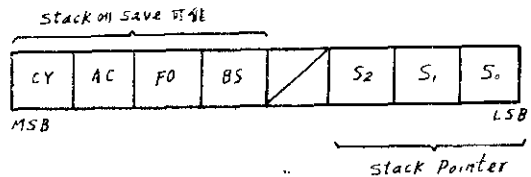
프로그램 實行的 흐름에 대한 外部로부터의 制禦는 Interruption이외에 表 6의 T0와 T1의 論理레벨에 의한 조건점프가 있다. T0핀은 이외에 ENTO CLK명령으로 clock出力端子가 되고, 또 T1핀은 STRT CNT명령으로 event timer의 입력단자가 되기도 한다.

하나 以上の 目的으로 사용하도록 되어 있는 핀은 다른것도 있고, 多機能의 集積이 수반하는 모든 문제의 一斷面을 표시하는 것으로 興味가 많다.

Interruption은 timer/counter의 overflow에 의한 Interruption과, INT핀의 論理 0 레벨에서 起動되는 外部 Interruption이 있고, 外部 Interruption을 優先處理하고, 타이머/카운터에서의 인터라프트要求는 기다리게 된다.

인터라프트處理는 1레벨로서, 어느 인터라프트라도 그處理가 시작되면 최후에 return and restore명령을 실행하기까지는 그後의 外部인터라프트 요구는 무시된다. INT핀에서의 입력을 遮斷/接續하는 명령도 있고, 遮斷時에는 INT핀은 論理入力 레벨에 의한 條件점프에 사용된다.

인터라프트 또는 CALL命令을 실행 할때는 (PC)과 PSW(Program Status Word)가운데 carry, 레지스터 bank 선택의 flag 및 前述의 user用的 flag 가운데 하나가 Stack에 積納되어



- CY : carry
- AC : 보조 carry
- FO : flago
- BS : 레지스터 bank select

圖 4 MCS48의 PSW의 구성



Stack Pointer가 自動的으로 update시킨다(圖 4 참조).

PSW(Stack Pointer포함)에 access (R/W) 하는 명령도 있다.

以上에 소개한 기능의 概要를 보아서, I/O 포트가 빈약한 기능밖에 가지고 있는것이 부족하지만 小規模의 시스템이라면 무엇이든 간단히 만들수 있는 機種이라 말할수 있다.

#### 4. 結 論

以上, 최근에 나온 1 chip microcomputer/controller의 움직임과 1 機種의 概略을 설명 하였다.

시스템을 만들때, 가능한 chip數를 감소시키고 싶다는 요구에 應하여 소규모의 시스템이라면 1개의 chip+ $\alpha$ 로서 만들 수 있는 多機能의 것이 市販되고 있다는 것이다.

시스템을 만들때에 또 하나의 요구는 핀數가

너무 많아도 곤란한 점인데, 64핀은 너무 많을는지, 어떨지?, 40핀 이상의 어느 부근까지 user가 받아 드릴까에 달려 있다.

超LSI開發의 움직임은 우선 일반적인 제품의 集積密度를 높이는 것을 具體化하여 보다 多機能, 보다 大規模시스템을 위한 1 chip 컴퓨터가 계속하여 등장하리라 본다.

#### 參考文獻

- (1) 宋榮宰 : 컴퓨터의 建築樣式, 翰信文化社, 1977
- (2) TMS 1000 Series Data Manual, Texas Instruments.
- (3) Branko Soucet: Microprocessors and Microcomputers, John Wiley & Sons, 1976
- (4) MM5799 Calculator Oriented Processor, National Semiconductor
- (5) Intel MCS-48 Microcomputer User's Manual-Intel
- (6) Microcomputers architecture technology software application, American Federation of Information Processing Societies