

PCM Simulator

金在均, 金大榮, 崔陽熙

韓國科學院電氣 및 電子工學科

要 約

PCM 實驗裝置로 사용할 수 있도록 설계 제작한 2-channel PCM 送受信 시스템을 소개한다. 전체 시스템의 系統과 기본적 設計條件이 검토된 후, 각 부분에 대한 구체적 설계제작 특성 및 문제점 등이 제시되었다. 또한 본 장치로서 가능한 실험중에서 몇가지를 설명 검토한다.

DAC(digital-to-analog converter) 이외에는 전부 設計製作되었다.

1. 序 論

PCM(pulse code modulation)은 디지털통신의 가장 根幹이 되는 變調方式의 하나이다. 이 시스템을 축소된 형태로나마 구체적으로 設計製作하며, 실제적 기술적인 문제점들을 발견하며 해결하는 것은 여러 가지 면에서 훌륭한 가치가 있다. 더욱이 이 시스템을 연구용 實驗裝置로 사용할 수 있도록 만든다면 그 意義는 더욱 크다고 하겠다.

이러한 見地에서 본 시스템에서는 system clock 周波數, sampling rate, quantization level 數, low pass filter (LPF)의 遮斷周波數 등을 변화시킬 수 있게하여, 이들의 변화가 시스템 動作特性에 미치는 영향을 알아볼 수 있도록 하였다. 또한 시스템 각 부분에 나와 있는 많은 端子를 통하여 變調 傳送 復調 등 각 부분의 波形을 일일이 관찰할 수 있도록 하였다.

본 시스템에는 compander, bit synchronizer, channel simulation을 除外한 全要素가 구성되었으며, ADC(analog-to-digital converter),

2. 시스템 概觀

(1) 動作原理

本 PCM시스템의 대체적인 系統圖는 그림 1과 같다. 두 개의 channel 단자로 들어온 두 신호($|s(t)| \leq 5V$)는 alias현상을 없애기 위한 LPF를 통한다. 적절히 주파수 차단된 이 신호는 MUX(multiplexer)에 의해서 시간적으로 多重化된 後, quantization error를 줄이기 위한 compressor를 통과한다. 이어서 S/H(sample & hold)와 ADC를 거치면서 각 sample은 binary bit pattern으로 coding된다. 이때 ADC를 통해서 나오는 bit stream은 system clock과 同期가 되지 않은 상태이므로 parallel-in-serial-out shift register를 이용하여 同期가 맞는 bit stream으로 만든 후, frame 同期를 위하여 필요한 framing bit를 삽입한다. 이렇게 해서 얻어진 것은 unipolar NRZ(non-return-to-zero) binary 신호인데, 바람직한 주파수 특성

PCM Simulator

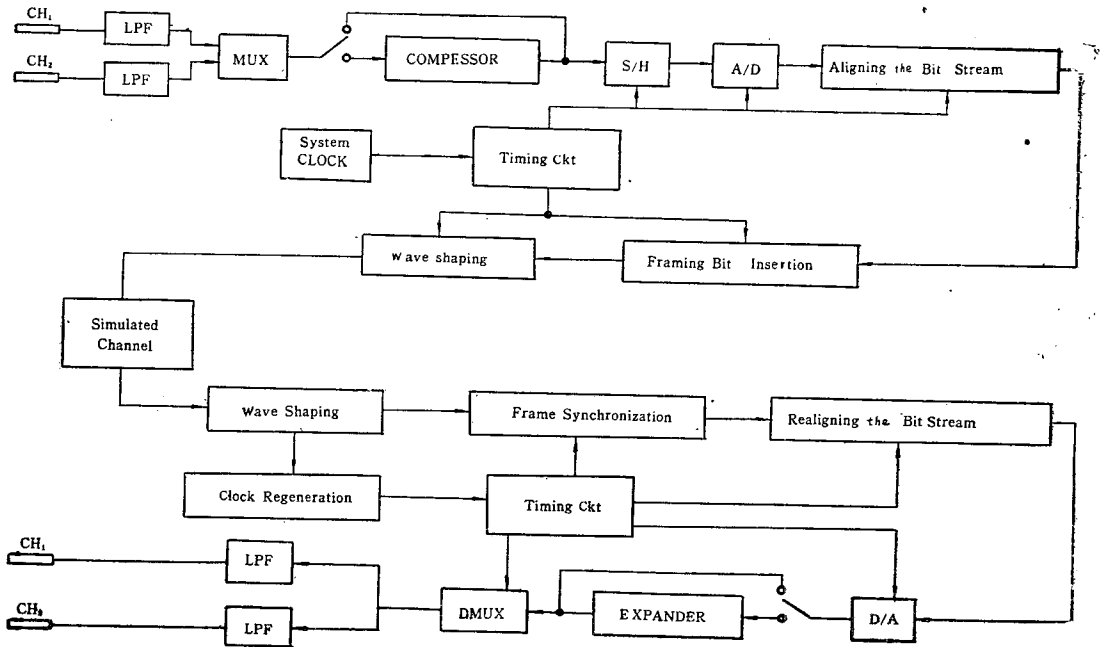


그림 1 시스템 系統圖

과 bit sync 특성을 위해서 50%의 duty cycle 을 갖는 bipolar RZ(return-to-zero)신호 파형 으로 변환된 후 전송된다.

受信側에서는 우선 들어오는 bit stream을 증폭, 검파 등을 거친 후 공진회로 또는 PLL을 이용하여 system clock을 재생하고, 이어 이들을 NRZ 신호로 바꾼다. 다음에는 framing bit 를 찾아 내어 frame 동기를 맞추고 각 sample 에 해당하는 bit block을 차례로 serial-in-parallel-out shift register를 통해 DAC의 입력 단자에 연결해 준다. DAC는 이 디지털 신호를 analog 신호로 바꾸어 주고, 이어 이 신호는 compressor와 정반대 특성을 갖는 expander를 통과한다. DMUX(Demultiplexer)에 의해서 각 channel로 분리된 신호는 송신기측에서와 같은 LPF를 지나 최종적으로 송신기의 입력신호와 같은 신호로 재생된다.

송수신측의 制禦回路는 system clock에 의해 동작되며, 전체 시스템의 동작을 명령, 견제하는 회로이다. 이 회로가 하는 주된 일로는 시스템 각 부분의 동작 신호, 즉, MUX신호, S/H신호, ADC신호, DAC신호, DMUX신호 등을 제공하며, bit duty cycle의 조정, 송신측의 framing bit 삽입, 수신측의 frame 동기, bit stream의 직렬 및 병렬 배열 등의 기능이 있다.

(2) 設計 條件

PCM 시스템의 설계는 채널數, 입력신호의 周波數幅, sample當 coding bit數에 따라 달라지며, 특히 전체 시스템의 제어회로인 timing회로의 설계가 크게 달라질 수 있다.

필요한 소자의 요구되는 특성을 결정하기 위하여 정상값(nominal value)으로서 입력신호 주파수폭을 4KHz로 보고, sampling rate를

8KHz로 잡았다. 앞에서 이 sampling rate는 가변으로 했다고 했는데, 이것은 system clock의 주파수를 변화시킴으로서 가능하다. 每 sample을 8 bit로 coding하고(본 시스템은 4 bit로도 동작할 수 있게 만들었지만 소자의 요구 특성 한계는 8 bit 경우에 의해 정해진다), 每 frame당 FB(framing bit) 하나를 넣기로 하면, 결국 매 frame당

$$2 (\text{channels/frame}) \times 8 (\text{bits/channel}) + 1 (\text{framing bit/frame}) = 17 \text{ bits}$$

가 된다. 그 외에

$$\text{frame 주기} = 1 \div 8\text{KHz} = 125\mu\text{s}$$

$$\text{bit rate} = 17\text{bits} \times 8\text{KHz} = 136\text{bps}$$

$$\text{bit pulse width} = 1 \div 136\text{KHz} = 7.35\mu\text{s}$$

이며 이 결과들을 시간축상에 그리면 그림 2와 같다. 위의 계산으로부터 MUX, S/H, ADC에서 걸리는 시간이 총 $58.8\mu\text{s} (7.35\mu\text{s} \times 8)$ 이하 이어야 하는 것을 알수 있으며, MUX, S/H, ADC들의 일반적인 속도 관제를 고려하여

$$\text{A/D conversion Time} \leq 50\mu\text{s}$$

$$\text{MUX Settling Time} \leq 2\mu\text{s}$$

$$\text{S/H Settling Time} \leq 5\mu\text{s}$$

정도의 조건이 만족되어야 한다. 受信側の DAC는 보통 ADC에 비해 매우 빠르고, 결과적으로 DMUX는 송신측의 MUX보다 시간적 여유가 많으므로

$$\text{DAC Settling Time} \leq 20\mu\text{s}$$

$$\text{DMUX Settling Time} \leq 10\mu\text{s}$$

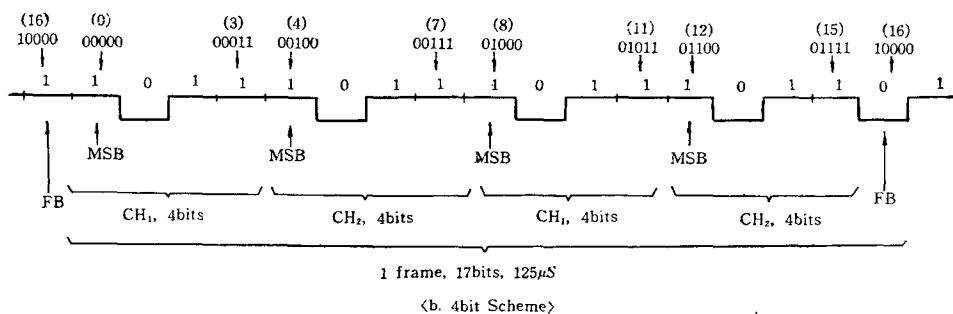
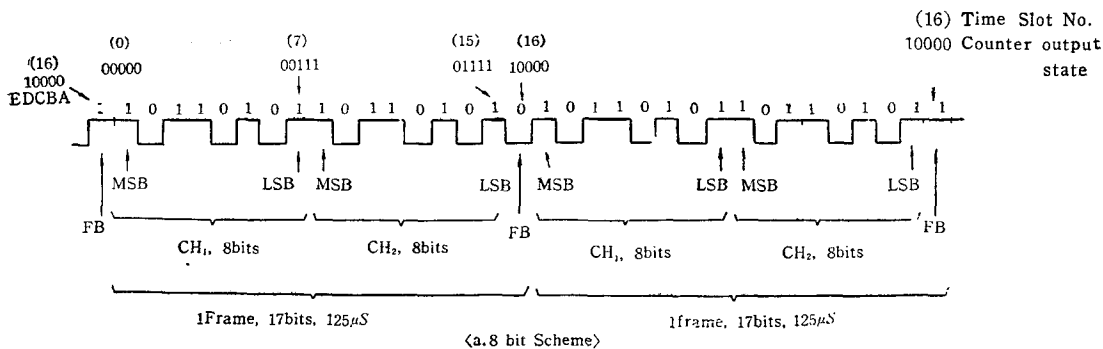


그림 2 Aligned bit stream (두 channel 신호가 모두 10110101 code으로 되었음)

의 특성이면 충분하다.

ADC에서 나온 bit들을 그대로 serial로 보내면 어떤 조합의 8 bits가 어느 채널에 해당하는지 알 수 없으며, 이 문제를 해결하기 위한 frame sync방법이 요구된다. 여러 가지 방법이 가능하겠으나 본 시스템에서는 보통 쓰이는 added digit framing방법을 택하였다. 따라서 때 16 bit마다 번갈아 "1"과 "0"를 거듭하는 FB할 bit가 삽입된다.

3. Subsystem의 設計와 特性

(1) LPF, S/H

LPF는 각 channel input마다 必要하며, 實

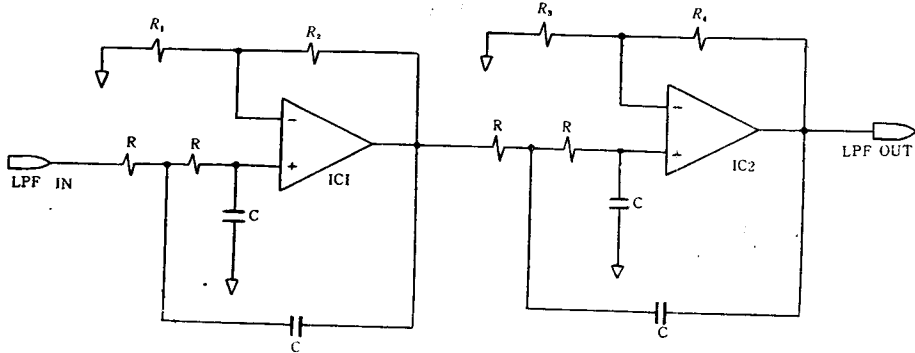


그림 3 4-pole Butter worth low pasa filter

驗의 目的으로 차단주파수를 變化시킬 수 있도록 設計한다. active 4 pole maximally-flat Butterworth LPF로 하면 그 傳達特性 $H(s)$ 는 다음과 같다.

$$\frac{1}{H(s)} = (S^2 + 0.7654s + 1) (S^2 + 1.8478s + 1)$$

이것을 그림 3과 같이 具現할 때, 첫단의 이득이 2.2355, 둘째단의 이득이 1.1522가 되어 전체의 이득이 2.57이므로 필터 앞에 이득이 0.39인 감쇠회로를 넣을 必要가 있다.

차단주파수는 $1/RC$ 이며, R 을 變化시켜 0.8 KHz, 1.6KHz, 3.2KHz, 6.4KHz 중 任意로 選擇할 수 있게 한다.

다음으로 S/H(Sample and Hold)는 아래의

條件에서 設計한다.

첫째, $8.8\mu s$ 이하에 MUX, S/H가 모두 定常 動作狀態에 도달해야 하며, 信號범위가 $\pm 5V$ 이므로 10Vstep에서 acquisition time이 $6\mu s$ 이어야 한다.

둘째, ADC에서 start convert信號 $8\mu s$ 후에 conversion을 시작하므로 $2\mu s$ 이내의 aperture time을 目標로 한다.

셋째, ADC에서 LSB(least significant bit)가 40mV의 크기이고, 變換 시간이 약 $50\mu s$ 이므로 droop은 $0.3mV/\mu s$ 이내로 한다.

넷째, hold를 시작할 때 스위치의 분포용량의 charge가 storage capacitor로 dump되어 step error가 생기는데, 이는 出力側의 dc레벨을 가변저항으로 조정하는 방법을 선택하였으며, 이때 offset은 10mV이내이어야 한다.

다섯째, 이득은 1이어야 한다.

그럼 4와 같은 구성을 선택한다. 이때 앞의 op amp는 buffer역할이며 max. output current가 커야 된다. 뒤의 op amp는 入力抵抗 $10^8\Omega$, bias current 1nA, offset 수 mV, 수 nA, slew rate $10V/\mu s$ 등의 것이어야 좋은

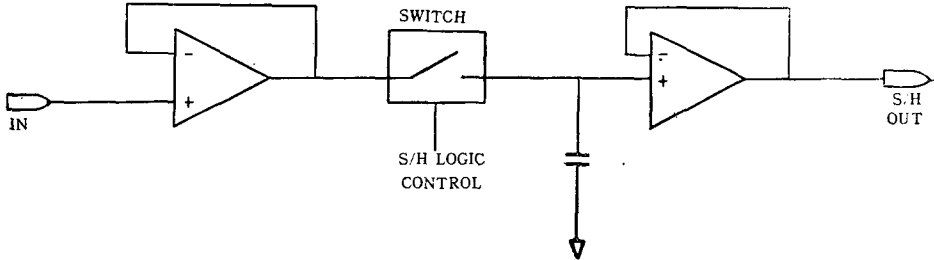


그림 4 sample and hold block diagram

특성을 얻을 수 있다. 실제로 이러한 것은 매우 비싸므로 FET와 transistor를 사용한 source follower를 설계하여 앞의 設計條件을 모두 滿足시켰다. 特히 storage capacitor는 polystyrene, Teflon 등의 高級의 것을 써야 한다.

(2) MUX, DMUX

MUX가 滿足시켜야 할 設計條件은 다음과 같다.

애널로그 入力信號범위 $\pm 5V$ peak-to-peak
利得 1

settling time:

turn on $\leq 2\mu s$ (10V step에서)

turn off $\leq 1\mu s$ (10V step에서)

offset $\leq 10mV$

그림 5가 2-channel MUX의 구조이다. MUX에서 제일 重要的한 것은 analog switch이다. on, off저항비가 크고, 속도가 빠르며, offset이 적은 FET switch를 선택하였다. output buffer 및 summing amplifier는 S/H에서 說明한 것과 같은 것을 使用한다. 實驗結果 위의 條件이 滿足되었다.

DMUX는 그림 6과 같이 switch와 output buffer로 구성된다. 이때의 settling time은, 각 channel당 $58.8\mu s$ 씩이므로 MUX의 경우보다 커도 무방하다. 실제로 output buffer를 slew rate가 작은 op amp로 제작하여 10V step에서 $20\mu s$ 의 settling time을 얻었다. 그러나 이와 같이 값이 싼 op amp는 input bias current가

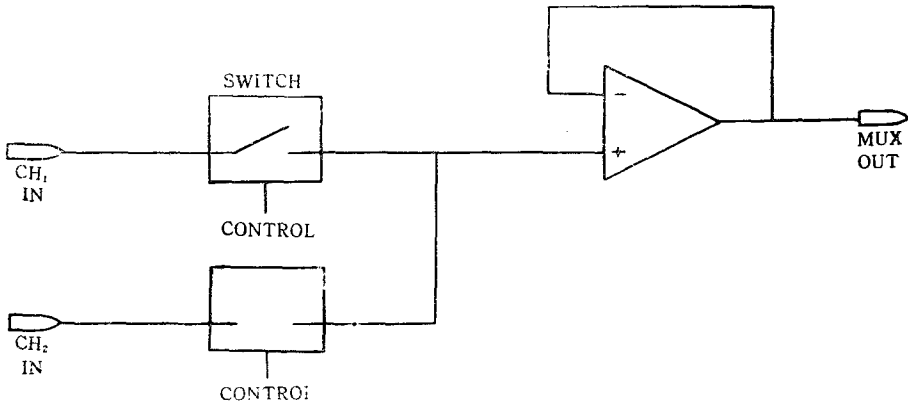


그림 5 Multiplexer block diagram

PCM Simulator

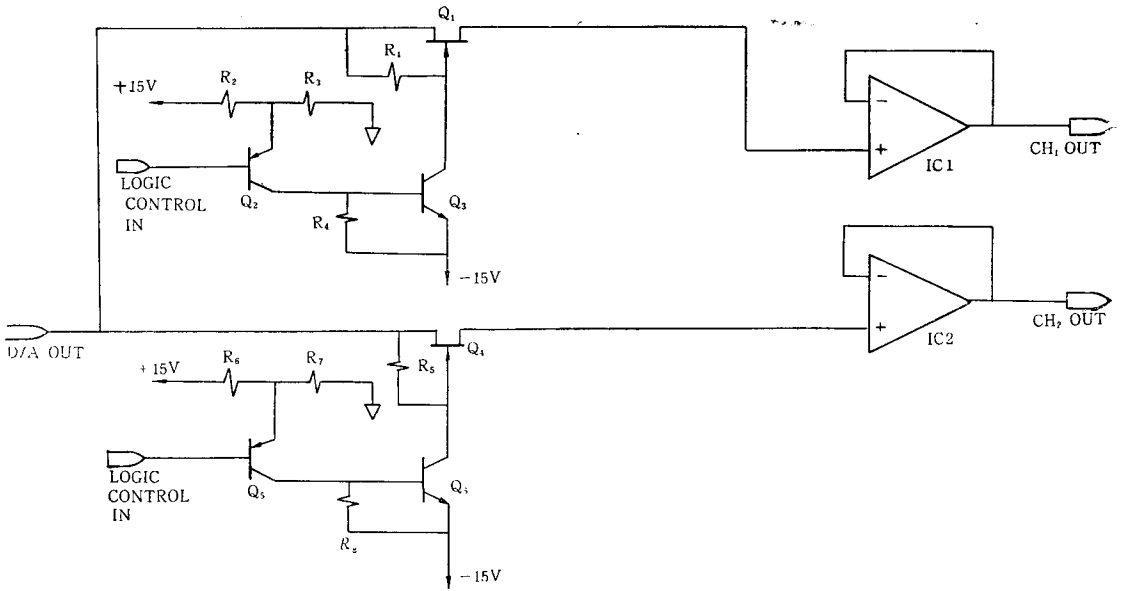


그림 6 Demultiplexer

크고 入力抵抗이 작아 offset이 큰 결점이다. 측정결과 최대 0.5V의 offset이 나타났다.

371 V-8이다. 이 DAC의 specification은 다음과 같다.

(3) ADC, DAC

ADC(analog-to-digital converter)는 Datel 회사 제품인 ADC-D8B를 사용하였다. 이 ADC의 중요한 specification은 다음과 같다.

- conversion 方式 successive approximation
- conversion時間 50 μ s
- 入力電壓범위 $\pm 5V$ (또는 0~10V)
- code offset binary ($\pm 5V$)
binary (0~10V)
- digital output parallel, serial

여기에서 conversion 時間이 50 μ s이므로 20 KHz이상의 conversion은 不可能하다. 이것이 이 system에서 가장 중요한 속도제한 요소이다.

DAC는 Hybrid system회사 제품인 DAC

- settling time 10 μ s
- output slew rate 4V/ μ s
- 出力범위 5V p-p
- code offset binary

settling time은 電流出力인때 1 μ s정도이나, 이 제품은 電壓出力이어서 D/A의 출력단의 slew-rate에 의해 10 μ s로 特性이 떨어진다.

(4) 送信側 制御回路

기본 시스템, 즉 sample當 8 bit coding에서는, 17 bit가 한 frame이므로, 17進 counter를 만들어 그 output state에서 timing information을 얻어 전체 회로를 제어하게 하였다. counter output "0000"에 해당하는 time slot를 "time slot 0번", "10000"에 해당하는 것을 "time slot 16번"과 같이 차례로 time slot에 번호를 매겨 생각하면, 채널 1은 time slot

0번부터 7번에, 채널 2는 8번부터 15번에
배정되며, 16번은 FB자리로서 앞에서 설명한대
로 1,0를 번갈아 넣는다. sample당 4 bit
coding의 경우에는 sampling rate는 그대로 두

고 다만 system clock을 $\div 2$ 하여 한 frame당
각 채널을 교대로 두번 있게 하면, 이후의 회로
는 8 bit경우의 제어회로를 그대로 사용할 수
있다.

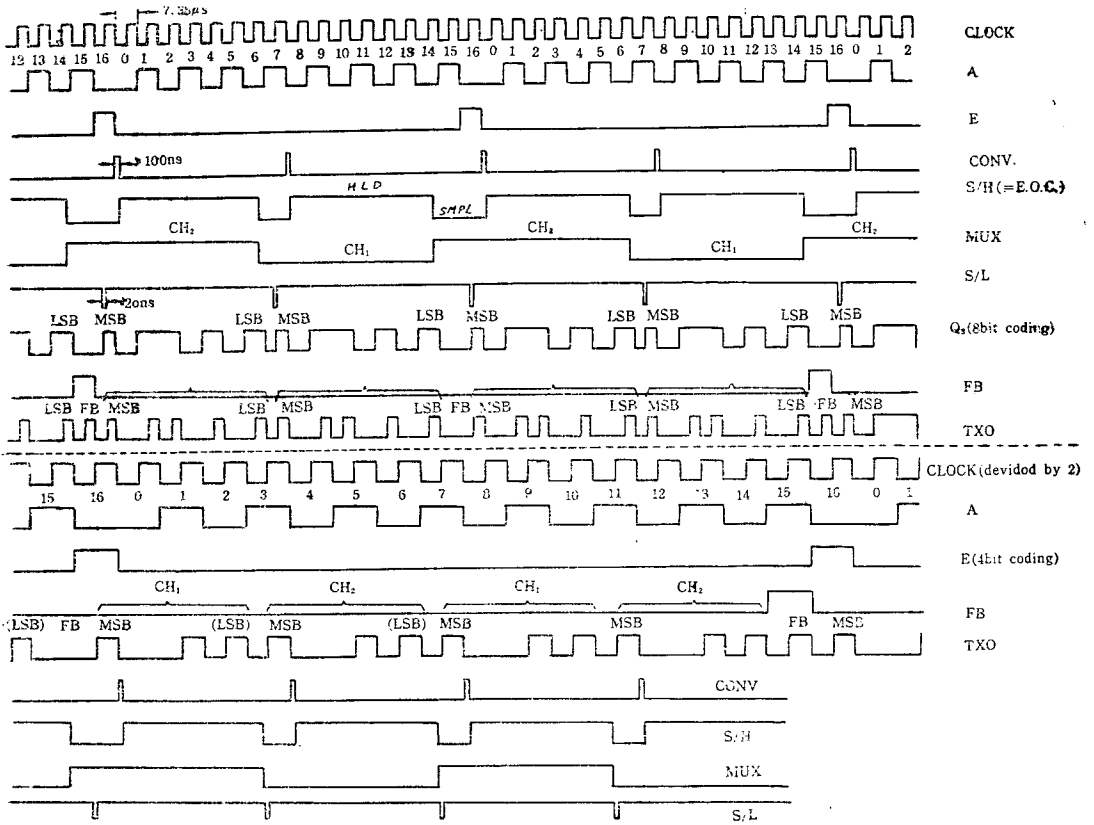


그림 7 送信側 timing diagram

그림 7를 중심으로 제어회로의 기능과 동작
원리를 설명하면 다음과 같다.

- Clock :** Monitor(M)에 의해 M=0이면 136 KHz symmetric square wave, M=1 이면 $\div 2$ 하여 68KHz의 square wave
- A, E :** 각각 17進 counter의 LSB, MSB 의 波形

- CONV :** 폭 100ns정도의 A/D 변환명령 신호
- S/H(=E.O.C.) :** CONV신호를 받고 ADC에

서 내보내는 신호로, high일 때는 변환
중, low일 때는 변환이 끝났음을 나타
냄. 이 신호를 그대로 S/H 명령 신호
로 써서 high일 때 Hold, low일 때
Sample하게 함.

- MUX :** low일 때 채널1, high일 때 채널 2를
select하게 함.

- S/L :** ADC의 변환이 끝난 직후 그 parallel-
out를 parallel-in-serial-out shift reg-

PCM Simulator

ister에 옮기는 펄스

Q8 : 위의 8 stage shift register의 맨 첫 단

출력

FB : 앞에서 설명한 framing bit.

TXO : FB가 삽입된 후 최종적으로 clock과

AND한 50% duty cycle의 RZ Binary data bit stream

4 bit일 때도 근본적으로 동작 원리는 마찬

가지이며 그림 7의 밑 부분에 圖示되어 있다.

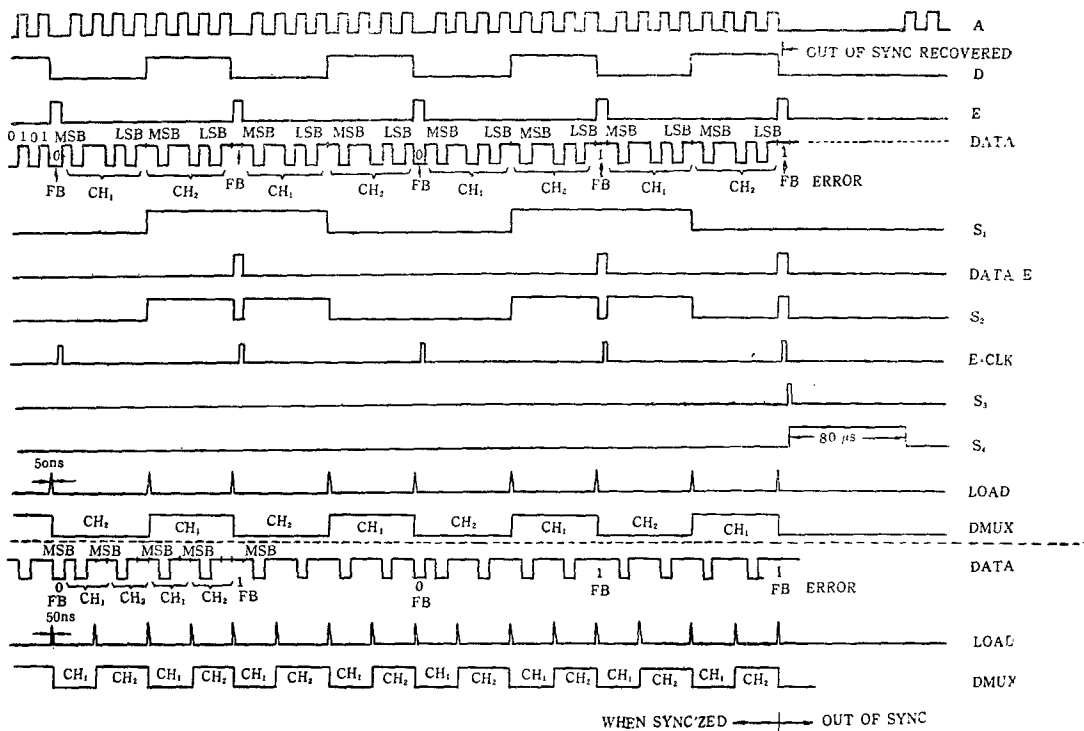


그림 8 受信側 timing diagram

(5) 受信側 制御回路

受信側에서는 time slot 16번을 FB에 배정하여 frame回期가 맞을 때까지 계속 counter를 reset시키도록 하였다. 그림 8에서 보는 바와 같이 Counter output state가 16일 때에는 E 만 "1"이다(EDCBA=10000=16). D를 이용해 S1을 만들고, time slot 16번에 해당하는

NRZ input data(DATA)를 추출한다. (DATA · E) · S1과 이것을 Exclusive OR시키면(S2), frame同期가 맞을 경우, 즉 추출된 bit가 FB이고 S1과 1,0값을 같은 때에 가지면 time slot 16에서 S2는 항상 "0"이 된다.

S2를 JK f/f의 J에, S2를 K에 연결하고 time slot 16에서만 JK f/f를 clocking하면(E · CLK) JK의 output Q(S3)는 항상 "0"이다.

그러나 동기가 맞지 않는 동안에는 time slot 16에서 S2가 "1"일 수 있으며, 이때 JK f/f의 Q는 "1"이 된다. 이 순간 monostable multi-vibrator를 이용해서 1 bit 이상의 폭을 갖는 펄스를 만들어 내어 (S4), 이것으로 counter 및 f/f을 순간적으로 reset시킨다. Counter는 이 one-shot의 펄스 폭에 의해 정해지는 clock pulse數 만큼 reset되어 있다가 다시 "0"부터 clock을 세기 시작하여, 동기가 맞을 때까지 앞의 과정이 반복된다.

17은 素數이므로 펄스폭에 관계없이 동기를 잡는 동안 17 bit를 중복없이 한번씩 추출, FB 如否를 판별할 수 있으며 이렇게 frame 同期를 잡는 데는 시간이 3.5ms이상 걸리지 않는다.

以上이 설계제작되거나 이용된 주요 subsystem이다. 이 外에 생략된 부분으로서는 compander, bit synchronization, power supply (+5V, ±15V), clock generator 등이 있다.

4. 實驗內容

시스템의 여러 단계에서 각 信號特性을 비교하므로써 여러가지 현상을 비교 관찰할 수 있다. 다음은 쉽게 볼 수 있는 세가지 기본적인 실험내용이다.

(1) sampling關係 實驗

送信側의 LPF, MUX, S/H에서 근본적인 sampling 特性을 볼 수 있다. 入力信號 周波數, sampling周波數, LPF의 cutoff 周波數를 相對的으로 可變시키면서 aliasing 현상을 관찰할 수 있으며, S/H의 holding time의 변화에 따른 aperture 效果도 볼 수 있다.

(2) quantization關係 實驗

ADC, DAC의 出力과 入力信號를 비교하여

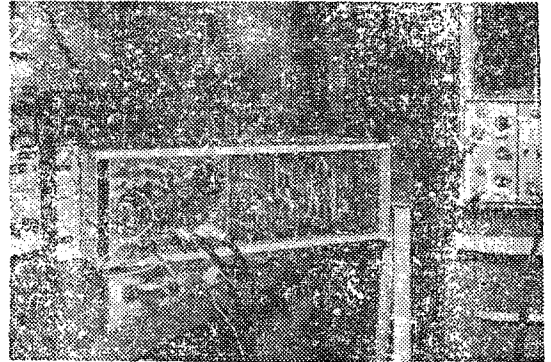


그림 9 PCM 實驗裝置

quantization 特性을 관찰할 수 있다. 즉 可變하는 DC入力信號에 대한 ADC의 binary coding 즉 pulse pattern을 관찰하여 quantizer의 transfer characteristics를 구할 수 있다. 또한 quantization level數를 변경함에 따른 DAC出力信號를 측정하므로써 quantization noise와 信號對 雜音比의 변화를 측정할 수 있다.

(3) 周波數 spectrum關係 實驗

入力信號, sampled信號, digitized信號, 出力信號의 spectrum을 측정하므로써, 周波數分布의 相關關係를 비교검토할 수 있다.

5. 結 論

상당히 축소된 형태이기는 하나 한 PCM simulator가 성공적으로 구성되었다. 설계제작상의 주 문제점은 digital回路에서의 racing문제와 analog回路에서의 subsystem間 interface문제였다.

PCM Simulator

具體的 설계제작 過程은 PCM system 연구에 큰 도움이 되었다. 앞으로 channel simulator 를 비롯한 몇가지 부분을 補完하면 매우 유용한 實驗機器가 될 수 있다. 이것은 각 학교 실험실은 물론이고 產業界 특히 디지털 通信 및 機器에 관심있는 회사의 연구실에도 매우 有用한 實驗研究用 裝置라고 생각된다.

參 考 文 獻

1. G.L. Turin, "The Berkeley Communication

- Laboratory", IEEE communication society, vol. 14, No. 2, pp. 12-21, March 1976.
2. Bell Labs Staff, Transmission systems for communications, Western Electric, 1970.
3. D.B. Bruck, Data conversion Handbook, Hybrid systems corp., 1974.
4. Analog Devices Staff, Analog-digital conversion Handbook, Analog Devies, 1973.