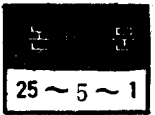


Deadbeat Response를 위한 컴퓨터보상기에 관한 연구



An Application of A Digital Computer for the Deadbeat Controller

趙 廷 完*
(Jung Wan Cho)

Abstract

Applications of the digital computers in the control systems are not new. But when one tries to integrate the control system with a digital computer to form a feedback loop, he has to solve a great deal of problems in both hardware and software aspects. Such problems are investigated in this paper.

For the hardware aspect, one has to design interfaces for both ADC and DAC. Since these are absolutely necessary pieces of hardware, one can not avoid from using them. The interface which employ the programmed data transfer method was designed for this research. For the software aspect, one has to build models for the digital compensator and the controlled system. In order to do that it is necessary to utilize the real time clock and to write his own interrupt service routine. As a sample case, a deadbeat compensator was designed and tested.

1. 서 론

일반적으로 sampled data feedback 제어 시스템을 설계할 때 정상 및 과도응답의 조건을 동시에 만족하는 시스템을 설계하기는 대단히 어려운 일이다. 이러한 설계 문제를 다루는 방법은 크게 나누어 두가지가 있다.

첫째로는 일차설계가 끝난 후 loop gain을 조정하는 방법인데, 이러한 방법은 항상 적용되지는 않는다. 예를 들어서 steady state error를 줄이기 위하여 loop gain을 증가할 경우 흔히 과도출력의 발진 혹은 제어계통 자체가 불안정하게 된다.

둘째로는 보상기(compensator)를 이용하는 방법이다. 이 방법은 일차설계가 끝난 후 보상기를 이용하여 전체계통의 출력을 주어진 조건에 맞도록 하는 것이다. 예를 들어서 제어계통에 불필요한 pole이 있어서 이것이 출력의 조건을 만족하지 못하게 되는 경우 보상기에는 이 pole을 상쇄할 수 있는 zero를 도입함으로써 전체 계통의 출력을 개선할 수 있다. 보상기에는 또한 전체 제어계통의 출력을 개선하기 위하여 새로운 pole을 도입할 수 있다. 본 논문에서는 디지털 컴퓨터를 이용하여 디지털 보상기의 설계를 하였다.

2. 디지털 보상방법

Feedback 제어계통의 보상방법은 아날로그 회로에 의한 방법과 디지털 회로에 의한 방법이 있다¹⁾. 아날로그 회로에 의한 방법은 그 제작이 쉽고 값이 저렴하나 보상회로의 효과를 해석적으로 구명하기가 어려운 단점이 있다. 한편 디지털 회로에 의한 방법은 전체 계통에 대한 보상기의 효과를 해석적으로 평가할 수 있다는 이점이 있다.

디지털 보상기를 이용한 sampled data feedback 제어계통은 그림 1과 같다. 그림 1은 cascade 방식이며 이 밖에도 bypass, feedback 방법 등²⁾이 있다.

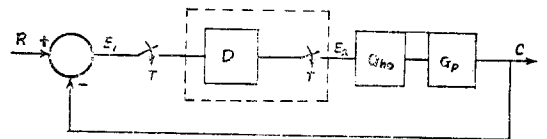


그림 1. Cascade 디지털 보상회로

그림 1에서 점선으로 둘러 쌓인 부분이 디지털 보상기이며 G_0 와 G_P 는 각각 zero order hold와 보상하고자 하는 계통이다. 그림 1에서 보상기 D 의 전달함수의 z -변환을 하면 일반적으로 식(1)과 같이 된다. 보상기 D 는 실현할 수 있는 함수이어야 되므로 $D(Z)$ 는

$$D(Z) = \frac{E_2(Z)}{E_1(Z)} = \frac{a_0 + a_1 Z^{-1} + \dots + a_n Z^{-n}}{b_0 + b_1 Z^{-1} + \dots + b_m Z^{-m}} \quad (1)$$

員 : 韓國科學院教授(工博)
接受日字 : 1976年 2月 10日

nonanticipatory, 즉 현재의 출력 $e_2(t)$ 는 현재와 과거의 입력 $e_1(t_1), t_1 \leq t$,와 과거의 출력 $e_2(t_2), t_2 < t$,에 의하여서만 결정되어야 하므로 식(1)에서 b_s 는 영이 아니어야 된다.

3. 디지털 컴퓨터를 이용한 보상기

2절의 그림 1에서 볼 수 있는 바와 같이 보상기 D 는 디지털 회로로서 그 설계가 가능하며 이러한 회로의 동작은 컴퓨터로도 simulate할 수 있다. 컴퓨터로서 보상회로를 대체할 경우 보상회로의 동작을 컴퓨터 프로그램으로 simulate하므로 다른 제어할 계통에도 쉽게 프로그램만 수정하여 사용할 수 있는 이점이 있다. 컴퓨터를 이용한 제어계통은 그림 2와 같다.

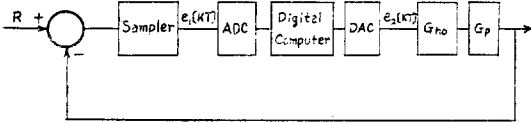


그림 2. 컴퓨터를 이용한 디지털 보상회로

그림 2에서 ADC와 DAC는 아날로그-디지털 변환기와 디지털-아날로그 변환기를 의미한다.

그림 2에서 컴퓨터와 ADC 그리고 DAC 사이에는 interface가 각기 있어야 되며 사용할 컴퓨터에 이러한 interface가 없더라도 common data bus를 이용한 programmed data transfer방식을 채택하면 interface의 설계가 간단하다²⁾. 또, 이 경우 컴퓨터에 요구되는 기능은 realtime clock과 interrupt능력이 있어서 sampling시간을 측정하고, 주기마다 interrupt를 일으켜서 데이터의 전송이 이루어져야 한다. 프로그램 면에서는 식(1)로 주어진 보상기의 전달함수가 컴퓨터내에 프로그램되어 있어야 하며 이 식은 보상할 체제 G_p 에 따라 다르다. 따라서, 보상기의 전달 함수를 구하기 위하여는 G_p 를 알아야 한다. G_p 의 모형은 그림 3과 같이 택할 수 있다¹⁾.

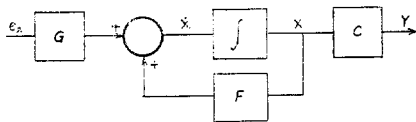


그림 3. 제어할 계통 G_p 의 모형

그림 3에 해당하는 vector 미방은 식(2)와 같다.

$$\dot{X} = FX + Ge_2 \quad (2)$$

$$Y = CX$$

식(2)에서 X 의 초기치 $X[0]$ 를 영이라 가정하고, X 에 관하여 풀면 (3)식과 같으며 따라서 Y 는 식(4)와 같이 된다.

$$X[kT] = B \sum_{n=0}^{k-1} A^{k-n-1} e_2[nT] \quad (3)$$

$$Y[kT] = CB \sum_{n=0}^{k-1} A^{k-n-1} e_2[nT] \quad (4)$$

식(3)과 (4)에서 $A = e^{FT}$, $B = \int_0^T e^{F(T-t)} dt$ 이며 T 는 sampling주기이다.

4. Deadbeat Response를 위한 컴퓨터 보상기

Deadbeat response를 갖는 sampled data 제어계통은 첫째, 특정한 입력신호에 대하여 sampling순간에는 정상상태응답이 영이며, 둘째, rise time은 최소이며, 셋째 유한한 sampling time 내에 안정되어야 하며, 넷째, D , G_p 그리고 closed loop 전달함수가 모두 실현할 수 있는 계통을 의미한다. 본절에서는 amplitude가 r 인 계단입력에 대하여 deadbeat response를 갖는 컴퓨터에 의한 보상기를 설계한다.

우선 deadbeat response를 갖기 위하여는 그림 2에서 N 이 최소수의 sampling수라 할 때 $e_1[NNT] = 0$ 이어야 되므로 식(5)가 성립한다.

$$r = Y[NNT] = CB \sum_{n=0}^{N-1} A^{N-n-1} e_2[nT] \quad (5)$$

또 같은 이유로 그림 3에서 $\dot{X}[NNT] = 0$ 이어야 되므로 식(6)이 성립된다.

$$0 = F \left(B \sum_{n=0}^{N-1} A^{N-n-1} e_2[nT] \right) + Ge_2[NNT] \quad (6)$$

식(5)와 식(6)을 복합하여 정리하면 식(7)과 같은 matrix식이 된다.

$$\begin{pmatrix} CA^{N-1}B, CA^{N-2}B, \dots, CB, 0 \\ FA^{N-1}B, FA^{N-2}B, \dots, FB, G \end{pmatrix} \begin{pmatrix} e_2(0) \\ \vdots \\ e_2(N) \end{pmatrix} = \begin{pmatrix} r \\ 0 \end{pmatrix} \quad (7)$$

그림 2에서 deadbeat response를 갖기 위한 e_1 을 구하면 e_1 은 입력 r 에서 출력 Y 를 빼것과 같으므로 식(5)를 이용하면 $e_1[kT]$ 는 식(8)과 같다.

$$e_1[kT] = r - CB \sum_{n=0}^{k-1} A^{k-n-1} e_2[nT] \quad (8)$$

식(8)은 e_1 과 e_2 의 관계식이므로 이 식으로부터 원하는 보상기의 전달함수를 구할수 있다. 우선 $e_2[nT] = P(n)r$ 이라 하면 $k \geq N$ 일 때 deadbeat response를 갖기 위하여는 $e_2[kT] = P(N)r$ 이어야 하므로 $e_1[kT]$, $e_2[kT]$ 와 Z -변환을 하면 원하는 보상기의 전달함수는 식(9)와 같이 구할 수 있다.

$$D(Z) = \left(\sum_{n=0}^{N-1} Z^{-n} P(n) + P(N) \frac{Z^{-N}}{1-Z^{-1}} \right) \times \left(\sum_{n=0}^{N-1} Z^{-n} \left\{ I - \sum_{m=0}^{n-1} CA^{n-m-1} BP(m) \right\} \right)^{-1} \quad (9)$$

식(9)의 $D(Z)$ 는 식(2)와 (7)을 이용하여 구할 수 있다.

5. 실험 및 결과

그림 2와 같은 컴퓨터제어하는 sampled data 제어 계통을 만들기 위하여 NOVA 840³⁾ 컴퓨터를 이용하였다. 본 연구에 사용한 컴퓨터에는 ADC와 DAC interface가 없어서 programmed data전송방식의 interface를 만들었다. 실험을 위하여는 보상할 체계 G_P 를 정하여야 하는데 보상기 D 를 설계하기 위하여는 closed loop 제어계통의 입력과 G_P 의 전달함수를 알아야 하므로 입력은 그림 5(a)와 같은 계단 입력을 사용하였으며 G_P 를 식(10)과 같은 전달함수를 갖도록 하였으며 이를 operational 증폭기를 이용한 아나로그 회로로 실현하여 zero order hold 회로를 통한 컴퓨터의 DAC 출력단에 연결하였다.

$$G_P(s) = \frac{1}{s(s+1)} \quad (10)$$

보상기 D 를 설계하기 위하여 우선 식(9)에서 N 을 정하여야 하는데 이 실험에서는 $N=2$ 를 택하였다. 즉 second order 보상기를 설계하였다. $N=2$ 일 때 식(9)를 정리하여 식(1)과 같은 형태로 만들면 식(11)과 같이 간략히 표현할 수 있다.

$$D(Z) = \frac{a_0 + a_1 Z^{-1} + a_2 Z^{-2}}{b_0 + b_1 Z^{-1} + b_2 Z^{-2}} \quad (11)$$

$D(Z)$ 를 구하기 위하여 sampling 주기를 0.2초에서부터 0.2초씩 증가하여 2초까지 사이에서 $a_0, a_1, a_2, b_0, b_1, b_2$ 를 구한 결과 b_0 는 항상 1이며 a_2 와 b_2 는 영이었다. 이 결과는 표 1에 나타내었다. 표 1에서는 또 closed loop 계통의 안정성을 판별할 수 있도록 T 의 변화에 따른 system matrix의 eigenvalue를 구하였다.

표 1. Sampling 주기의 변화에 따른 (DZ) 와 System Eigenvalue

| Sampling Period | a_0 | a_1 | b_1 | Magnitude of Eigenvalues | | |
|-----------------|---------|----------|--------|--------------------------|--------|--------|
| 0.2 | 27.5841 | -22.5846 | 0.4633 | 0.0040 | 0.0040 | 0.9048 |
| 0.4 | 7.5832 | -5.0832 | 0.4667 | 0.0050 | 0.0050 | 0.6703 |
| 0.6 | 3.6939 | -2.0273 | 0.4503 | 0.0060 | 0.0060 | 0.5486 |
| 0.8 | 2.2699 | -1.0199 | 0.4340 | 0.0073 | 0.0070 | 0.4493 |
| 1.0 | 1.5819 | -0.5819 | 0.4146 | 0.0010 | 0.0010 | 0.3279 |
| 1.2 | 1.1925 | -0.3592 | 0.4023 | 0.0040 | 0.0040 | 0.3012 |
| 1.4 | 0.9480 | -0.2327 | 0.3889 | 0.0050 | 0.0050 | 0.2466 |
| 1.6 | 0.7831 | -0.1581 | 0.3726 | 0.0030 | 0.0030 | 0.2019 |
| 1.8 | 0.6655 | -0.1100 | 0.3575 | 0.0060 | 0.0060 | 0.1653 |
| 2.0 | 0.5783 | -0.0783 | 0.3433 | 0.0070 | 0.0070 | 0.1353 |

표 1에 의하면 sampling 주기 T 가 2초보다 작을 때는 system eigenvalue의 크기가 그보다 작으므로 stable하다. 표 1에 의한 $D(Z)$ 를 simulate하는 프로그램의 flowchart는 그림 4에 주어졌다. 이 프로그램을 위하여는 주파수가 10Hz인 real time clock을 이용하

여 sampling time과 동기시켰다. 그 방법은 매 real time clock 주기(0.1초)마다 프로그램 interrupt를 발생시켜서 특정한 register에 1을 더하도록 하여 이 합

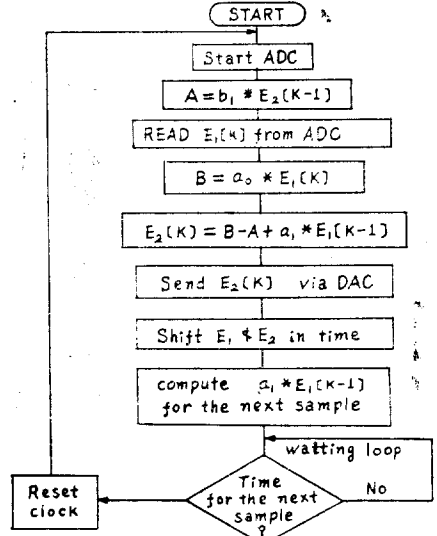


그림 4. Digital compensator program flowchart

이 20이 될 때, 즉 매 2초마다 sample을 받아 들이도록 하였다. 이 때 물론 register를 reset하여야 된다. 그림 5(a)와 같은 계단 입력에 대한 컴퓨터를 이용한 보상기를 사용한 경우와 보상기를 사용하지 않은 경우의 출력은 그림 5(b)와 같다. 그림 5(b)에 의하면 컴퓨터로 된 보상기를 사용하였을 경우 overshoot가 거의 없으며 2개의 sampling 주기내에 출력이 안정됨을 알 수 있다.

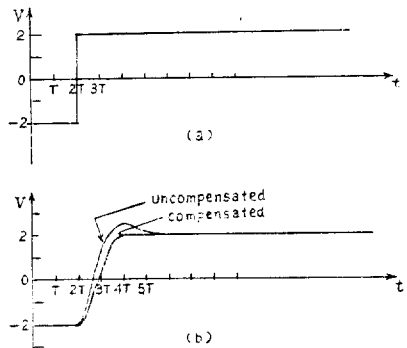


그림 5 입력과 출력

참 고 문 헌

1. Benjamin C. Kuo, Analysis and Synthesis of Sampled-data Control Systems, Prentice-Hall,

- Englewood Cliffs, N. J., 1963.
2. John B. Peatman, The Design of Digital Systems, McGraw-Hill, N. Y., N. Y., 1972.
 3. NOVA 840, Technical Manual, Data General Corp., Southboro, Mass., 1970.
 4. In Chul Shin, "Analog to Digital and Digital and Digital to Analog Converters Interfaces for a Minicomputer and Their Application to the Deadbeat Controller," M.S. Thesis, Korea Advanced Institute of Science, 1975.
 5. Chi-Tsong Chen, Introduction to Linear System Theory, Holt, Rinehart and Winston, Inc, N.Y., N.Y., 1970.
 6. James D. Scheoffler and Ronald H. Temple, Minicomputers: Hardware, Software and Applications, IEEE Press, N.Y., N.Y., 1972.