

論 文

Transition-Sensitive Flip-Flops에 의한 非同期
順序論理회로의 合成에 關한 研究(Synthesis of Asynchronous Sequential Circuits using
Transition-Sensitive Flip-Flops)

林 濟 鐸* · 李 根 泳**

(Lim, Chae Tak and Lee, Keun Young)

要 約

Transition-Sensitive Flip-Flops(TSFF)에 의하여 원시흐름표로부터 多入力變化 非同期順序論理회로를 合成하는 하나의 方法을 提案하였다. 本 方法에 依해서 實現한 回路는 Chuang의 그것보다 速度가 빠르다. Chuang의 出力狀態를 실현하는 方法은 誤謬를 犯하고 있음을 指摘하고 원시흐름표로부터 出力狀態를 制御勵振法에 의해서 간편하게 실현할 수 있음을 보였다.

Abstract

A Synthesis method for multiple-input change transition-sensitive asynchronous sequential circuits is proposed. Both internal states and output states are synthesized from primitive flow tables. It is shown that our realization is faster than that of Chuang's. It is pointed out that Chuang's realization of output states contains malfunctions. In this paper, output states are easily realized from primitive flow table by the method of controlled excitation.

1. 序 論

非同期 順序회로의 合成문제는 漂遊遲延(stray delay)에 기인하는 hazard와 critical race 때문에 아주 복잡해지며 이로 인한 誤動作을 피하기 위한 많은 研究가 수행되었다.⁽¹⁾⁻⁽¹⁵⁾ 이러한 문제들은 대부분 귀환 회로에 遲延素子를 삽입하거나 critical race를 제거하는 狀態割當法에 의해서 해결하고 있다. 그러나 前者는 동작속도가 늦어진다는 點, 後者는 상태변수의 數가 增加한다는 點의 결점이 있다. 그러므로 이를 해결하는 하나의 方法으로 遷移應動 기억소자(TSFF)를 사용한 自己同期化法이 연구되었다.⁽⁶⁾⁻⁽¹²⁾

Bredeson⁽¹⁰⁾은 기억소자로서 RSFF의 入力에 遷移應動게이트(TSG)를 부가시켜 TSFF으로 使用하고 원시 흐름표로부터 직접 非同期順序회로를 合成하는 結果를 求하여 축압된(reduced)흐름표로부터 實現하였을

때보다 더욱 效果의임을 보여 주었다.

Chuang⁽¹²⁾은 多入力變化 非同期회로를 合成하는데 D형 TSFF를 기억소자로 하고 内部回路에서 모든 레벨(level)入力の 變化를 감지하여 상태변화가 필요할 때에만 선택적으로 勵振펄스를 발생하는 制御勵振法을 提案하였다.

本論本은 TSFF에 의하여 원시흐름표로부터 非同期順序회로를 合成하는 方法에 關한 것이다. 内部狀態를 실현함에 있어서는 入力組의 雙이라는 개념을 이용한 方法⁽¹⁵⁾이 지금까지 우수한 方法의 하나로 알려진 Chuang의 方法보다 速度가 더욱 향상됨을 보였고 出力狀態를 실현함에 있어서는 축압된 흐름표를 사용한 Chuang의 制御勵振法은 誤謬를 犯하고 있음을 指摘하고 원시흐름표로부터 출력상태를 制御勵振法에 의해서 간편하게 실현하는 方法을 提案하였다. 또 관성지연소자(inertial delay element)만으로도 간단히 出力狀態를 실현할 수 있음을 보였다.

* 正會員, ** 準會員, 漢陽大專校 工科大學 電子工學科
Dept. of Electronic Engineering, Hanyang
University

接受日字: 1975年 2月 26日

順序回路는 상태천이가 불안정상태를 거쳐 직접 안정상태에 이르며 출력이 두번이상 變하지 않는 正規型 흐름표(normal mode flow table)로 표시되며 또 모든 入力の 변화는 반드시 内部回路가 安定되었을때 일어나는 安定型(fundamental mode)이라 가정한다.

x_1x_2				I_0	I_1	I_0	I_2			
x_1x_2				z_1z_2						
S	00	01	11	10	S	00	01	11	10	
A	Ⓐ, 01	Ⓐ, 00	C	B	1	①	2	4	3	01
B	Ⓑ, 10	A	D	Ⓑ, 00	2	1	②	4	3	00
C	A	Ⓒ, 11	Ⓒ, 01	D	3	6	2	5	③	00
D	B	C	Ⓓ, 10	Ⓓ, 11	4	1	7	④	8	01
					5	6	7	⑤	8	10
					6	⑥	2	5	3	10
					7	1	⑦	4	8	11
					8	6	7	5	⑧	11

(a)

Fig.1 (a) reduced flow table
(b) corresponding primitive flow table

	I_0	I_1	I_2	I_3		y_1	y_2	y_3	y_4
1	0	0	0	-	-	0	0	0	-
2	0	1	-	0	-	0	1	-	0
3	1	0	-	-	0	1	0	-	0
4	1	1	-	-	0	1	1	0	-
5	1	1	-	-	1	1	1	1	-
6	0	0	1	-	-	0	0	1	-
7	0	1	-	1	-	0	1	-	1
8	1	0	-	-	1	1	0	-	1

(a)

D_{13}	D_{14}	D_{15}	D_{16}	D_{23}	D_{24}	D_{25}	D_{26}	D_{13}	D_{14}	D_{23}	D_{24}
-	-	0	0	-	0	-	0	0	0	0	0
-	-	0	0	0	-	0	-	0	0	0	0
1	0	-	-	-	0	-	1	1	0	1	0
0	1	-	-	0	-	1	-	0	1	0	1
1	1	-	-	1	-	1	-	1	1	1	1
-	-	0	1	-	0	-	1	1	0	1	0
-	-	1	0	0	-	1	-	0	1	0	1
1	1	-	-	-	1	-	1	1	1	1	1

(b)

Fig.2 (a) state variable assignment
(b) D-input table

2. 内部狀態의 實現

單一 入力變化일 경우 입력변수가 m개이면 分解割當 (decomposition assignment)에 m개의 상태변수가 필요하고 임의의 入力組에서 각 상태를 唯一하게 구분하기 위해서는 $h = \lceil \log_2 |S|_{max} \rceil$ 개의 상태변수가 필요하다.

$|S|_{max}$ 은 흐름표에서 어떤 入力組의 欄(column)이 가지는 최대의 안정상태數를 나타낸다. 分解割當에서 상태변수는 입력변수와 同一하게 부호화(coding)되므로 이 상태변수는 입력변수에 의하여 실현되어 m개의 상태변수를 실현하는 TSFF은 省略된다. $|S|_{max}$ 이 内部狀態數의 $\frac{1}{2}$ 以下이면 축압된 흐름표에 의한 경우보다 상태수가 減少된다.⁽¹⁰⁾

입력변수의 첫번째 변화와 마지막 변화와의 時間差 ΔI 가 TSFF의 應動時間 ΔF 보다 작으면 多入力 變化의 경우에도 위의 方法이 적용될 수 있지만 이때에는 非交割當(nonintersecting assignment)에 의한 상태변수가 增加하게 된다.⁽¹⁰⁾ 이 상태변수를 減少하기 위하여 각 入力組의 雙(pair)에 대응하는 두 狀態集合중 그 집합의 요소가 많은 상태집합에 대하여 상태변수를 割當함으로써 상태변수의 數를 減少할 수 있다.⁽¹⁵⁾

Fig. 1-(a)는 축압된 흐름표를 나타내며 이것을 等價인 원시흐름표로 變換하면 Fig. 1-(b)와 같이 된다. 이 원시흐름표에 의하여 多入力變化 때의 내부상태를 실현한다.

Fig. 1-(b)의 흐름표에서 I_0-I_2, I_1-I_2 가 각각 入力組의 雙을 이루고 각 入力組에 대응하는 非交割當 상태변수와 D-TSFF의 D入力도 雙을 이룬다. Fig. 2에서 y_3-y_6, y_4-y_5 와 $D_{13}-D_{16}, D_{14}-D_{15}, D_{23}-D_{26}, D_{24}-D_{25}$ 의 合併을 y_3, y_4 와 $D_{13}, D_{14}, D_{23}, D_{24}$ 라 하고 이를 같은 欄에 각각 明細하였다. Fig.2에서 don't care를 式이 간단히 되도록 적절하게 明細하여 다음 D入力の 式을 얻는다.

$$D_{13} = D_{23} = \bar{y}_2 y_3 + y_1 y_3 y_4$$

$$D_{14} = D_{34} = y_2 y_4 + y_1 y_3 y_4$$

이렇게 하여 多入力 變化때의 非交割當의 상태數를 최고 $\frac{1}{2}$ 로 減少할 수 있으므로 Chuang의 制御勵振法에 의하여 실현 하였을때 필요한 상태변수의 數와 비슷하다. 그러나 Chuang의 方法에 있어서는 입력의 변화가 상태를 遷移하기 위하여 필스발생회로인 組合回

$y_1 y_2 y_3 y_4$		00	01	11	10	$z_1 z_2$	00	01	11	10	
000-	1	①	2	4	3	01	1	0	1	0	1
01-0	2	1	②	4	3	00	2	1	0	1	0
10-0	3	6	2	5	③	00	3	1	0	1	0
110-	4	1	7	④	8	01	4	0	1	0	1
111-	5	6	7	⑤	8	10	5	0	1	0	1
001-	6	⑥	2	5	3	10	6	0	1	0	1
01-1	7	1	⑦	4	8	11	7	1	0	1	0
10-1	8	6	7	5	⑧	11	8	1	0	1	0

(a)

Fig.3 (a) Primitive flow table
(b) Output of clock generating circuit

를 거쳐 勵振되나 이 방법은 입력이 직접 遷移입력으로 연결되어 있어 같은 D-TSFF를 使用하였을때 非同期回路的 장점인 速度를 더욱 向上시킬 수 있다.

3. 出力狀態의 實現

어떤 상태의 遷移가 여러 상태변수의 變化를 要할때 상태변수들이 同時に 變하지 않으므로 出力은 이들 상태변수를 入力으로 한 多入力 變化 組合回路가 되어 hazard에 의한 誤動作문제가 생긴다. 이때 組合回路的 hazard를 M-hazard⁽⁴⁾라고 하는데 이것은 論理型和 函數型的 두 가지가 있다. 論理型은 回路를 약간 變化시킴으로써 완전히 除去할 수 있으나 函數型은 간단히 除去되지 않는다. 이를 제거하는 方法으로 Chuang은 出力에서도 制御勵振에 의한 自己同期化法을 사용하였다.

이 방법은 入力狀態가 變함에 따라 항상 펄스가 발생되나 貫性遲延素子の 지연시간 T를 조정하여 내부상태가 變할때만 貫性遲延素子の 出力에 펄스가 나가도록 選擇의으로 勵振시켜주게 되므로 상태는 變하지 않으나 出力이 變할 때는 出力에서 誤動作을 일으킨다. 예를 들어 Fig. 1-(a)의 全狀態(total state) 00-A에서 入力이 變하여 01-A로 變하면 이때는 상태가 變하지 않으므로 펄스발생회로에서 펄스가 발생되지 않으며 出力 TSFF를 勵振하지 못하게 되어 出力이 00으로 變하지 않고 01로 지속되어 誤出力을 내게 된다.

이 결점을 除去하기 위하여 원시흐름표로부터 펄스 발생회로를 構成한다. 원시흐름표에서 安定狀態는 모두 0으로 明細하고 不安定狀態는 現상태의 出力과 다음 상태의 出力이 다르면 1로 같으면 0으로 明細하여 出力이 變할때만 펄스를 發生시키는 點이 Chuang의 制御勵振法과 다른 點이다. Chuang의 方法은 상태 제

어어진법으로 出力 제어어진에는 적합하지 않다.

원시흐름표는 흐름표의 각 行(row)에 하나의 安定狀態가 있으며 出力은 상태 변수만의 函數로 실현된다. Fig. 3-(b)에서 펄스발생회로의 出力(c)와 回路의 出力(z)의 式은 다음과 같다.

$$c = (\bar{y}_1 y_2 + y_1 \bar{y}_2 y_3) (x_1 \oplus x_2) + (\bar{y}_1 \bar{y}_2 + y_1 y_2 y_4) (x_1 \oplus x_2)$$

$$z_1 = y_1 y_3 y_4 + \bar{y}_1 \bar{y}_2 y_3 + \bar{y}_1 y_2 y_4$$

$$z_2 = \bar{y}_1 \bar{y}_2 \bar{y}_3 + \bar{y}_1 y_2 y_4 + y_2 y_3 y_4 + y_1 \bar{y}_2 y_3 y_4$$

Fig.4는 出力에 制御勵振法을 이용한 非同期順序回路的 한 모델(model)을 보였다. BL.2는 內部狀態를 실현하는 一連의 TSFF이며 BL.2A는 分解割當의 상태 변수, BL.2B는 非交接割當의 상태변수에 대응하며 BL.1은 이 非交接割當의 상태변수의 D入力を 실현하는 組合回路이다. TS入力は 모두 入力과 직접 連結되어 있다. BL.3은 상태변수에 의하여 出力을 실현하는 多入力 變化 組合回路이다. BL.5는 出力을 制御勵振하기 위한 펄스발생 회로이다. 관성지연素子の 지연시간 T는 BL.5의 組合回路에서 發生되는 hazard를 除去할 수 있는 크기를 가지며 遲延素子は 出力 TSFF의 入력이 安定될 때까지 遲延시키는 T'를 가진다.

Fig.5는 制御勵振法에 의하지 않고 관성지연素子로서 出力을 실현하는 非同期 順序回路的 모델을 보였다. 組合回路的 多入力 變化로 인한 M-hazard의 최대 펄스巾보다 큰 遲延時間을 가지는 관성지연素子로 構成한다.

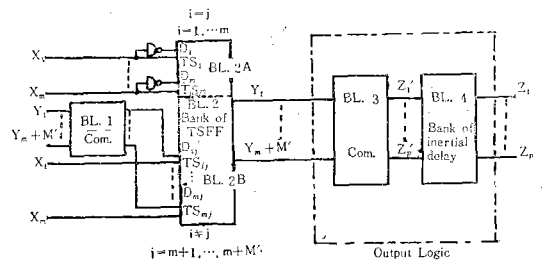


Fig.5 a different model of an asynchronous sequential machine using inertial delays

4. 結 論

원시흐름표로부터 직접 非同期 順序論理回路를 實現하는 하나의 效果的인 方法을 提案하였다. 지금까지 가장 優秀한 方法의 하나로 알려진 Chuang의 方法과 比較하여 本方法은 入力이 직접 TS入력으로 連結되어 速度가 向上된다. 出力狀態의 실현에 있어 축압된 흐름표를 利用한 Chuang의 方法에 誤謬가 있음을 指摘

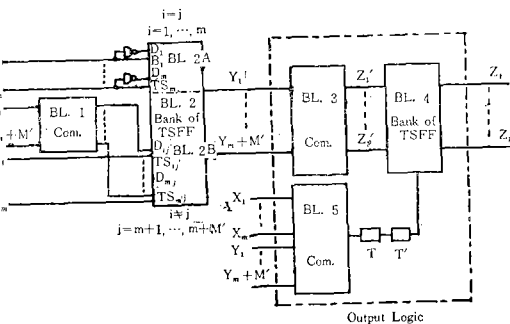


Fig.4 a model of an asynchronous sequential machine using TSFF and output with controlled excitation

하였고 원시흐름표에서 出力이 變할때만 펄스를 發生하는 出力制御勵振法을 提案, 出力狀態를 간편하게 實現할 수 있도록 하였다. 또 制御勵振法을 사용하지 않 더 관성지연소자만으로 出力을 實現하는 모델을 提案 하였다. 이와 같이 실현된 非同期 順序回路는 hazard 나 critical race가 없으며 速度도 向上된다.

끝으로 本研究는 1974年度 文敎部 學術研究助成費에 依해서 이루어졌음을 밝힌다.

參 考 文 獻

1. D.B. Armstrong, et al, Realization of Asynchronous Sequential Circuits without Inserted Delay Elements, IEEE Trans. Comput. Vol. c-17, pp. 129-134, Feb. 1968.
2. A.D. Friedman and P.R. Menon, Synthesis of Asynchronous Sequential Circuits with Multiple-Input Changes, IEEE Trans. Comput. Vol. c-17, pp. 559-566, June, 1968.
3. S.H. Unger, A Row Assignment for Delay-Free Realizations of Flow Table without Essential Hazards. IEEE Trans. Comput. Vol. c-17, pp. 146-151, Feb. 1968.
4. M.D. McIntosh and B.L. Weinberg, On Asynchronous machines with Flip-Flops, IEEE Trans. comput. correspondence, pp. 473, May, 1969.
5. J.H. Tracey, Internal State Assignments for Asynchronous Sequential Machines, IEEE Trans. Comput. Vol. EC-15, pp. 551-560, Aug. 1966.
6. C.J. Tan, State Assignments for Asynchronous Sequential Machines, IEEE Trans. Comput. Vol. c-20, pp. 332-391, April, 1971.
7. S.H. Unger, Asynchronous Sequential Switching Circuits with Unrestricted Input Changes, IEEE Trans. Comput. Vol. c-20, pp. 1437-1444, Dec. 1971.
8. Y.H. Chuang, Transition Logic Circuits and a Synthesis Method, IEEE Trans. Comput. Vol. c-18, pp. 154-168, Feb. 1969.
9. J.R. Smith, Jr. and C.H. Roth, Jr, Analysis and Synthesis of Asynchronous Sequential Networks using Edge-Sensitive Flip-Flops, IEEE Trans. Comput. Vol. c-20, pp. 847-855, Aug. 1971.
10. J.G. Bredeson and P.T. Hulina, Synthesis of Multiple-Input Change Asynchronous Circuits using Transition-Sensitive Flip-Flops, IEEE Trans. Comput. Vol. c-22, pp. 524-531, May, 1973.
11. J.G. Bredeson and P.T. Hulina, Generation of a Clock Pulse for Asynchronous Sequential Machines to Eliminate Critical Races, IEEE Trans. Comput. Vol. c-20, pp. 225-226, Feb. 1971.
12. H. Y. H. Chuang and S. Das, Synthesis of Multiple-Input Change Asynchronous Machines using Controlled Excitation and Flip-Flops, IEEE Trans. Comput. Vol. c-22, pp. 1103-1109, Dec. 1973.
13. R.R. Hackbart and D.L. Dietmeyer, The Avoidance and Elimination of Function Hazards in Asynchronous Sequential Circuits, IEEE Trans. Comput. Vol. c-20, pp. 184-189, Feb. 1971.
14. E.B. Eichelberger, Hazards Detection in Combinational and Sequential Switching Circuits, IBM J. of Research and Development, Vol. 9, pp. 90-99, Mar. 1965.
15. 林濟鐸, 李根泳, 多入力變化 遷移應動 非同期 順序回路의 內部狀態 減少法에 關한 研究, J. of KIEE Vol. pp. 81-85. April. 1974.