

Series Connected Flip-Flop의 특성과

表示放電管的 驅動에 對하여

(On the Characteristics of Series Connected Flip-Flop and Drive of Nixie Tube Operation)

鄭 萬 永* · 安 柄 星** · 金 俊 鎬***

(Chung Man Yung · Ahn Byung Sung · Kim Joon Ho)

ABSTRACT

A method of triggering a series connected complementary transistor flip-flop is described.

Also measurements have been made for the operation region with respect to the input pulse variation. This circuit is compared with a Eccles-Jordan flip-flop when it is used as a Nixie tube driver or a neon lamp driver.

概 要

Transistor series connected flip-flop 으로 ring counter 를 構成할 때의 trigger 方法에 對해 說明하고 input pulse 에 對한 動作 範圍를 測定 하였다. 또한 counter 의 記憶·情報表示 方法으로 neon lamp 및 Nixie tube 를 使用할 때 Eccles-Jordan 型 flip-flop 과 比較 考察 하였다.

1. 序 論

그림 1 에 表示되어 있는 바와 같이 NPN 및 PNP transistor 의 emitter 를 연결하고 한쪽 transistor 의 collector 에서 다른 transistor 의 base 에 直流的으로 連結 하면 Eccles-Jordan 型 flip-flop 과는 다른 型의 動作을 하는 flip-flop 가 構成 된다.

Eccles-Jordan 型 flip-flop 에서는 導通이 두 transistor 사이에서 依次적으로 교대로 일어 나지만 이 경우에는 두개가 같이 導通되거나 또는 두개가 다 遮斷되는 두가지 狀態를 갖는다.

이러한 回路는 一部에 알려져는 하였으나 適當한 trigger 方法이 알려지지 못한 것과 이 回路가 갖는 根本的인 長點에 對한 認識이 되어 있지 않아 거의 使用

되지 않았던 것 같다.

그러나 이 回路에는 다음과 같은 長點이 있는 것이다.

① 두 transistor 가 동시에 導通하는 까닭에 適當한 方法으로 ring counter 를 구성한다면 다만 한개의 flipflop 만이 電流를 통하므로 電力이 節約된다.

② Series 로 연결되어 있고 둘이 동시에 導通 또는 遮斷되므로 個個의 transistor 가 낼 수 있는 出力 電壓의 승과 같은 出力 電壓을 낼 수 있다.

①은 Eccles-Jordan 型에서는 狀態가 0 이든 1 이든 같은 電流가 흐르기 때문에 ring counter 를 구성할 경우에는 電力 損失이 크지만 이 경우에는 하나만이 電流를 導通하므로 電力 損失이 적어 可搬型 counter 의 製作을 용이케 한다.

②는 gas tube 를 表示 裝置로 使用할 경우 특히 유리한 條件이 된다. Scaler 의 計數值의 表示에 많이 이용되고 있는 neon lamp 나 Nixie tube 는 適當한 動作을 하기 爲해 40 V 以上의 voltage swing 을 要하며 一般的으로 말해서 이 電壓은 flip flop 자신이 供給하기에는 너무 높은 電壓이다. 뿐만 아니라 종래 널리 使用되어 오던 Eccles-Jordan 型에 의한 1224 BCD 또는 1248 BCD 出力을 내는 scaler 에서는 이들 表示管이 必要로 하는 拾進 出力을 내기 爲해 diode matrix 또는

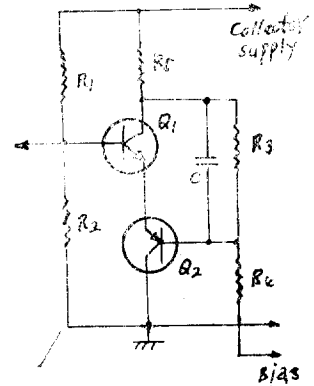


그림 1. Series connected multivibrator의 基本回路 (Fig. 1 Basic diagram of a series connected multivibrator)

* ** ** 原子力研究所 電子工學研究室
Electronics Division
Atomic Energy Research Institute

resistor matrix 를 사용해야 하며 2N398 같은 高電壓 transistor 에 의한 高出力 電壓을 갖는 flip-flop 와 並用 되어야만 한다. 이 diode matrix 를 사용하지 않기 爲해 neon lamp 의 경우 quinary ring counter 와 binary flip flop 를 사용할 수 있으나 이 때 ①에서 지적한 점에서 series connected flip-flop 에 비해 損이 된다.

뿐만 아니라 뒤에서 說明할 點과 같은 動作 速度의 경우에도 有利하진 못하며 高耐壓 transistor 를 사용해야 한다는 點은 그대로 남는다.

이러한 點을 考慮한다면 gas tube 를 表示 裝置로 갖는 counting 回路로서는 이 回路는 Eccles-Jordan 型 回路에 비해 利用 價値가 있다 하겠다.

2. Trigger 方法

여기서 trigger 方法에 對하여 論하기 앞서 그림 1 의 回路에 對한 基本的인 性格을 明白히 하여야만 하겠다.

Positive voltage sweep

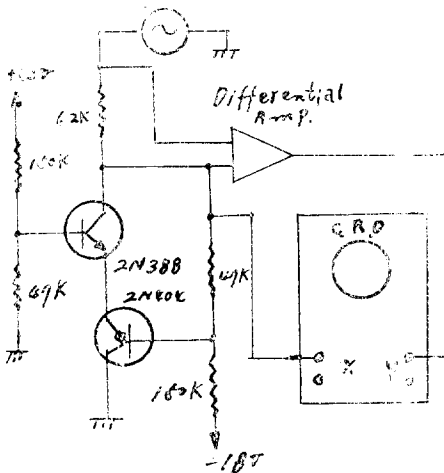


그림 2A. Collector 電壓 對 collector 電流特性 測定回路
(Fig. 2A A method of measuring the collector voltage to the collector current characteristics)

그림에서 알 수 있는 바와 같이 Q_1 의 base 는 抵抗을 通하여 固定電壓源에 連結되어 있는 것과 같으며 Q_2 의 base 는 Q_1 의 collector 에 直流的으로 連結되어 있다. 그리고 Q_1 의 base 電位는 Q_1 가 導通하지 않을 때 Q_2 의 base 의 電位보다 약간 낮게 되어 있다. 따라서 이 回路는 外部의인 자극이 없는 限 導通하지 않을 것이다. Q_1 과 Q_2 가 導通인 때에는 Q_1 의 collector 의 電位

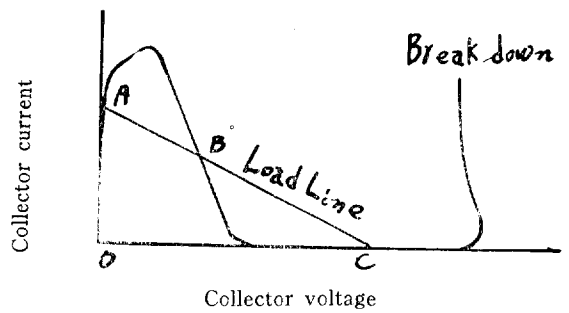


그림 2B. Collector 電壓 對 電流特性
(Fig. 2B Characteristic curve of the collector voltage to the collector current)

는 거의 零이므로 R_1 을 通해 Q_1 의 base 에 R_1 를 通해 Q_2 의 base 에 各各 電流가 흐르며 그 크기는 Q_1 과 Q_2 가 포화 상태가 될만치 充分히 크게 할 수 있고 따라서 外部의 자극 없이도 導通이 遮斷되지 않는다. 이와 같이 不安定點이 있어 flip-flop 로 動作할 수 있을 것이다.

Q_1 의 collector 에서 본 電流 電壓 特性을 測定하기 爲해 그림 2A 와 같은 回路를 使用하여 oscilloscope 에 의해 그 特性을 보면 그림 2B 와 같다.

그림 2B 에서 이 回路는 negative resistance 를 갖는 區域이 있음을 알 수 있으며 load line 을 適當히 設定하면 不安定點(A 및 C)을 가지며 兩개의 不安定 平衡點(B)이 있음을 알 수 있다.

이상에서 說明한 것에 의해 이 回路의 基本性格이 明白 하여졌으며 따라서 適當한 trigger 方法을 생각할 수 있게 되었는데 여기서 trigger 作用을 遮斷에서 導通, 導通에서 遮斷의 두가지 경우에 對해 個別的으로 생각하면

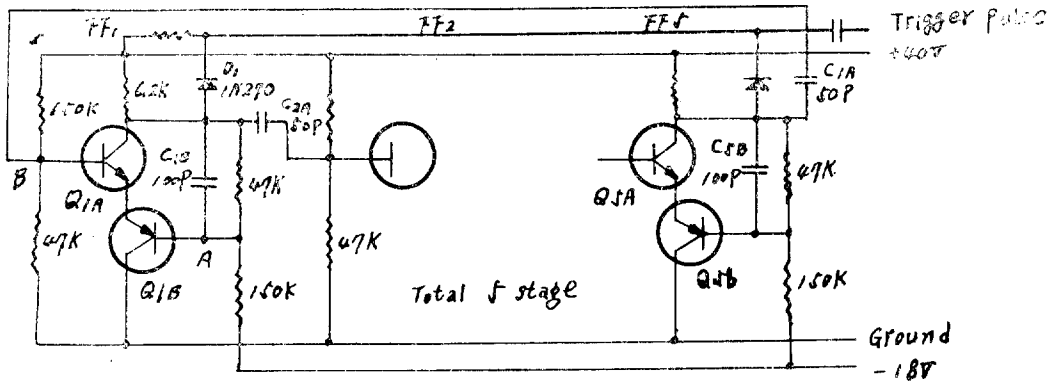
遮斷에서 導通의 trigger

- A) Q_1 의 base 에 positive pulse 를 加한다.
- B) Q_2 의 base 또는 Q_1 의 collector 에 negative pulse 를 加한다.
- C) Q_1 및 Q_2 의 emitter 에 negative pulse 를 加한다.

導通에서 遮斷의 trigger

- A) Q_1 의 base 에 negative pulse 를 加한다.
- B) Q_1 의 collector 또는 Q_2 의 base 를 強制로 positive 로 drive 한다.

위와 같은 경우를 생각할 수 있다. 이러한 條件을 滿足 시키는 適當한 回路로 ring counter 를 構成하여야 하며 可能한 方法은 몇가지가 있겠으나 그림 3 과 같은 方法을 채택 하였다. 여기서 그림 3 의 trigger cycle 에 對해서 說明 하면 다음과 같다.

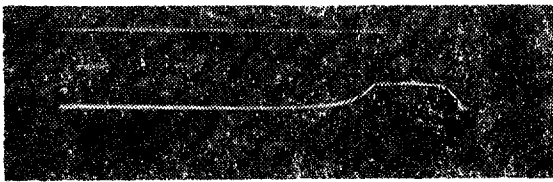


Q/A...Q5A : 2N404

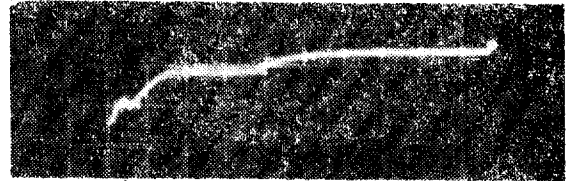
Q/B...Q5B : 2N388

그림 3. Quinary ring counter 回路

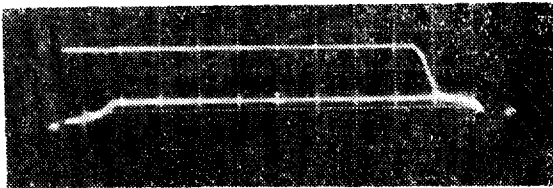
(Fig. 3 Quinary ring counting circuit)



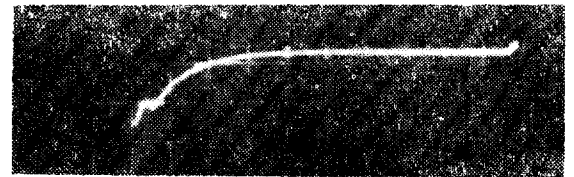
A) 0.5 μ sec pulse input



A) 0.5 μ sec pulse input



B) 2 μ sec pulse input



B) 2 μ sec pulse input

그림 4. 導通 시작할때의 collector 波形과 input pulse

(Fig. 4 Collector waveform and input pulse when the flip-flop becomes to conduct)

그림 5. 導通 終止時의 collector 波形

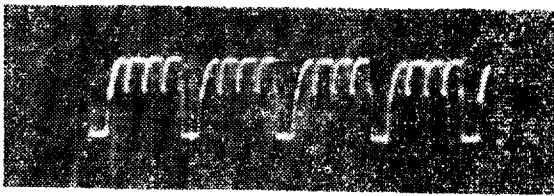
(Fig. 5 Collector waveform when the flip-flop becomes to cut off)

FF_1 은 導通, $FF_2 \dots FF_5$ 는 遮斷 狀態에 있다고 가정하고 negative pulse 에 依해 trigger 된다고 하자. FF_1 은 導通 狀態이므로 Q_{1A} 의 collector 電位는 거의 零이며 D_1 은 reverse bias 되어 있는 까닭에 negative trigger pulse 가 collector supply voltage (+40V)보다 크지 않은 限 D_1 은 導通하지 않으며 $D_2 \dots D_5$ 만이 導通하여 $Q_{2A} \dots Q_{5A}$ 의 collector 電壓은 이 pulse 에 따라 減少할 것이다.

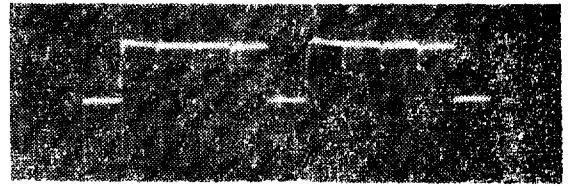
따라서 $Q_{2B} \dots Q_{5B}$ 의 base 電位도 變하지만 이때 $Q_{3A} \dots Q_{5A}$ 의 base 電位도 各各 階段 앞의 collector 에 capacitor $C_{3A} \dots C_{5A}$ 를 通해 연결되어 있어 같은 電位 變

化가 일어나기 때문에 $FF_3 \dots FF_5$ 까지는 導通하지 않으며 FF_2 는 Q_{2A} 의 base 電壓과 Q_{2B} 의 base 電壓의 差만치 negative pulse 가 加해지면 導通하겠으나 그보다 앞서 Q_{5A} 의 collector 電位의 變化가 C_{1A} 를 通해 Q_{1A} 를 遮斷할 것이며 Q_{1A} 의 collector 電位는 上昇하여 Q_{2A} 의 base 電位를 높여 줄 것이고 따라서 FF_2 는 導通하게 될 것이다.

결과적으로 negative trigger pulse 에 依해 FF_1 의 導通 狀態가 FF_2 로 移動한 것이다. 이상의 說明에서 明白히 밝혀진 것과 같이 trigger pulse 의 크기는 D_5 의 reverse bias (D_5 의 negative side 는 +40V 이며



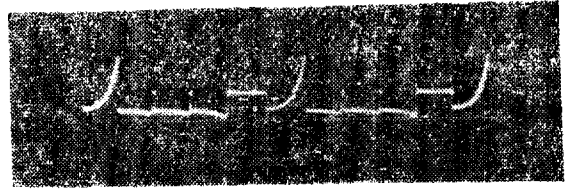
A) 400 KC



A 點



B) 100 KC



B 點

그림 6. Collector 波形
(Fig. 6 Collector waveform of a
quinary ring counter)

positive side 는 6.2K 와 47K, 150K 의 voltage divider 에 의해 약 37V, 따라서 약 3V 의 reverse bias 가 가해져 있음)와 D_5 의 導通에 必要한 電壓 및 Q_{1A} 를 遮斷하는데 必要한 電壓만이면 充分하기 때문에 理想的인 경우 약 3.5V 정도이겠으나 실제로는 C_{1A} 의 微分效果 및 C_{1A} 와 Q_{1A} 의 base 의 input capacitance 에 의한 分壓效果 등에 의해 약 8V 의 pulse 가 必要하다.

또한 trigger cycle 은 negative pulse 가 약 8V 가량이 되면 (rise 部分에서) FF_1 이 차단되며 (storage time 만차 delay 되기는 한다.) 그에 따라 FF_2 가 導通되는 까닭에 實質的으로 trigger pulse 의 rise 部分에서 trigger 作用이 일어나고 trigger pulse 의 振幅이 必要 이상 상당히 크지 않은 限 pulse 의 width 가 큰 것은 문제가 되지 않는다. 이 點은 보통의 Eccles-Jordan flip-flop 가 trigger pulse 에 따라 민감한 것에 비해 長點이라 하겠다.

이러한 trigger mechanism 에 對해서는 그림 4 및 그림 5 의 oscillogram 에서 알 수 있다. 또한 그림 6, 그림 7 에 collector 波形 및 그림 3 의 點 A, 點 B 의 波形을 表示하였다.

3. Counting Speed

一般的으로 주어진 flip-flop 의 最高 計數速度는 transistor 自體의 delay time, rise time, storage time, fall time 등에 의해 制限 받는 것은 極히 적은 部分이며 memory capacitor 의 charge-discharge 에 對하는 시간에 의해 制限된다 하겠다. (高速度 動作을 爲해 낮

그림 7. 그림 3 의 A, B 點 波形 (100 KC)
(Fig. 7 Waveforms at the point A and
the point B of the Fig 3)

은 collector supply 電壓과 抵抗을 使用하고 base 와 emitter 사이에 diode 를 삽입하여 discharge time 을 단축하는 등의 考慮를 한 경우에는 例外이지만)

Eccles-Jordan 型 flip-flop 의 경우 狀態의 變轉 사이의 時間은 遮斷된 transistor 의 base 의 電壓이 memory capacitor 의 discharge 에 의해 어느 정도 正常 狀態에 가까워진 수 있는 程度이어야 하며 따라서 計數 定數가 적어야만 速度가 키질 것이다. 이 計數定數를 적게 하기 爲해 C 의 値를 작게 한다면 trigger sensitivity 가 적어지며 R 을 작게 한다면 R 의 tolerance 限界가 어진다. 그러므로 C 나 R 을 작게 한다는 것은 限界가 있다. 計數速度에 對한 이러한 制限은 series connected flip-flop 의 경우에도 같으며 이 網路의 memory capacitor 는 그림 3 에서 C_{1A} , $C_{1B} \cdots C_{5A}$, C_{5B} 로 表示되어 있다. 그러면 이들 capacitor 에 의해 制限되는 시간에 對해 생각하여 보기로 한다.

지금 FF_5 의 導通이 FF_1 으로 移動한 경우 C_{1A} 는 C_{5A} 의 collector 負荷抵抗 6.2 K Ω 에 의해 charge 되며 C_{1B} 는 Q_{1A} , Q_{2B} 를 통해 discharge 된다. 또한 C_{2A} 는 Q_{2A} 의 base 의 47 K Ω 및 150 K Ω 에 의해 charge 되어지며 이 capacitor 가 充分히 charge 되어지지 않으면 다음 trigger cycle 의 進行에 惡影響을 미칠 것이다.

그러나 이 경우의 C_{2A} 의 作用은 FF_1 의 導通에서 遮斷의 變化를 Q_{2A} 의 base 에 傳達하는 役割 뿐이기 때문에 Q_{2A} 의 base 및 Q_{2B} 의 base 의 電位差보다 큰 電壓만 charge 된다면 充分한 것이며 Eccles-Jordan 型에서와 같이 兩 transistor 의 導通을 결정하는 要素가 되지 않

기 때문에 charge 되는 電荷가 充分히 크지 않더라도 困難한 문제는 초래되지 않는다. 이 capacitor의 charge 되는 모양이 그림 7에서 圖示한 것으로 明白히 알 수 있다.

이러한 條件에 依해 그림 3의 回路로서 400 KC의 動作速度를 얻을 수 있었다. (2N404의 fab는 minimum 4 mc 이며 400 K는 그의 10%로서 Eccles-Jordan 型에서의 一般的인 數値 7~10%에 比해 우수한 邊에 屬하며 collector load resistor가 6.2 K Ω 인 것을 考慮한다면 이것은 대단히 優秀한 結果라 하겠다.)

4. Operation Stability

어떤 種類的의 回路에서도 그렇지만 flip-flop의 경우 operation stability는 大端히 重要的인 問題이다. Flip-flop는 大體의 경우 相當數가 같은 power supply에 依해 動作 시켜질 때가 많으며 이때 個別的인 flip-flop의 stability가 우수 하더라도 全體로서의 stability는 과히 좋은 것이 못되는 경우가 많다.

그것은 各各의 flip-flop의 安定動作區域이 一致하지 않는데에 原因이 있으며 따라서 power supply의 電壓 安定度가 嚴格히 規定되어져야만 할 경우가 있으며 이로 因해 power supply가 複雜해 진다. 그러므로 flip

flop의 設計에 있어서 무엇 보다도 重要的인 것은 stability에 關한 問題이며 series connected flip-flop의 경우는 이 點에서 相當히 優秀한 結果를 얻었다. Stability 測定을 爲해 bias supply 및 collector supply 電壓의 變化

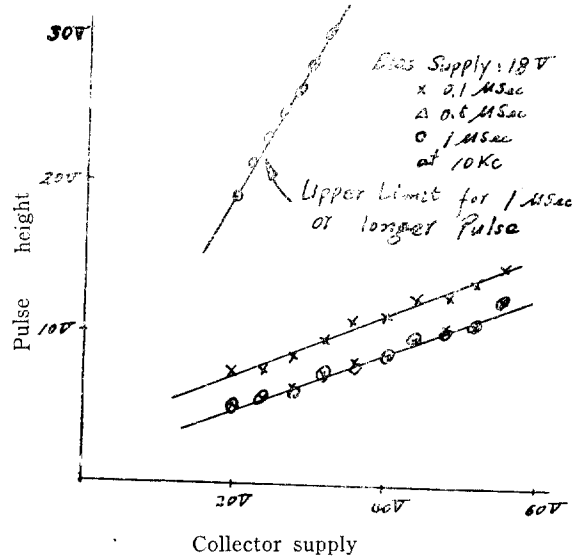


그림 9. Collector 電壓과 入力 pulse를 變化시켰을 때의 動作範圍 (Fig. 9 Stable operation limit when input pulse height and collector supply voltage are varied)

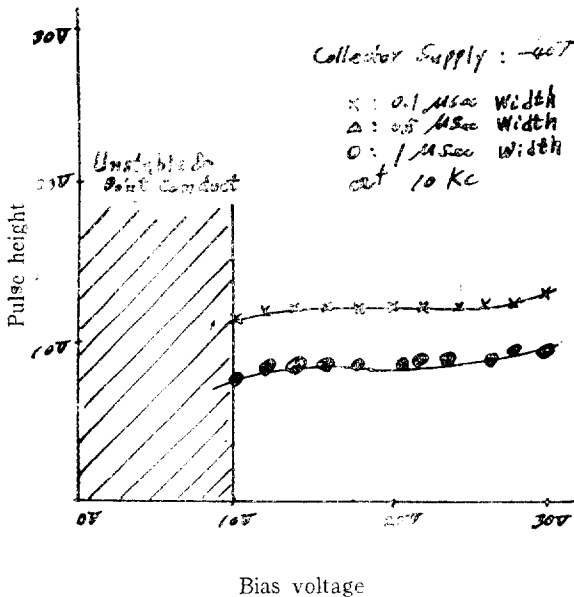


그림 8. Bias 電壓과 入力 pulse를 變化시켰을 때의 動作範圍 (Fig. 8 Stable operation limit of series connected flip-flop when input pulse height and bias voltage are varied)

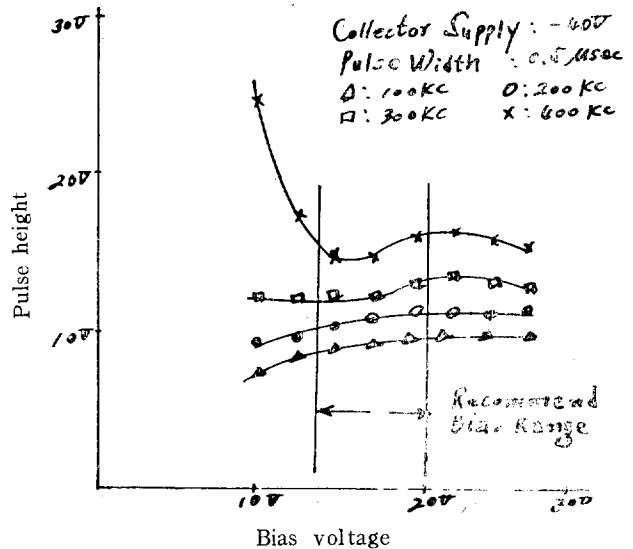


그림 10. 주파수를 變化시켰을 때의 bias 電壓과 input pulse에 對한 安定動作 區域 (Fig. 10 Operation limit with the parameter of frequency when bias voltage and pulse height are varied)

를 橫軸으로 하고 input pulse의 크기를 縱軸으로 하여 stable operation region을 測定한 그림을 그림 8과 그림 9에 表示하였다. 그림 8에서 볼때 bias supply 電壓은 10~30 V에 걸쳐 變化시켰으나 動作에는 거의 變化가 없으며 10 V 以下에서는 動作하지 않는다. 또한 pulse width도 0.5~1 micro sec 사이에서 아무런 影響이 없음을 알수 있다.

그림 9에서는 collector supply 電壓이 20 V~56 V에 걸쳐 變化하여도 充分히 넓은 operation region을

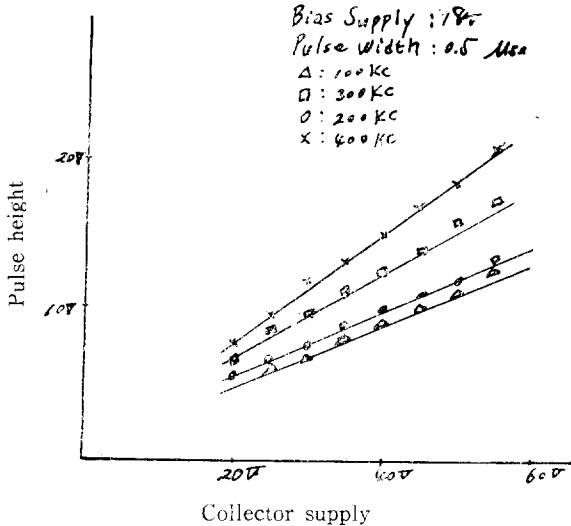


그림 11. 주파수를 變化시켰을때의 collector 供給電壓과 input pulse에 對한 安定動作 區域 (Fig. 11 Operation limit with the parameter of frequency when collector supply voltage and pulse height are varied)

찾음이 나타나 있다. 그림 9에 pulse height의 上限이 나타나는데 이것은 collector supply 電壓과 같은 크기의

pulse에 의해 全體의 flipflop가 collector 電壓이 零으로 되는 시간이 길어짐에 따라 C_{1A}, \dots, C_{5A} 의 電荷의 차이가 없어지는 데에 기인한다.

또한 그림 8, 그림 9에서는 quinary scaler 單獨으로 測定한 경우이지만 實際로는 cascade로 연결하여 collector 波形을 微分해서 次段을 驅動하기 때문에 trigger pulse가 크다는 것은 좋지 않은 影響을 미칠 것이다. 따라서 必要充分한 以上의 큰 pulse로 驅動한다는 것은 오히려 不利한 결과를 초래할 것이다. 그림 10 및 그림 11에는 input pulse width를 0.5 μ sec으로 一定히 하고 pulse repetition rate를 變化시켜 stability를 測定한 결과를 表示 하였다. 그림 10과 그림 11에서 볼때 repetition rate가 커지면 trigger pulse가 커지지만 動作하는것을 알수 있는데 이것은 一般的인 flip-flop에서도 같은 경향을 갖는다. 그림 8~그림 11에서 明白히 알수 있는 것은 供給電壓과 入力 pulse가 相當히 크게 變化하더라도 安定하게 動作한다는 點이다.

5. 經濟的 比較

表示管으로서 neon lamp를 使用하는 경우에는 高耐壓 transistor에 의한 Eccles-Jordan flip-flop로도 充分하며 이때 使用되는 transistor는 PNP alloy type로 可能한 때문에 구배어 series connected flip-flop에 依하지 않더라도 비슷한 價格으로 製作할 수가 있으나 Nixie tube를 使用할 경우에는 positive의 pre-bias가 要求되어 지기때문에 PNP type로는 적당하지 못하며 대개의 경우 Eccles-Jordan flip-flop에 依한 拾進回路와 diode matrix 및 NPN 高耐壓 transistor에 依한 driver amplifier로 構成된다. NPN의 高耐壓 transistor는 PNP型에 비해 高價이며 더욱 diode matrix 때문에 相當한 費用이 들지만 그림 12의 방식에 依하면 diode matrix가 감소화 되고 그림 3의 quinary

表 1.

方式	Eccles-Jordan 型		그림 12의 方式		Decimal ring		Bi-quinary	
部品名								
抵抗	58 ea	\$ 1.74	36 ea	\$ 1.08	51 ea	\$ 1.53	37 ea	\$ 1.11
容量	14 ea	\$ 0.56	16 ea	\$ 1.10	21 ea	\$ 0.84	16 ea	\$ 0.64
Diode	48 ea	\$ 12.00	17 ea	\$ 4.25	10 ea	\$ 2.50	7 ea	\$ 1.75
Transistor	18 ea	\$ 9.54	14 ea	\$ 4.86	20 ea	\$ 6.80	14 ea	\$ 4.76
計		\$ 23.84		\$ 11.29		\$ 11.67		\$ 8.26

1. Eccles-Jordan型—2 N 404 8 ea, 2 N 388 A 10 ea.
2. Decimal ring 및 Bi-quinary 방식—2 N 404 및 2 N 388 이 同數.
3. 그림 12의 방식—2 N 388 7 ea, 2 N 404 5 ea, 2 N 398 2 ea.
4. Resistor—\$ 30/1000 ea. Capacitor—\$ 20/500 ea.
1 N 270—\$ 25/100 ea. 2 N 404—\$ 28/100 ea.
2 N 388 A—73/100 ea. 2 N 398 A—\$ 33/100 ea.

ring counter를 decimal ring counter로 하면 diode matrix는 必要 없게 된다. 特히 最近에 發表된 shield grid型 Nixie tube를 使用한다면 series connected flip-flop에 依한 Bi-quinary 回路면 足한 고로 더욱 價格을 낮게 할수 있다.

Eccles-Jordan型에 依한 方式과 그림 12의 方式 decimal ring counter에 依한 方式 Bi-quinary 方式에 對해 部分品 費用을 계산 하여 보면 表 1과 같다. 여기서 불배 diode matrix를 除去 한다는 것은 價格을 낮춘다는 面에서 絶對的이라 하겠다.

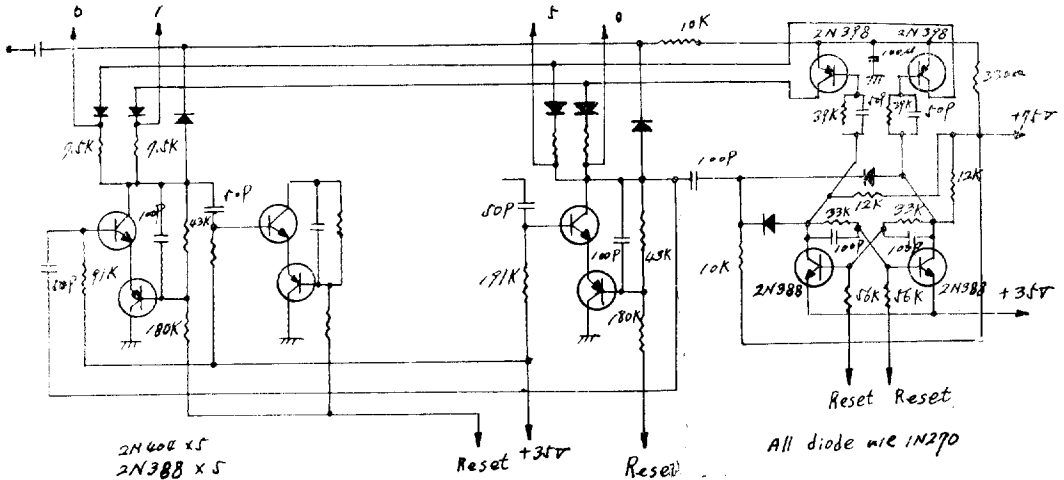


그림 12. Nixie tube 驅動을 爲한 Bi-quinary counter
(Fig. 12 Bi-quinary counter circuit for Nixie tube drive)

6. 結 論

以上에서 說明한 series connected flip-flop의 實用回路로서 그림 12와 같은 Nixie tube drive用 Bi-quinary scales를 製作하여 實用計數速度 190kc/sec를 얻었으며 이것은 그림 3에서 얻어진 速度보다 늦은 것이나 3.에서 說明한 바와 같이 $C_{1A} \cdots C_{5A}$ 의 charging time constant가 길기 때문이며 (그림 3에서는 150KΩ와 47Ω의 並列抵抗에 依해 charge되며 그림 12에서는 91Ω에 依해서 charge되기 때문이다.) 이것은 그림 12의 回路가 그림 3의 回路보다 높은 collector supply 電壓을 使用하기 때문에 發生하는 必然的인 結

과라 하겠다.

이 series connected flip-flop의 實驗은 그 動機가 battery operated portable scaler의 製作에 있었던 만치 그러한 目的을 爲해서는 가장 適當한 方式 中の 하나라고 할수 있겠다. 또한 이 方式의 flip-flop를 낮은 電壓에서 動作하는 shift-register로 使用한다면 Eccles-Jordan型에 依한 方式보다 高速으로 動作할 것이며 우수한 結果를 갖어올 것이다.

이 研究를 爲해 아낌 없는 수고를 하여 주신 韓光洙氏, 崔元永氏, 孟弘祐氏에게 感謝를 드립니다.

(1964年 8月 25日 接受)