

# MMC 기반 HVDC 시스템용 서브모듈 성능시험을 위한 새로운 시험회로 및 제어기법

서병준, 조광래, 노의철, 김흥근\*, 전태원\*\*  
부경대학교, 경북대\*, 울산대\*\*

## Novel Circuit and Control Method for the Test of Sub-module of MMC-based HVDC System

Byuong-Jun Seo, Gwang-Rae Jo, Eui-Cheol Nho, Heung-Geun Kim\*, Tae-Won Chun\*\*  
Pukyong National Univ., Kyungpook National Univ.\*, University of Ulsan\*\*

### ABSTRACT

본 논문에서는 새로운 MMC(Modular Multilevel Converter) 용 SM(Sub-Module) 시험회로와 이를 제어하기 위한 제어기법을 제안한다. 계통연계형 MMC 시스템에서 한 상의 암(arm)에 흐르는 전류는 계통주파수의 2고조파 성분과 DC 전류를 포함하고 있다. 제안하는 시험회로는 암 전류를 선형적으로 근사화하고, 시험전류의 DC 성분을 제어하여 시험할 SM의 전압을 일정하게 유지한다. 시뮬레이션을 통해 제안하는 SM 시험회로와 제어의 타당성을 검증하였다.

### 1. 서론

최근 신재생에너지의 비율이 지속적으로 확대되면서 기존 AC 송전방식으로는 계통과 신재생에너지 단지를 연계하기 불가능한 경우가 발생하고 있다. 이러한 기술적 한계를 극복하기 위해 HVDC(High Voltage Direct Current Transmission System) 기술이 적용되고 있다. 그 중 MMC(Modular Multilevel Converter) HVDC 시스템은 전류형 HVDC 시스템과 비교하여 무효전력과 유효전력의 독립제어가 가능하여 계통측 필터 크기가 감소하는 등의 장점으로 현재 활발한 연구가 이루어지고 있다<sup>[1]</sup>.

하지만 MMC HVDC 시스템에서 SM의 성능을 시험하기 위해 HVDC 시스템을 구성하는 것은 굉장히 비효율적이기 때문에 MMC HVDC용 SM 시험회로 연구가 진행되고 있다. 하지만 DC 성분을 공급하지 못하거나 스위칭 주파수가 높아 손실이 높다는 단점이 있다.

본 논문에서는 DC 오프셋 전류를 가지며 암(arm) 전류를 선형적으로 근사화한 시험 전류를 이용하여 SM의 성능을 시험하는 새로운 회로를 제안하고 제안한 회로를 제어하는 기법에 관하여 제시하였다. 이를 시뮬레이션을 통해 타당성을 검증하였다.

### 2. HVDC MMC용 SM 시험회로 및 제어기법

그림 1과 그림 2는 제안하는 SM 시험회로와 정상상태 동작시 파형을 나타낸 것이다. 제안하는 시험회로는 풀브릿지 인버터와 인버터에 직렬로 연결된 커패시터( $C_1$ )와 인덕터( $L$ )로 구성되어있다. 이때  $C_1$ 의 전압을 일정하게 유지하기 위해

DC-DC 컨버터를 사용하였다. 시험회로의 입력 전압은 시험할 SM의 커패시터 전압의 평균과 같으며  $V_1$ 은 시험전류의 형태에 따라 자유롭게 변경할 수 있으며, 시험회로 동작 분석을 위해 커패시턴스가 충분히 커서 이상적인 전압원으로 간주하였다. 본 논문에서  $V_1$ 은 SM 커패시터 전압의 0.75배로 가정하였다. 시험전류의 주파수가 계통 주파수이기 때문에 시험전류의 상승, 하강 기울기는 시험회로 내 인덕터의 인덕턴스로 정해지며 식 (2)을 이용해 구할 수 있다.

$$\langle v_{C,SM} \rangle = V_{in} = V_1/0.75 \quad (1)$$

$$L = \frac{3}{16} \langle v_{SM} \rangle \times \frac{T_g}{2i_{pk}} \quad (2)$$

선형전인 시험 전류를 위해 풀브릿지 인버터는 SM의 스위치 상태에 따라 알맞은 전압을 출력하여야한다. 시험 전류가 상승 기울기인 경우, 인덕터의 전압을 양으로 유지하기 위해 풀브릿지 인버터는 SM 출력전압( $v_{SM}$ )과 인버터 출력전압( $v_o$ )의 합이 0이 되도록 해야한다. 반대로 시험 전류가 하강 기울기인 경우, 인덕터의 전압을 음으로 유지하기 위해 풀브릿지 인버터는 SM 출력전압( $v_{SM}$ )과 인버터 출력전압( $v_o$ )의 합이 SM 커패시터 전압의 평균이 되도록 동작하여야 한다. 이러한 관계를 식 (3)과 표 1에 나타내었다.

$$v_L = v_o + V_1 - v_{SM} \quad (3)$$

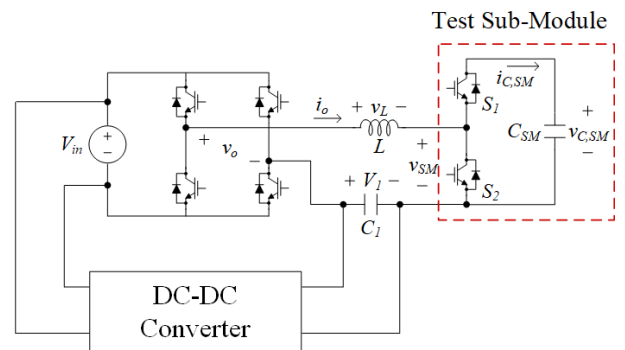


그림 1. 제안하는 HVDC MMC용 SM 시험회로  
fig. 1. Proposed SM test circuit for HVDC MMC

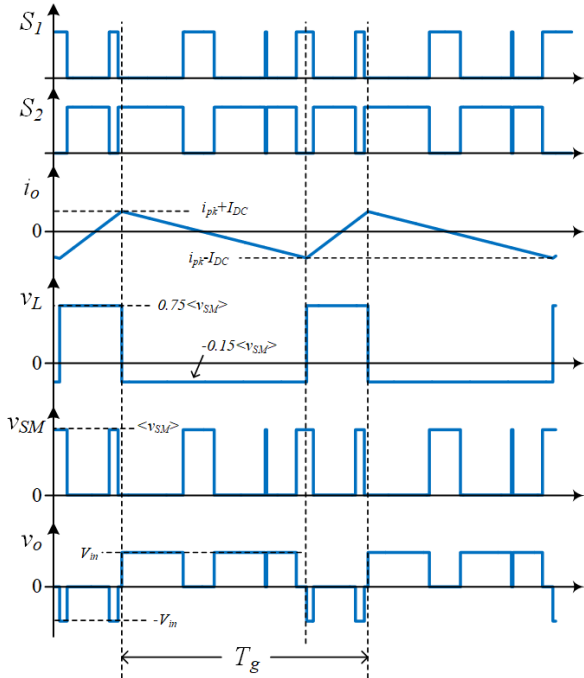


그림 2. 제안하는 HVDC MMC용 SM 시험회로  
fig. 2. Proposed SM test circuit for HVDC MMC

표 1 전류 기울기에 따른 풀브릿지 인버터 출력  
Table 1 Current slope with output of full bridge inverter

	Current slope	$v_{SM} = \langle v_{C,SM} \rangle$	$v_{SM} = 0$
$v_o$	Rising	$V_{in}$	0
	Falling	0	$-V_{in}$

시험회로를 구성함에 있어 인덕터의 저항, 스위치 저항 등으로 인해 실제 시험 전류의 최대치는 계산 값보다 작게 된다. 그러므로 히스테리시스 제어를 사용하였을 경우, 시험 전류의 주파수가 줄어드는 현상이 발생한다. 따라서 히스테리시스 전류제어를 사용하여 전류를 제어하되 계통의 주파수와 시험 전류의 주파수를 알맞게 맞추기 위해 히스테리시스 밴드를 조정할 필요가 있다. 또한 SM 커패시터의 전압( $v_{SM}$ )이 일정하게 유지되려면 SM 커패시터의 입력전류의 한주기 동안 평균이 0이어야 한다. 그러므로 SM 커패시터의 전압을 제어하기 위해 PI 제어기를 사용하여 시험 전류의 DC 오프셋을 조정할 필요가 있다. 그림 3은 설명한 내용을 블록 다이어그램으로 나타낸 것이다.

### 3. 시뮬레이션

제안하는 SM 시험회로와 제어기법의 타당성을 검증하기 위해 시뮬레이션을 실시하였다. 표 2은 시뮬레이션 파라미터를 나타내고 그림 4는 각 시험 전류( $i_o$ )와 SM 커패시터의 입력 전류( $i_{C,SM}$ ), SM 커패시터의 전압( $v_{SM}$ ), 풀브릿지 인버터의 출력 전압( $v_o$ ),  $V_1$ 을 나타낸 것이다.

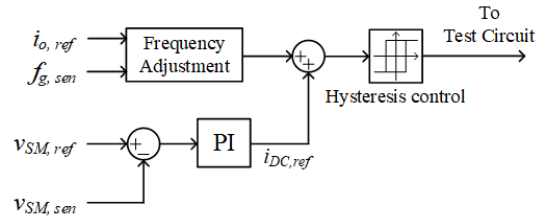


그림 3. 제안하는 전류 제어기의 블록 다이어그램  
fig. 3. Block diagram of the proposed current controller

표 2 시뮬레이션 파라미터  
Table 2 Simulation Parameters

$\langle v_{SM} \rangle, V_{in}$	1000 [V]	$L$	5.6 [mH]
$V_1$	750 [V]	$i_{pk}$	280 [A]
$C_1$	21 [mF]	$f_g$	60 [Hz]

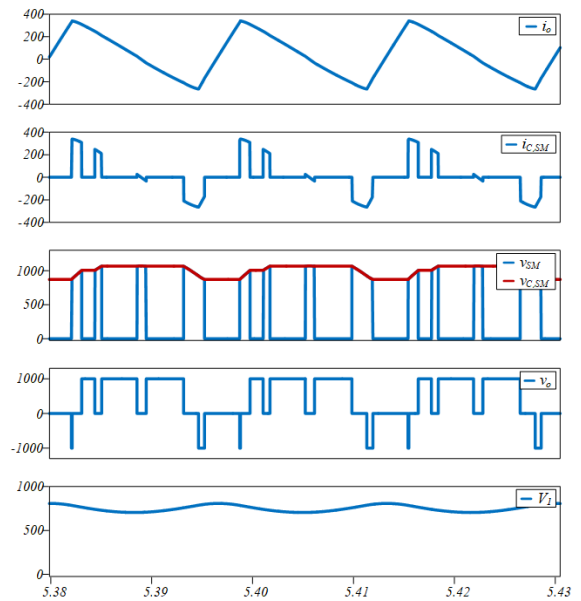


그림 4. 제안하는 시험회로의 시뮬레이션 결과 파형  
fig. 4. Simulation waveforms of the proposed test circuit

시뮬레이션을 통해 시험 전류의 주파수는 계통 주파수와 같으며 SM 커패시터의 전압을 일정하게 유지됨을 확인할 수 있었다.

### 4. 결론

본 논문에서는 새로운 HVDC MMC용 SM 시험회로를 제안하고 이를 위한 제어기법을 제안하였다. 제안하는 시험회로와 제어기법을 시뮬레이션을 통해 타당성을 검증하였다.

제안하는 SM 시험회로가 MMC HVDC의 SM 성능 검증에 유용하게 사용될 것으로 기대된다.

### 참고 문헌

- [1] 이승민, 채상현, 김호민, 김일환, “전압형 HVDC에 의한 제주계통의 풍력한계용량 증대 방안,” 전력전자학회 하계학술대회 논문집, pp. 461-462, Jul. 2015.