

# 비엔나 정류기에 대한 DPWM 방법의 커패시터 수명에 미치는 영향

권일섭, 임재욱, 김학원, 조관열  
한국교통대학교

## Effects on Capacitor Life Time of DPWM Method for Vienna Rectifier

Il Seob Kwon , Jae Uk Lim , Hag Wone Kim , Kwan Yuhl Cho  
Korea National University of Transportation

### ABSTRACT

비엔나 정류기의 효율 개선을 위해 일반적으로 SVPWM이 가장 많이 사용되고 있다. 하지만 이보다 더 좋은 효율을 위해 스위칭 손실을 저감한 DPWM 기법에 대한 연구가 활발하게 진행되고 있는 상황이다. 본 논문에서는 DPWM 기법을 활용 시 발생하는 Power device의 손실을 분석하고, 커패시터 손실 및 수명을 추정 하는 연구를 진행했다.

### 1. 서 론

최근 화석 연료 에너지 고갈 및 환경 문제로 인하여 전기자동차에 대한 관심이 증가하고 있으며, 이에 따라 전기자동차가 많이 보급 되고 있는 상황이다. 전기자동차의 단점인 긴 충전 시간을 해소하기 위해서 급속 충전기에 대한 연구가 활발히 진행 중이다. 급속 충전기에는 3레벨 비엔나 정류기가 이용 된다. 비엔나 정류기의 펄스 폭 변조(Pulse Width Modulation, 이하 PWM) 방법에는 주로 SVPWM(Space Vector PWM)이 사용 된다. SVPWM은 다른 변조 기법과 비교하여 동일 직류 링크 전압 하에서 가장 큰 교류 상 전압을 얻을 수 있고 또한 출력 전류의 고조파가 적다는 장점이 있다<sup>[1]</sup>. 그럼에도 불구하고 더 높은 효율을 위해 스위칭 손실을 저감하는 기법인 불연속 펄스 폭 변조 DPWM(Discontinuous PWM)에 대한 연구들이 진행 되어 왔다. 하지만 DPWM을 이용하면 3차 고조파 발생으로 인하여 커패시터 등가직렬 저항(ESR) 고려 시 손실 및 수명에 악영향을 끼치게 된다. 본 논문에서는 비엔나 정류기에 3가지 PWM 방식을 적용하여 Power Device 뿐만 아니라 Capacitor에 대한 손실 분석을 진행 하며, 수명을 예측 하였다.

### 2. 본 론

#### 2.1 DPWM 및 CB-DPWM 기법

그림(1)은 비엔나 정류기의 회로도 이다. 비엔나 정류기를 구동하기 위한 PWM 기법은 여러 기법이 있지만 본 논문에서는 SVPWM, 60°-DPWM, Carrier Based-DPWM을 다루었으며, SVPWM 구현 방법은 많은 논문이 있기 때문에 생략 하였다. 60°-DPWM 기법을 다음과 같이 구현 하였다<sup>[2]</sup>. 3상 레퍼런스 전압( $V_{a,ref}, V_{b,ref}, V_{c,ref}$ )은 정류기의 3상 입력 전압( $V_a, V_b, V_c$ )을 이용하여 구할 수 있다. 레퍼런스 전압을 이용

하여 최대값과 최소값을 선정하고, 이를 비교하여 오프셋 전압을 식 (1)과 같이 나타냈다.

$$V_{offset} = \begin{cases} V_{dc}/2 - V_{max} & |V_{max}| \geq |V_{min}| \\ -V_{dc}/2 - V_{min} & |V_{min}| < |V_{min}| \end{cases} \quad (1)$$

$$\text{and } \begin{cases} V_{max} = \max[V_{a,ref}, V_{b,ref}, V_{c,ref}] \\ V_{min} = \min[V_{a,ref}, V_{b,ref}, V_{c,ref}] \end{cases}$$

생성된 오프셋 전압과 레퍼런스 전압을 더해주면 60°-DPWM 기법을 구현 할 수 있다.

$$V_{x,ref,DPWM} = V_{x,ref} + V_{offset} \quad (x = a, b, c) \quad (2)$$

CB-DPWM 기법은 기존의 생성된 오프셋 전압 명령과, 최댓값 최솟값으로부터 계산 된 중간 값을 이용하여 다음과 같은 수식으로 나타냈다<sup>[2]</sup>.

$$V_{offset,Vienna} = \begin{cases} V_{mid} & |V_{min}| \geq |V_{min}|, V_{offset} > V_{mid} \\ V_{dc}/2 - V_{max} & |V_{min}| \geq |V_{min}|, V_{offset} < V_{mid} \\ -V_{dc}/2 - V_{min} & |V_{min}| < |V_{min}|, V_{offset} > V_{mid} \\ V_{mid} & |V_{min}| < |V_{min}|, V_{offset} < V_{mid} \end{cases}$$

$$\text{and } V_{mid} = \text{mid}[V_{a,ref}, V_{b,ref}, V_{c,ref}] \quad (3)$$

$$V_{x,ref,DPWM,Vienna} = V_{x,ref} + V_{offset,Vienna} \quad (x = a, b, c) \quad (4)$$

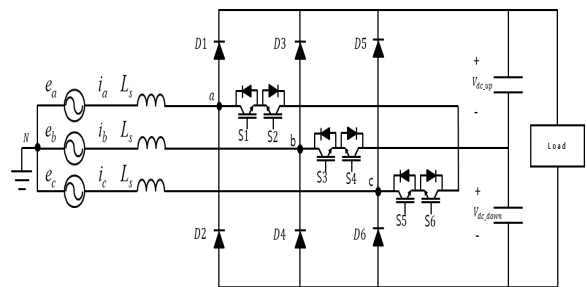


그림 1 비엔나 정류기 회로도

## 2.2 비엔나 정류기 손실 분석

비엔나 정류기의 시뮬레이션 사양은 표(1)과 같다. 그림(2)는 비엔나 정류기의 PSIM 시뮬레이션 회로도를 나타내며 Thermal module을 이용하여 Diode 및 Mosfet의 손실을 계산하였다<sup>[3]</sup>. 시뮬레이션에 사용된 소자들은 실제 시스템을 고려하여 선정되었으며 Datasheet를 참고하여 진행 하였다. 커패시터의 경우 Thermal module을 이용할 수 없기 때문에 이론값만을 계산하였으며, DPWM 기법 활용 시 발생하는 3고조파를 고려하여 Datasheet에 나와있는 ESR을 이용하여 손실 및 수명을 계산하였다. 그림(3),(4)은 각각 시뮬레이션 값과 이론값을 정리한 도표이다. 아래 도표에서 보듯이 Diode 와 Mosfet 모두 60°-DPWM이 가장 손실이 적은 것을 확인 하였다. Capacitor 손실을 보면 3차 고조파가 가장 작은 SVPWM이 가장 적었으며 60°-DPWM은 가장 손실이 크게 나왔다. 그럼에도 불구하고 60°-DPWM을 사용 하는 것이 가장 높은 효율을 보였다. 하지만 커패시터의 수명을 추정하면 다른 결과를 보인다.

표 1 비엔나 정류기의 시뮬레이션 파라미터 값

	$V_{IN}$	$V_{out}$	$L$	$C$	$f_{sw}$
값	220[V]	700[V]	500[ $\mu H$ ]	1950[ $\mu F$ ]	50[kHz]

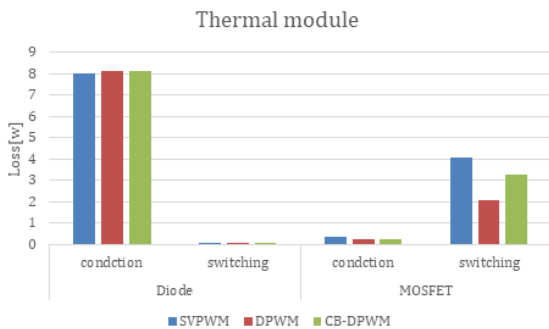


그림 3 Thermal module을 이용한 손실 분석

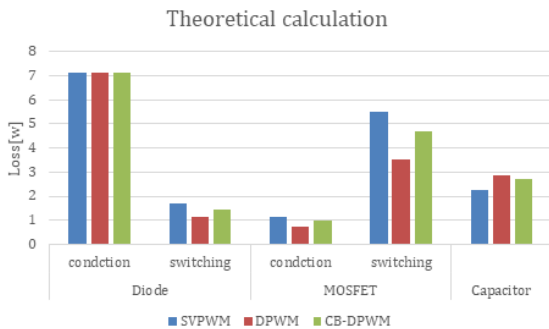


그림 4 비엔나 정류기 손실 분석

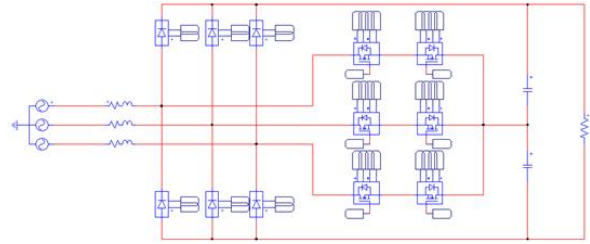


그림 2 비엔나 정류기 PSIM 시뮬레이션 회로도

## 2.3 커패시터 수명 추정

커패시터의 손실은 등가직렬저항(Equivalent Serial Resistance, ESR)을 고려하여 진행 하였으며, ESR은 주파수가 증가할수록 감소하다가 일정 역역을 넘어서게 되면 거의 일정한 특징을 보인다. 또한 온도가 증가함에 따라 ESR의 값은 감소하는 성향이 있다.<sup>[4]</sup> 커패시터 전류의 FFT 분석을 통하여, 비엔나 정류기의 3차 고조파 성분과 스위칭 주파수 대역의 고조파 성분을 구할 수 있다. 각 고조파 성분들과 ESR을 고려하여 커패시터 손실을 계산하면 식 (5)과 같이 표현 할 수 있다<sup>[4]</sup>.

$$Q = \sum_{k=1}^{\infty} i_k^2 \cdot ESR(k) \quad [W] \quad (5)$$

그림(5)는 각 PWM기법의 커패시터 전류의 FFT분석 과정을 나타낸다. SVPWM의 경우 고조파가 적은 특징이 있기 때문에 ESR이 상대적으로 높은 저주파 대역에서의 손실이 적은 것을 볼 수 있다. 60°-DPWM의 경우 3차 고조파가 증가하여 ESR이 높은 저주파 대역에서 손실이 크게 발생하게 된다. 커패시터의 손실은 발생하는 열에 의한 것이기 때문에 열전달 방정식으로 표현 하면 식 (6)과 같이 표현 할 수 있다.

$$Q_{conv} = h \cdot S \cdot \Delta T \quad [W] \quad (6)$$

대류에너지와 복사 에너지로 나뉠 수 있으며, 복사 에너지에는 대류 에너지에 비해 상대적으로 작기 때문에 본 논문에서는 대류 에너지만 다루었다.  $h$ 는 열전달 계수이며,  $S$ 는 커패시터 표면적,  $\Delta T$ 는 온도상승분이다. 식 (5)와 식(6)을 이용하면 온도상승률을 추정할 수 있으며 이를 바탕으로 대략적인 커패시터의 수명을 예측 할 수 있다. 식 (7)은 온도상승률이다.

$$\Delta T = \frac{\sum_{k=1}^{\infty} i_k^2 \cdot ESR(k)}{h \cdot S} \quad (7)$$

커패시터 수명 예측 수식은 Datasheet에 나와있는 커패시터의 동작온도  $T_1$ 와 온도상승률로부터 구할 수 있는 내부의 동작온도  $T_2$ 를 이용하여 다음 수식과 같이 나타낼 수 있다.

$$L_2 = L_1 \cdot 2^{\frac{T_1 - T_2}{10}} \quad (8)$$

그림(6)은 수식(8)을 기반으로 하여 커패시터의 수명을 예측한 결과이다. 3차 고조파가 가장 적은 SVPWM기법이 ESR의 영향이 가장 적기 때문에 수명 예측에서도 가장 긴 수명을 보여주었다. 60°-DPWM기법은 3차 고조파가 가장 크기 때문에 손실과 수명에 영향을 주는 ESR의 영향을 다른 기법들에 비해서 많이 받는다. 그로 인하여 수명이 SVPWM 대비 적게 나타난 것이 특징이다. CB-PWM기법은 60°-DPWM기법과 비교하여서 3차 고조파가 작지만 SVPWM과 비교하였을 경우 매우 크기 때문에 60°-DPWM과 마찬가지로 적은 수명을 보여준다.

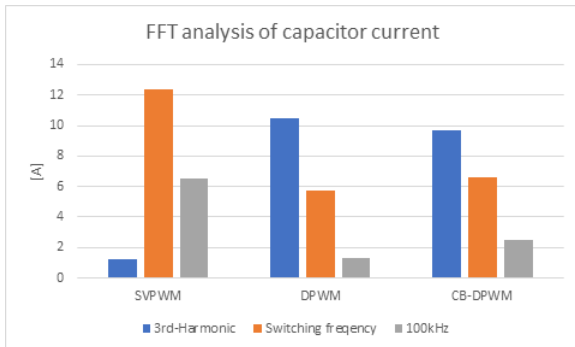


그림 5 커패시터 전류의 FFT 분석

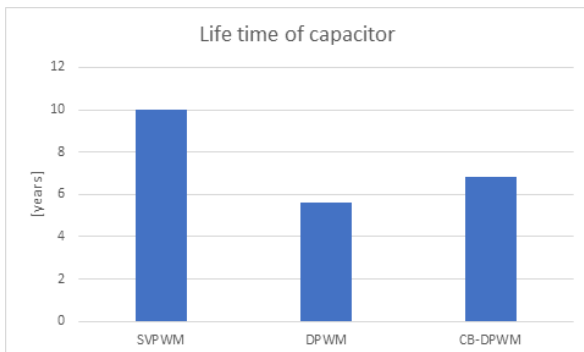


그림 6 커패시터의 수명 추정

### 3. 결 론

비엔나 정류기의 PWM 방법에는 주로 SVPWM이 사용되었으며, 스위칭 손실을 개선하여 높은 효율을 얻을 수 있는 DPWM기법들이 많이 연구되었다. 본 논문에서는 PSIM의 Thermal module을 이용하여 Diode와 Mosfet의 손실을 분석하였으며, 이론적인 계산 값과 비교하였다. Capacitor는 Thermal module을 이용할 수 없기 때문에 이론적인 계산값으로만 진행을 하였다. 이론값과 시뮬레이션 값의 약간의 오차는 존재하지만 각각의 절대적인 성향만 본다면 시뮬레이션과 이론값이 평행적인 결과를 나타내는 것을 확인할 수 있었다. 단순히 효율 측면에서만 본다면 60°-DPWM기법을 사용하는 것이 가장 높은 효율을 보여주지만, ESR을 고려하여 Capacitor의 수명을 분석한다면, DPWM 기법은 3차 고조파가 증가하기 때문에 저주파수에서 높은 특성을 지닌 ESR의 영향을 받아 커패시터의 손실이 증가하게 되고 수명이 단축되는 특징을 확인할 하였다.

이 논문은 2016년도 에너지인력양성사업의 재원으로 한국 에너지기술평가원(KETEP)의 지원을 받아 수행한 연구 과제입니다. (No. 20164030201100)

이 연구는 2018년도 제이앤디전자(J&D Electronics)의 연구비 지원에 의한 연구임(201800270001)

### 참 고 문 헌

- [1] Dong-Hyun Lee, Won-Il Choi, Chang-Pyo Hong, Hag-Wone Kim, Kwan-Yuhl Cho. (2016). Carrier Comparison PWM Method of Vienna Rectifier for Reduction of Common Mode Voltage. THE TRANSACTIONS OF KOREAN INSTITUTE OF POWER ELECTRONICS, 21(2), 126-133.
- [2] June-Seok Lee, Kyo Beum Lee, (2014). Carrier-Based Discontinuous PWM Method for Vienna Rectifiers. IEEE
- [3] Min-Kook Kim, Dong-Gyun Woo, Byoung-Kuk Lee, Nam-Jun Kim, Jong-Soo Kim. (2014). Loss Analysis of Power Conversion Equipment for Efficiency Improvement. THE TRANSACTIONS OF KOREAN INSTITUTE OF POWER ELECTRONICS, 19(1), 80-90.
- [4] Hyung-Jin Kim, Dong-Choon Lee. (2000). Life Estimation of DC Link Electrolytic Capacitors. Power Electronics Annual Conference, , 57-60.