

시분할을 이용한 블록단위 홀로그램 생성기의 구조

*이윤혁 *김동욱 *서영호

광운대학교

*winner9100@kw.ac.kr

Architectur of block-based hologram generator using time division

*Lee, Yoon-Hyuk **Kim, Dong-Wook ***Seo, Younh-Ho

Kwangwoon University

요약

컴퓨터 생성 홀로그램은 방대한 양의 연산이 필요하기 때문에 이를 고속화하기 위한 방법이 필요하다. 본 논문에서는 기존에 본 연구팀에서 ASIC으로 구현했던 홀로그램 생성기의 하드웨어 구조를 보완하여 새로운 하드웨어 구조를 제안한다. 제안하는 하드웨어 구조는 기존의 블록기반의 하드웨어에서 가로축 공통항은 하나만 만들고 세로축 공통항을 확장하고, 블록의 가로축은 시분할을 통하여 계산하도록 제안하고 구현하였다. 제안하는 구조가 더 적은 하드웨어 자원 량으로 같은 성능의 하드웨어를 구현하였고, 입력단의 메모리 접근 량도 줄일 수 있다.

1. 서론

컴퓨터 생성 홀로그램(Computer Generated Hologram, CGH)는 참조파(Reference wave)와 참조파가 특정 물체의 표면으로 반사되어 나오는 물체파(Object wave)의 간섭현상을 수학적으로 모델링한 것이다[1]. CGH는 물체의 표면으로부터 반사되어 나오는 파와 홀로그램 표면에 대하여 기록하기 때문에 그 연산 량은 방대하다. 이를 실시간으로 처리하기는 일반 소프트웨어로 구현하기 매우 어렵다. 따라서 고속화하기 위해 많은 연구가 진행되어 왔는데, 크게 전용 하드웨어를 이용한 구현과 병렬 프로세서 기반의 소프트웨어를 이용한 구현방식이 있다[2~3]. 본 논문에서는 이전에 구현한 하드웨어를 보완하여 구현하였다.

2. 컴퓨터 생성 홀로그램

식 1은 포인트 소스를 이용한 컴퓨터 생성 홀로그램(Computer Generated Hologram, CGH) 수식이다. u 와 v 는 홀로그램의 위치이고, x, y, z 는 포인트 소스의 위치이고, $A_j(x, y, z)$ 는 해당 위치의 밝기이다. k 는 파수로 $2\pi/\lambda$ 로 λ 는 참조파의 파장이며, N 는 포인트 소스의 개수이다.

$$I(u, v) = \sum_{j=1}^N A_j(x, y, z) \cos \left[k \sqrt{(x-u)^2 + (y-v)^2 + z^2} \right] \quad (1)$$

식 1에서 $|x-u|, |y-v| \ll z$ 의 조건을 만족할 경우 Fresnel 근사를 통하여 식 2로 표현할 수 있다.

$$I(u, v) = \sum_{j=1}^N A_j(x, y, z) \cos \left[2\pi \left\{ \frac{(x-u)^2}{2\lambda z} + \frac{(y-v)^2}{2\lambda z} + \frac{z}{\lambda} \right\} \right] \quad (2)$$

식 2를 이용하여 CGH를 연산하는 방법은 하나의 포인트 소스를 이용하여 전체 홀로그램의 밝기를 구하고 이를 반복하여 계산하는 방법과, 하나의 홀로그램 좌표에 대하여 모든 포인트 소스로부터의 밝기를 구하는 방법이 있다. 본 연구팀에서 이전에 제안한 하드웨어 구조[3]에서 홀로그램 화소 기반 연산 방식이 메모리 접근 측면에서 유리하다는 것은 증명하였기에 본 논문에서는 홀로그램 화소 기반의 연산 방식을 이용한다.

3. 제안하는 하드웨어 구조

그림 1(a)는 기존에 제안한 하드웨어 구조[3]이고, 그림 1(b)는 본 논문에서 제안하는 하드웨어 구조이다. 그림 1(b)에서 HIC(Horizontal Index Calculator)와 VIC(Vertical Index Calculator)는 기존 연구[3]에서 제안한 구조와 동일하다. PC의 경우 기존 연구에서는 최종적으로 누적연산을 수행했지만 제안하는 구조에서는 누적연산 없이 바로 출력하여 시프트 레지스터 블록에서 누적연산을 같이 수행한다. 그림 1(b)에 시프트 레지스터 및 누적연산기는 그림 1(a)에서 PL-SR(Parallel Load Shift Register out)는 역할로 홀로그램 화소를 모든 포인트 소스에 대하여 누적하고 저장하는 역할을 한다.

그림 2는 그림 1에 두가지 구조에 대하여 타이밍도를 나타내었다. 본 논문에서 제안하는 구조의 타이밍도는 포인트 소스의 입력과 입력 사이에 t 만큼의 인터벌을 주고 그 사이에 HIC에서 홀로그램의 가로축 좌표를 증가 시켜 옆 열의 홀로그램화소를 계산하여 누적한다. 그 결과 포인트 소스 한번 불러와 계산하는 블록의 크기가 커지면서 입력에 대한 메모리 접근을 줄일 수 있다.

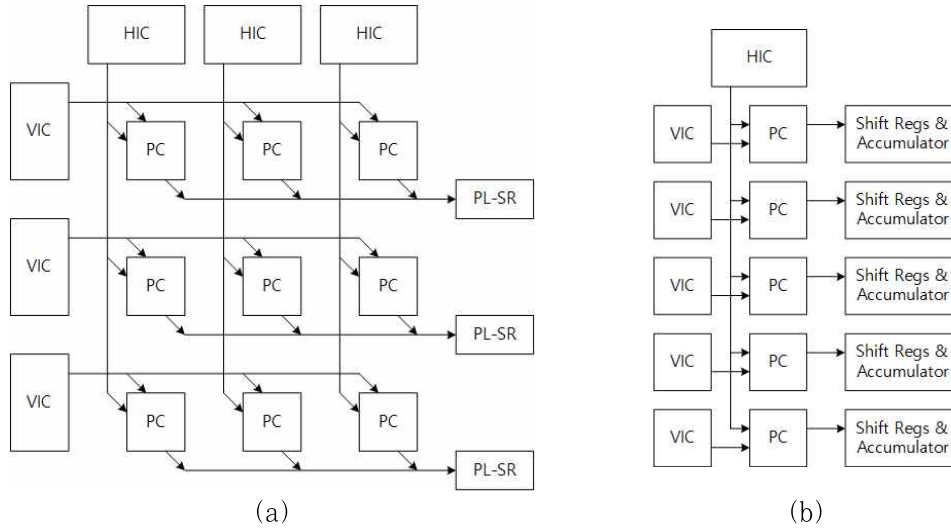


그림 1. 제안하는 하드웨어 구조, (a)기준에 제안한 구조[4], (b)본 논문에서 제안하는 구조.

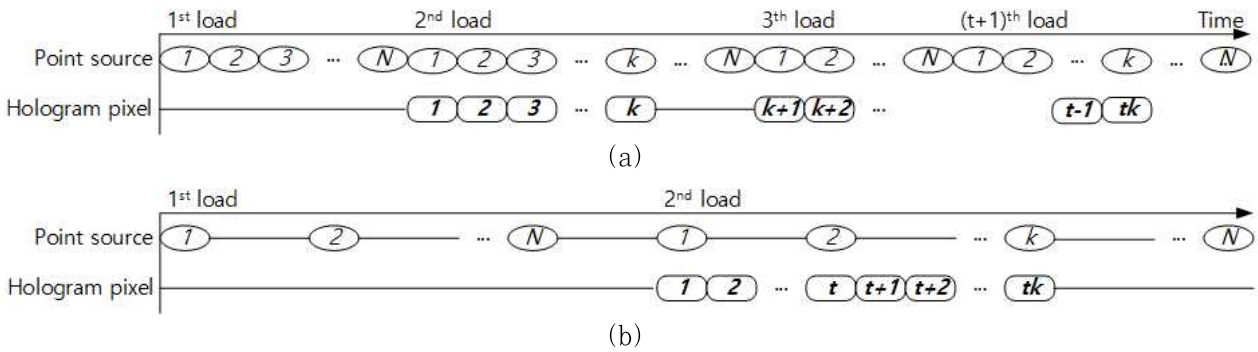


그림 2. 제안하는 구조의 타이밍도, (a)기준에 제안한 구조의 타이밍도[4], (b)본 논문에서 제안하는 타이밍도.

4. 구현결과

제안한 하드웨어는 이전 논문[3]에서 사용한 공정과 동일하게 구현하였으며 동일한 툴(Synopsis사의 Design Compiler™)을 이용하여 합성을 수행하였다. 표 1은 구현한 하드웨어의 자원 사용량으로 이전 연구에 비하여 25% 자원을 적게 사용하고, 포인트 소스에 대한 메모리 접근량을 약 16배 줄일 수 있었다.

표 1. 구현한 하드웨어의 자원사용량

Item	Gate Count	Number	Total
HIC	10,734	1	10,734
VIC	10,652	16	170,432
PC	2,904	16	46,464
Acc-SR	6,832	16	109,312
Controller	1,825	1	1,825
Total			338,767

5. 결론

본 논문에서는 이전 연구[3]에서 제안한 홀로그램 화소 기반-블록 단위 홀로그램생성 방법을 이용한 하드웨어 구조에서 열 단위로는 계

산기를 병렬로 구성하고 행단위로는 시분할을 통하여 적은 자원으로 같은 성능을 보이며, 입력에 대한 메모리 접근량을 줄이는 하드웨어 구조를 제안하였다.

감사의글

이 논문은 2014년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임 (NRF-2014R1A2A1A11052433).

참고문헌

[1] T. Motoki, H. Isono, and I. Yuyama, "Present Status of Three-Dimensional Television Research," Proc. IEEE 83(7): 1009-1021(July 1995).
 [2] Y.-H. Lee, Y.-H. Seo and J.-S. Yoo and D.-W. Kim, "High-Performance Computer-Generated Hologram by Optimized Implementation of Parallel GPGPUs", Vol. 18, No. 6, Dec. 2014.
 [3] Y.-H. Seo, Y.-H. Lee, and D.-W. Kim "ASIC chipset design to generate block-based complex holographic video", Applied Optics, Vol. 56, No.9, March 2017.