

다중 입력 디지털 비교기를 위한 알고리즘 및 회로의 설계

*서영호 *이용석 *김동욱

광운대학교

*yhseo@kw.ac.kr

A New Algorithm and Circuit Design for Multiple Input Digital Comparator

*Young-Ho Seo *Yongseok Lee *Dong-Wook Kim

Kwangwoon University

요약

본 논문에서는 다중 입력의 크기를 비교하기 위한 알고리즘 및 VLSI 구조를 제안한다. 제안하는 알고리즘은 여러 입력을 동시에 비교한 후에 간단한 디지털 논리 함수를 이용하여 그 입력들 중에서 가장 큰 값(혹은 가장 작은 값)을 검출하는 방법을 제공할 수 있다. 이 방식의 단점은 하드웨어 자원이 증가하는 것인데, 이를 위해 중복된 논리 연산을 재사용하는 방법도 제안한다. 제안하고자 하는 방식은 회로 속도의 증가, 즉 지연시간의 감소에 초점을 맞추었다. 제안한 비교 알고리즘은 HDL로 설계한 후에 Magna Chip의 0.18 μ m CMOS 라이브러리를 이용하여 구현하였다. 제안한 비교방법은 전통적인 방식에 비해서 4 및 8 입력인 경우에 약 0.5 및 1.1배 만큼 하드웨어 자원을 더 소비하면서, 약 1.5 및 1.8배 만큼 동작 주파수를 향상시킬 수 있었다.

1. 서론

비교기는 두 개의 숫자의 크기를 비교하는데 사용되는 기본적인 고본질적인 연산 유닛으로 회로에서 매우 중요한 조합회로 요소이다 [1]. 비교 함수는 디지털 신호 처리와 영상 및 음성처리와 같은 영역들에서 많이 사용된다[4]. 두 수의 크기를 비교하기 위해 비교기를 구현하는 방법은 여러 가지가 있다. 비교기를 구현하기 위한 직접적이고 쉬운 방법들 중의 하나는 병렬 덧셈기를 사용하는 것이다. 다른 방법은 직접적으로 비교 함수를 펼치는 방정식에 기초하여 구현될 수 있다. 이런 방식들은 전통적인 방식이라 할 수 있고, 면적의 효율성과 전력 소모의 측면에서 많은 단점을 가지고 있다. 이를 극복하기 위해 지금까지 여러 연구가 진행되었다. 본 논문은 상위수준, 특히 RTL(register transfer level)에서의 설계 방법론을 이용하여 4개 이상의 입력에 대한 비교를 수행할 수 있는 비교 기법 및 그에 대한 VLSI 구조를 제안하고자 한다.

2. 제안하는 알고리즘

그림 1의 비교 알고리즘은 제안하는 기본 알고리즘으로 가장 큰 값들을 모두 검출 가능하다. 검출한 가장 큰 값들을 다양한 방법으로 활용이 가능하다. 제안하는 비교 방법은 동시에 자기 자신을 제외한 나머지 입력값들과 비교를 하고 그 비교한 결과들을 그림 1과 같은 매우 간단한 논리 연산을 통해 어느 값이 가장 큰지 검출할 수 있다. 제안하는 알고리즘은 가장 큰 값들을 모두 검출 가능하다. 즉, 입력된 값들에 따라 가장 큰 값이 여러 개가 검출될 수도 있고, 하나만 검출될 수도 있다. 검출한 가장 큰 값들을 다양한 방법으로 활용이 가능하다. 제안하는 방법은 동시에 자기 자신을 제외한 나머지 입력값들과 비교를 하고 그 비교한 결과들을 매우 간단한 논리 연산을 통해 어느 값이 가장

큰지 검출할 수 있다. 기본 알고리즘을 활용하면 다양한 변형 및 응용이 가능하다. 가장 큰 결과가 여러 개일 경우에 약속된 위치의 데이터를 검출할 수 있다. 여러 개의 큰 값이 입력될 경우에 가장 왼쪽에 입력된 하나의 값을 가장 큰 값으로 검출하도록 하였다. 가장 오른쪽 값을 검출하고자 할 경우에는 비교하는 방향을 바꾸면 가능하다. 그림 1의 알고리즘에서 **Compare** 함수를 수정하면 이러한 동작을 가능하게 할 수 있다. 이를 그림 2에 나타냈다.

```

Parallel( i, all inputs ) {
  Parallel( j, all inputs except i ) {
    R_ANDi = R_ANDi & Compare( Di, Dj )
    R_ORi = R_ORi | Compare( Di, Dj )
  }
  R_ANDi = R_ANDi & R_ORi
}
Compare( Di, Dj ) {
  if ( Di < Dj ) Return 0
  else Return 1
}

```

그림 1. 비교 알고리즘

```

Compare( Di, Dj ) {
  if ( i > j ) {
    if ( Di ≤ Dj ) Return 0
    else Return 1
  }
  else {
    if ( Di < Dj ) Return 0
    else Return 1
  }
}

```

그림 2. 비교 알고리즘의 변형

3. 디지털 회로 구조

앞 장에서 제안한 알고리즘에 대한 VLSI 구조를 그림 3에 나타냈다. 입력의 개수는 4로 하여 예시하였다. 그림 3은 그림 1에 대한 VLSI 구조를 나타낸다. 그림에서 실선은 데이터 버스를 의미하고, 점선은 논리 연산의 결과를 전달하기 위한 배선을 의미한다. 그 그림 1에서 3개의 문장은 그림 3의 3레벨 구조(비교기-AND/OR-AND)에 해당한다. Compare (D_i, D_j)가 첫 번째 레벨을 구성하고, $R_{AND,i}$ 및 $R_{OR,i}$ 가 두 번째 레벨을 구성한다. 마지막으로 $R_{AND,i}$ 가 세 번째 레벨을 구성한다. 이 구조를 살펴보면 채널의 개수가 많아지면 첫 번째 레벨에서 비교기의 개수가 많아진다. 그러나 비교기의 증가는 자원의 증가를 야기하지만 지연시간의 증가를 가져오지는 않는다. 물론 비교기 증가로 인해 배선이 늘어나기 때문에 배선 지연의 증가는 발생할 것이다. 그러나 그것이 성능에 큰 영향을 주지는 않는다. 이와 같이 입력의 증가로 인한 첫 번째 레벨에서의 지연시간 증가는 미미하다. 다음으로 두 번째 레벨을 고려한다. 비교기의 개수가 증가하면 AND와 OR 게이트의 fan-in이 증가한다. 실제 칩 제작을 위한 라이브러리는 입력의 개수에 제한이 있다. 따라서 AND 및 OR 게이트는 케스케이딩될 것이고, 이로 인해 지연시간은 증가한다. 이 지연시간은 입력의 증가에 따라 선형적으로 발생할 것이다. 마지막으로 세 번째 레벨은 구조를 고려할 때 입력의 증가와 무관하다. 이 회로는 입력 신호들 중에서 최대값이 여러 개일 경우에 모든 최대값을 표시할 수 있는 기능을 갖고 있다. 부가적인 회로 혹은 특별한 알고리즘을 사용하지 않으면서도 이러한 특성을 보유하고 있다는 것은 본 회로의 매우 큰 장점이다.

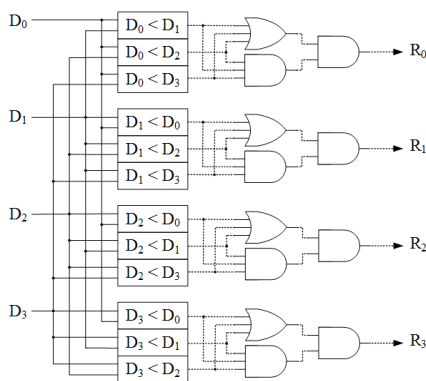


그림 3. 제안하는 비교기의 VLSI 구조

4. 구현 결과

제안한 구조는 Magna Chip의 018 μ m CMOS 공정을 이용하여 구현되었다. HDL을 이용하여 구현한 이후에 구현된 하드웨어의 속도(최대 동작 주파수)와 자원량(게이트 수)를 측정하였다. 실험에서는 입력의 개수를 8개로 정하여 구현하였고, 입력의 비트너비는 8, 16, 32 비트로 수행하였다. 또한 전통적인 방식을 포함하여 총 6가지 방법에 대해서 각각 구현하였다. 따라서 총 4가지 조건에 대해 각각 하드웨어를 HDL로 구현하였고, 이에 대한 실험을 수행하였다. 합성은 Synopsys사의 Design Compiler™를 이용하였고, 검증을 위한 시뮬레이션은 Cadence사의 NC Sim™를 이용하였다. 먼저 회로에 사용된 게이트들 및 조합회로들의 게이트수 및 지연시간을 실험을 통해 얻은 후에

표 3에 정리하였다.

그림 4(a)에는 입력과 비트너비에 따른 최대 동작 주파수를 나타냈다. 이를 통해 구현된 하드웨어가 성능의 관점에서 얼마나 병렬화 효과가 있는지 확인할 수 있다. 전체적으로 비트수가 커지거나 입력의 개수가 늘어나면 동작속도는 느려지는 것을 보인다. 제안한 기본 방법은 병렬적으로 입력값들을 서로 비교하기 때문에 면적이 크게 증가한다. 그림 4(b)에 면적에 대한 결과를 나타냈다.

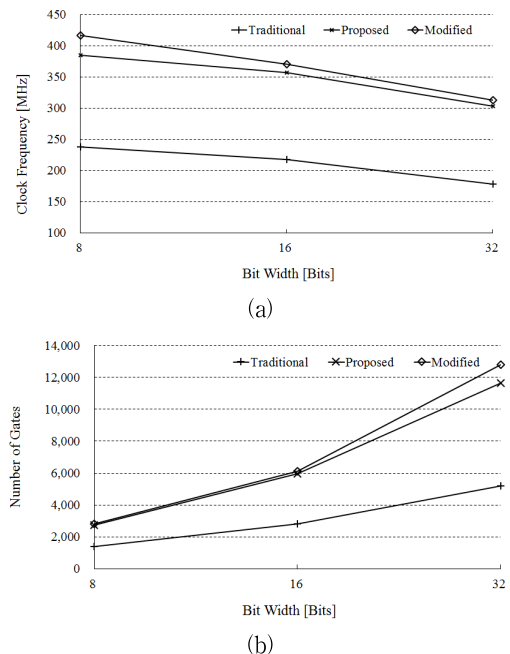


그림 4. 입력이 8개인 경우의 실험 결과
(a) 최대 동작 주파수, (b) 게이트 수

Acknowledgement

이 논문은 2014년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(No. 한국연구재단에서 부여한 과제번호 : NRF- 2014R1A2A1A11052433)

참고문헌

- [1] R. J. Tocci, N. Widmer, and G. Moss, Digital Systems: Principles and Applications, 11th Edition, Pearson, 2010.
- [2] W. Alexander, C and M Williams, Digital Signal Processing: Principles, Algorithms and System Design, 1st Edition, Academic Press, 2017.
- [3] S. C. Hsia, "High-speed multi-input comparator," in IEE Proceedings - Circuits, Devices and Systems, vol. 152, no. 3, pp. 210-214, 3 June 2005.
- [4] M. Kim, J. Y. Kim and H. J. Yoo, "A 1.55ns 0.015 mm² 64-bit quad number comparator," VLSI Design, Automation and Test, 2009. VLSI-DAT '09. International Symposium on, Hsinchu, pp. 283-286, 2009.