

전압 상승률을 기반으로 하는 인버터의 출력 필터 설계

최영현, 최현규, 하정익
서울대학교

LC Filter Design Limiting Voltage Slew Rate

Young-Hyun Choi, Hyeon-Gyu Choi and Jung-Ik Ha
Seoul National University

ABSTRACT

본 논문에서는 PWM 슬루율을 제한하기 위한 LC 필터 설계를 제안한다. 기존의 연구에서는 PWM 입력전압과 필터링된 출력 전압에 대한 주파수 분석을 통해 출력단에 나타나는 슬루율을 제한하였다. 하지만 이러한 분석은 순시 출력 슬루율을 정량적으로 분석하기 어렵다. 본 논문에서는 LC필터의 출력 슬루율을 시간 영역에서 분석하고, 이를 제한하는 LC 필터의 정량적인 설계법을 제시한다.

1. 서론

최근 전력 시스템의 소형화 및 경량화에 대한 요구가 증가하면서, GaN(Gallium Nitride) 및 SiC(Silicon Carbide) 등의 Wide Band Gap 소자에 관한 관심이 증가하고 있다. 이러한 소자들은 더 빠른 스위칭 주파수, 낮은 스위칭 손실 및 우수한 열 특성 등 전력 스위치로서의 우수한 특성을 나타낸다.

고속 스위칭과 낮은 스위칭 손실은 전력 스위치의 큰 슬루율에서 기인한다. 하지만 큰 슬루율은 전기기기에 악영향을 끼치게 된다. 특히 전동기의 경우, 내부의 과도한 전압 스트레스를 겪게 되며, 전동기의 절연 시스템을 파괴할 수 있다. 따라서 기기에 사용하기 위해서 전력 스위치 슬루율의 조정이 필요하다. 위의 문제점을 방지하기 위해서 NEMA standrad MG-1^[1]에서 출력의 슬루율을 4kV/μs로 제한하였으며, 출력의 슬루율을 조정하는 많은 연구들이 활발히 이루어지고 있다.

제한된 값으로 슬루율을 조정하기 위한 방법으로는 스위칭 소자의 게이트 저항을 크게 하는 방법, 공진형 인버터를 사용하는 방법, 인버터의 출력단에 수동 소자를 사용한 저역필터를 붙이는 방법 등이 있다.^[2]

스위칭 소자의 게이트 저항을 크게 할 경우, 게이트 전압의 상승시간을 조정하여 출력의 슬루율을 제한할 수 있다. 하지만 이 경우 게이트 저항으로 인한 손실이 발생할 뿐 아니라 줄어든 슬루율로 인해 스위칭 손실이 증가하기 때문에 이에 대한 고려가 필요하다. 공진형 인버터를 사용할 경우 공진을 이용하여 슬루율을 조정할 수 있지만, 제어가 복잡하고 추가적인 스위치가 필요하기 때문에 비효율적이다. 한편 저역필터를 사용할 경우 기존 시스템에 수동 소자만을 추가하기 때문에 효율적인 회로 구성이 가능하다.

본 논문에서는 저역필터의 슬루 제한 성능을 시간 영역에서 분석하고 NEMA standard MG-1에서 제시한 4kV/μs으로 슬

루율로 제한하기 위해 수동소자 저역 필터 디자인 방법을 정량적으로 제시한다.

2. 본론

2.1 시간 영역에서 분석

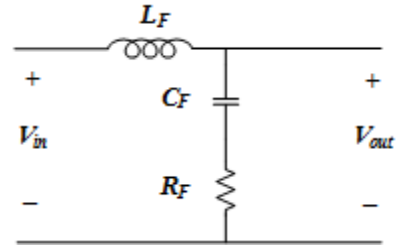


그림 1 저역필터

그림1은 본 논문에서 사용하는 LC 필터의 구조를 나타낸다.

$$H(s) = \frac{V_{out}}{V_{in}} = \frac{\frac{R_F}{L_F}(s + \frac{1}{R_F C_F})}{s^2 + \frac{R_F}{L_F}s + \frac{1}{L_F C_F}} \quad (1)$$

$$G(s) = \frac{m}{s^2} s H(s) = \frac{m \frac{R_F}{L_F}(s + \frac{1}{R_F C_F})}{s(s^2 + \frac{R_F}{L_F}s + \frac{1}{L_F C_F})} \quad (2)$$

이러한 시스템의 전달함수는 (1)과 같이 구할 수 있다. 기울기가 m 인 램프 입력에 대한 시스템의 응답을 보기 위해 (1)에서 구한 전달 함수를 이용하면 필터를 거친 출력 슬루율은 (2)와 같이 정의 할 수 있다.

$$g(t) = m \frac{R_F}{L_F} V_{dc} (\frac{L_F}{R_F} + k_1 e^{\alpha t} + k_2 e^{\beta t}) \quad (3)$$

$$\alpha = -\frac{R_F}{2L_F} + \sqrt{(\frac{R_F}{2L_F})^2 - \frac{1}{L_F C_F}} \quad \beta = -\frac{R_F}{2L_F} - \sqrt{(\frac{R_F}{2L_F})^2 - \frac{1}{L_F C_F}}$$

$$k_1 = -\frac{L_F}{2R_F} + \frac{1}{2\sqrt{(\frac{R_F}{L_F})^2 - \frac{4}{L_F C_F}}} \quad k_2 = -\frac{L_F}{2R_F} - \frac{1}{2\sqrt{(\frac{R_F}{L_F})^2 - \frac{4}{L_F C_F}}}$$

(2)에서 구한 출력을 시간 영역에서 해석하면, (3)과 같이 표현되며, $t = \frac{V_{dc}}{m}$ 일 때 최대의 슬루율을 가진다. 따라서 이 값

을 조정하여, 상승시간 내의 슬루율을 제한한다.

2.2 저역필터 설계

필터 설계에 앞서 디자인 조건을 설정한다. 본 논문에서는 필터 인덕터에 걸리는 기본파 주파수 전압, 감쇠비(ζ), 제한된 슬루율($4kV/\mu s$), 스위칭 소자의 슬루율(m)을 디자인 조건으로 제시하였다.

논문에서 제시한 저역 필터는 상승 시간 내에 필터링된 출력의 슬루율을 감소시키는 것에 목적이 있다. L_F 가 클수록 필터의 슬루율 제한 성능은 증가하지만, L_F 에 걸리는 기본파 주파수의 전압이 커지게 되어 전동기의 동특성을 해치게 된다. 따라서 L_F 값은 전동기에 과도 인덕턴스보다 작게 설계되어야 하기 때문에, 이것에 걸리는 기본파 주파수의 전압 강하가 디자인 조건에서 제시한 $0.015pu$ 가 되도록 L_F 를 설계하였다.

디자인 조건으로 주어진 시스템의 감쇠비와 (1)의 특성 방정식을 통해 ζ, R_F, L_F, C_F 사이의 관계식을 (4)로 표현 할 수 있다.

$$R_F = 2\zeta \sqrt{L_F C_F} \quad (4)$$

(4)를 만족하는 R_F 와 C_F 값은 많지만, 저항에 의한 전력 손실을 최소화하기 위해, R_F 값을 가장 작게 선정하고, 이에 상응하는 C_F 값을 선정한다.

즉 $t = \frac{V_{dc}}{m}$ 일 때 (3), (4)를 만족하는 다수의 R_F 와 C_F 값 중 출력단의 최대 슬루율이 $4kV/\mu s$ 를 넘지 않는 최소의 저항과 최대의 캐패시터 값으로 설계한다.

2.3 시뮬레이션

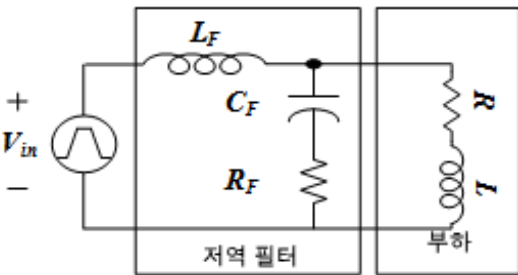


그림 2 시뮬레이션 회로

그림2의 시뮬레이션 회로는 LC 필터와 R-L 부하로 모델링 하였다. 제안된 필터 회로를 검증하기 위해 본 논문의 필터 설계안에 근거하여, $L_F=6.93\mu H, C_F=7.6nF, R_F=90\Omega$ 으로 설계하였다.

표 1 시뮬레이션 조건

f_{sw}	20kHz	기본파 주파수	400Hz
R	0.02 Ω	L	300 μH
슬루율	15kV/ μs	제한된 슬루율	4kV/ μs
V_{Base}	350V	I_{Base}	300A

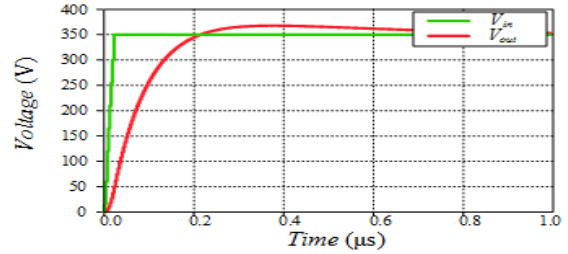


그림 3 시간에 대한 램프 입력과 필터링된 출력

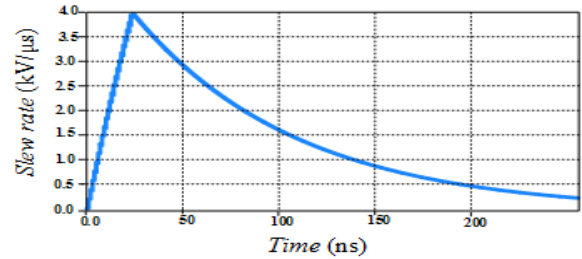


그림 4 시간에 대한 슬루율

그림3은 그림2의 회로와 표1의 시뮬레이션 조건 그리고 필터 설계값으로 시뮬레이션한 결과이다. 이를 통해 필터의 슬루율 제한 성능을 확인 할 수 있었다. 또한 그림 4를 통해 정량적으로 상승 기간 내에서 순시 슬루율이 $4kV/\mu s$ 보다 작게 되는 것을 확인 할 수 있었다. 따라서 시뮬레이션 결과를 통해 본 논문의 필터 설계안이 유효함을 검증하였다.

3. 결론

스위칭 소자의 높은 슬루율로 인하여 전동기의 과전압이 발생하며, 전동기의 절연 시스템을 파괴한다. 이를 해결하기 위해 기존 연구에서는 주파수 분석을 통한 필터 설계를 하였다. 본 논문에서는 시간영역 분석을 통해 수동소자를 사용한 저역필터 설계 방법을 정량적으로 제시하였다. 설계한 필터는 인버터 출력에 추가하여 출력의 슬루율을 제한하며, 시뮬레이션을 통해 출력의 슬루율이 $4kV/\mu s$ 을 넘지 않는 다는 것을 검증 하였다.

참 고 문 헌

- [1] Swamy, Mahesh M., Jun-Koo Kang, and Kohei Shirabe. "Power loss, system efficiency, and leakage current comparison between Si IGBT VFD and SiC FET VFD with various filtering options." IEEE. Trans. Ind. Appl., vol. 51, pp. 3858-3866, Oct. 2015.
- [2] Habetler, Thomas G., Rajendra Naik, and Thomas A. Nondahl. "Design and implementation of an inverter output LC filter used for dv/dt reduction," IEEE Trans. Power Electronics., vol. 17, pp. 327-331, May. 2002.