비례-공진 제어기를 이용한 반도체 변압기용 단상 계통 연계형 인버터 제어

김보경, 이준영, 이원빈, 정지훈
울산과학기술원(유니스트)

Proportional-Resonant Compensator Design of Single-Phase Grid-Connected Inverter for a SST

Bo-Gyeong Kim, Jun-Young Lee, Won-Bin Lee, Jee-Hoon Jung
Ulsan National Institute of Science and Technology(UNIST)

ABSTRACT

반도체 변압기를 구성하는 단상 계통 연계형 인버터는 역률을 높이기 위해 전류를 계통 전압과 동상으로 제어하는 것이 요구된다. 산업에서 통상적으로 이용되는 비례-적분 제어기는 정현파의 참조 값을 추적할 때 항상 정상 상태 오차를 수반한다. 비례-공진 제어기는 기본 주파수에서 충분히 큰 이득을 도입함으로써 정상 상태 오차를 줄일 수 있다. 그러나 계단 응답에서 정상 상태 오차를 가진다는 단점이 있다. 본 논문에서는 단상 계통 연계형 인버터의 효과적인 전류 제어를 위하여 정현파 추적뿐만 아니라 계단 응답에서 정상 상태 오차 제거가 가능한 제어기를 제안한다. 본 논문에서 제안하는 제어기는 시뮬레이션을 통해 유효성을 검증하였다.

1. 서 론

증가하는 에너지 및 환경 문제에 대응하기 위하여 스마트 그리드에 대한 관심이 증가하고 있다. 양방향 전력 제어뿐만 아니라 신재생 에너지원과 전기자동차의 계통 연계를 가능하게 하는 반도체 변압기(Solid State Transformer; SST)는 스마트 그리드의 핵심 요소 중 하나이다. 반도체 변압기를 구성하는 인버터의 전류의 고조파 성분은 계통 전압의 종합 고조파 왜형률(Total Harmonic Distortion; THD)을 높여 전력 품질을 떨어뜨리는 등 계통 운영에 많은 문제를 일으킬 수 있기 때문에 관련 규정에 의해 규제된다[1]. 따라서 인버터의 고조파 억제와 안정적인 동작을 위한 연구가 수행되고 있다.

본 논문에서는 반도체 변압기를 구성하는 단상 계통 연계형 인버터의 효과적인 전류 제어를 위한 전류 제어기를 제안한다.

2. 시스템 모델 및 전류 제어기 설계

2.1 시스템 모델

그림 1은 단상 계통 연계형 인버터이다. 풀브리지를 구성하는 전력 스위치는 수정된 양극성 펄스 폭 변조 방식으로 제어된다. 필터 인덕터 L과 직류단 커패시터 C의 등가직렬저항을 고려하며, 나머지는 이상적인 소자로 가정한다. 그림 2는 인버터의 소신호 블록선도를 나타낸다. 인버터 전류를 계통 전압과 동상으로 제어하기 위하여 $\hat{i}_{mag}(s)$에 사인 함수를 곱하여 정현파의 참조 값 $\hat{i}_{ref}(s)$를 만들며, $G_{ci}(s)$는 전류 제어기이다. $G_{is}(s)$와 $G_{id}(s)$는 각각 시비율 변동에 대한 계통 전압과 인덕터 전류 변동 소신호 전달 함수로 식 (1), (2)와 같이 표현된다. 전류 제어 루프 이득 $T_i(s)$는 식 (3)과 같다. 식 (4)와 같은 전향 보상 G_{ff}를 통해 계통 전압에 의한 영향을 제거하면 인덕터 전류 $\hat{i}_L(s)$은 식 (5)와 같이 나타낼 수 있다. 식 (5)에서 전류 제어 루프 이득이 무한대가 되면 인덕터 전류는 참조 값과 같아지고, 정상 상태 오차는 제거된다.

$$G_{is}(s) = \frac{\hat{i}_L(s)}{\hat{v}_{ac}(s)} = -\frac{1}{Ls + r_l} \tag{1}$$

$$G_{id}(s) = \frac{\hat{i}_L(s)}{\hat{d}(s)} = \frac{V_{dc}}{Ls + r_l} \tag{2}$$

$$T_i(s) = G_{ci}(s)G_{id}(s) \tag{3}$$

$$G_{ff} = \frac{1}{V_{dc}} \tag{4}$$

$$\hat{i}_L(s) = \frac{T_i(s)}{1 + T_i(s)}\,\hat{i}_{ref}(s) \tag{5}$$

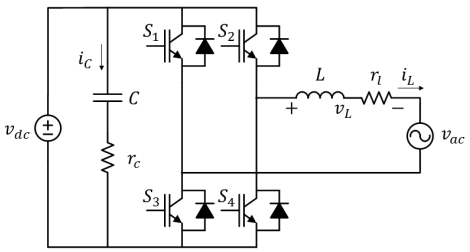


그림 1 단상 계통 연계형 인버터 회로도
Fig. 1 Schematic of single-phase grid-connected inverter

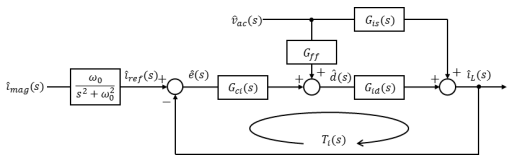


그림 2 인버터 소신호 블록선도
Fig. 2 Small-signal block diagram of the inverter

2.2 비례-공진 제어기

산업에서 널리 이용되는 비례-적분 제어기는 직류에서 무한대의 이득을 가지기 때문에 직류 참조 값 추적에 적합하다. 그러나 나머지 주파수에서는 이득이 제한되므로 인버터와 같이

정현파의 참조 값을 가지는 시스템에는 적합하지 않다. 식 (6)의 비례-공진 제어기는 특정 주파수에서 충분히 큰 이득을 얻을 수 있어 정현파의 참조 값을 정상 상태 오차 없이 추적할 수 있다. 그러나 계단 응답에서 정상 상태 오차를 완전히 제거하지 못한다. 계단 입력에 대한 시스템의 오차 $e(t)$는 최종값 정리(Final Value Theorem)를 이용하여 식 (7)과 같이 나타낼 수 있다.

$$G_{PR}(s) = k_p + \frac{2k_r\xi\omega_0 s}{s^2 + 2\xi\omega_0 s + \omega_0^2} \tag{6}$$

$$\lim_{t\to\infty} e(t) = \lim_{s\to 0} s\frac{\frac{\omega_0}{s(s^2+\omega_0^2)}}{1+T_i(s)} = \frac{r_l}{\omega_0(r_l+V_{dc})} \tag{7}$$

2.3 제안하는 제어기

기존의 비례-공진 제어기의 단점을 보완하여 정현파 추적뿐만 아니라 계단 응답에서 정상 상태 오차를 제거할 수 있는 새로운 전류 제어기를 제안한다. 제안하는 제어기는 식 (8)과 같이 기존의 비례-공진 제어기와 적분기의 합으로 이루어진다. 그림 3에서 기존 비례-공진 제어기와 제안하는 제어기의 주파수 응답 특성의 차이를 확인할 수 있다. 제안하는 제어기는 기존 비례-공진 제어기와 마찬가지로 계통 주파수에서 큰 이득을 가지며, 적분기의 영향으로 직류에서도 무한대의 이득을 얻을 수 있다. 최종값 정리에 의하여 계단 응답에서도 정상 상태 오차가 없음을 확인할 수 있다.

$$G_{PRI}(s) = k_p + \frac{2k_r\xi\omega_0 s}{s^2 + 2\xi\omega_0 s + \omega_0^2} + \frac{k_i}{s} \tag{8}$$

제안하는 제어기는 기존 제어기에 적분 이득 k_i가 미치는 영향을 고려하여 설계한다. 그림 3에서 적분 이득이 증가할수록 제안하는 제어기의 이득은 단일 적분기와 유사해지며, 위상 여유는 작아진다. 그림 4는 적분 이득의 증가에 의한 우세 극점의 이동을 나타낸다. 적분 이득이 증가함에 따라 피킹이 커지므로, 피킹 없이 정착 시간을 가장 짧게 할 수 있는 이탈점에 우세 극점이 위치하도록 하는 적분 이득 값을 선정한다.

2.4 시뮬레이션 결과

시뮬레이션을 통해 제안하는 제어기의 유효성을 검증한다. 그림 5 (a)를 통해 계단 입력에서의 각 제어기의 정상 상태 오차를 확인할 수 있다. 그림 5 (b)는 제어기의 고조파 전류 억제 성능을 보여준다. 제안하는 제어기는 계단 응답에서 비례-적분 제어기와 같이 정상 상태 오차를 갖지 않으며, 비례-공진 제어기와 유사한 고조파 전류 억제 성능을 가진다.

3. 결 론

본 논문에서는 정현파 참조 값을 가지는 인버터 시스템의 전류 제어 성능을 개선하는 제어기를 제안한다. 비례-공진 제어기에 적분기를 더하면 직류와 계통 주파수 모두에서 큰 이득을 얻을 수 있어 고조파를 억제하는 동시에 계단 응답에서 정상 상태 오차를 제거할 수 있다.

This work was supported by the 2015 Creativity & Innovation Research Fund (Project No. 1.150027) of UNIST(Ulsan National Institute of Science and Technology).

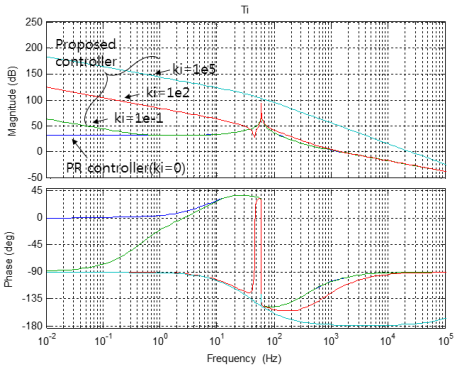


그림 3 비례-공진 제어기와 제안하는 제어기의 주파수 응답 특성
Fig. 3 Frequency responses of the proportional-resonant (PR) controller and the proposed controller

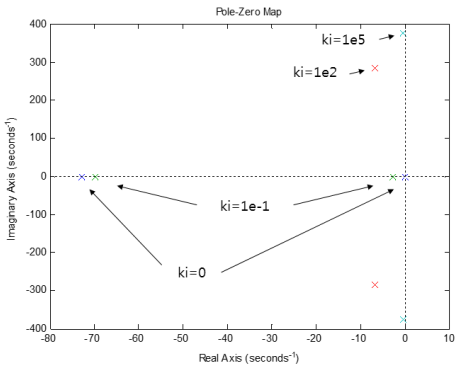
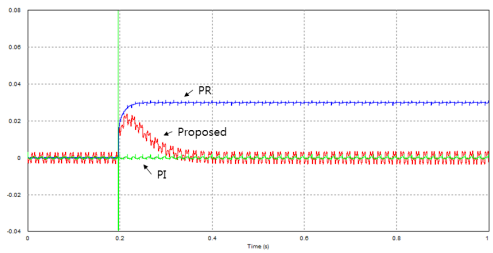
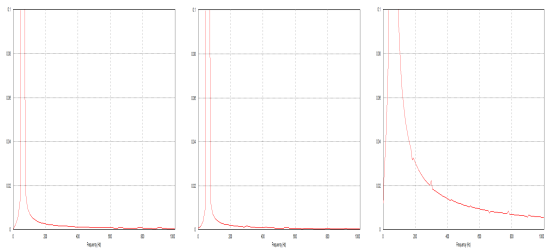


그림 4 적분 이득 증가에 따른 우세 극점 위치
Fig. 4 Location of dominant poles according to integral gain



(a) 계단 입력에 대한 정상 상태 오차



(b) 정규화된 인덕터 전류의 고속 푸리에 변환 결과
(좌:제안하는 제어기, 중:비례-공진 제어기, 우:비례-적분 제어기)
그림 5 시뮬레이션 결과
Fig. 5 Simulation results

참 고 문 헌

[1] 정승기. "[특집:전력품질기술] 계통 고조파 현상의 원인 및 대책." 전력전자학회지, 5.1 (2000.2): 29-37. Print.