

Aspect Ratio 변화에 따른 Gate-All-Around Si 나노와이어 MOSFET의 특성 연구

허성현, 안용수

전기 및 전자공학과, 한국과학기술원, 대전광역시 유성구 대학로 291
E-mail: seonghyunheo@kaist.ac.kr, jundana@kaist.ac.kr

나노와이어 FET은 natural length가 작아 단채널 효과가 MOSFET에 비해 줄어든다는 장점이 있어 미래의 소자 구조로 주목 받고 있다. 그런데 나노와이어 FET을 공정할 때 채널 etching에서 채널이 완벽하게 원형 구조를 가지는 것이 어렵다. 본 논문에서는 gate-all-around 실리콘 나노와이어 FET의 aspect ratio에 따른 트랜지스터의 특성 변화를 알아 보았다. 시뮬레이션 결과, aspect ratio가 작을수록 나노와이어 FET에서의 단채널 효과가 줄어드는 경향을 보였다.

INTRODUCTION

금속 산화막 반도체 전계효과 트랜지스터(MOSFET)의 공정 기술이 발달하면서 반도체 소자들은 점점 고집적화, 소형화되고 있다. 그러나 트랜지스터가 소형화 됨에 따라 단채널 효과(short channel effect, SCE)가 크게 발생해 MOSFET의 게이트 전압이 채널을 제어하기 어려워진다. 이 현상을 극복하기 위한 소자 구조 중 하나가 나노와이어 FET (nanowire FET, NWFET)이다 [1]. 나노와이어 FET은 Fig. 1과 같이 소스와 드레인 사이에 나노미터 scale의 채널 너비와 두께를 갖는 통로이며, 전자가 한 방향(Fig. 1의 x 방향)의 transport dimension을 갖고 있는 것이 특징이다. SCE는 natural length가 작을수록 효과가 줄어든다 [2]. Natural length $\lambda\lambda$ 에 대한 수식은 다음과 같다.

$$\lambda = \sqrt{\frac{\epsilon_{si} t_{si} t_{ox}}{\epsilon_{ox}}} = \sqrt{\frac{\epsilon_{ch} t_{ch} t_{ox}}{\epsilon_{ox}}} \quad (1)$$

ϵ_{ch} , ϵ_{ox} , t_{ch} , t_{ox} 는 각각 채널의 유전율, 산화물의 유전율, 채널의 두께, 산화물의 두께를 의미한다. 나노와이어 FET은 t_{ch} 부분이 매우 작기 때문에 natural length가 작아 SCE가 MOSFET에 비해 줄어든다 [3]. 특히 gate-all-around (GAA) 구조를 갖는 나노와이어 FET은 게이트 control이 뛰어나 다른 소자에 비해 SCE를 더 줄일 수 있다 [4].

나노와이어 FET 채널의 단면은 원형, 삼각형, 사각형 등 다양한 모양을 가질 수 있는데, 원형이 일반적으로 쓰인다. 그러나 공정 시 채널 etching을 수행하는 과정에서 완벽한 원형 단면을 만드는 것은 어려워, 두께와 너비가 서로 다른(즉, aspect ratio가 1이 아닌) 타원 모양을 가지는 채널로 모델링 하는 경우가 일반적이다 [6]. 현재 상용화되어 이용되고 있는 FinFET의 경우, SCE를 줄이기 위하여 의도적으로 채널 두께와 너비를 조절하는 방식을 이용하기 때문에 aspect ratio(AR) 변화에 따른 소자 특성에 대한 연구는 많이 진행되어 왔다. 그에 반해 나노와이어 FET은 AR 1인 아닌 경우에 대한 연구가 미비한 편이다. 본 논문에서는 나노와이어 FET 채널의 AR에 따른 트랜지스터의 특성 변화를 양자 시뮬레이션을 통해 알아보았다. 나노와이어 FET 채널

의 단면은 Fig. 1과 같이 사각형 구조로 가정하였다. 채널의 너비(W)는 일정하게 유지하고, 채널의 두께(T)는 변화시켜가며 나노와이어 FET의 ON/OFF current ratio, subthreshold swing (SS), 그리고 drain-induced barrier lowering (DIBL)을 비교하였다.

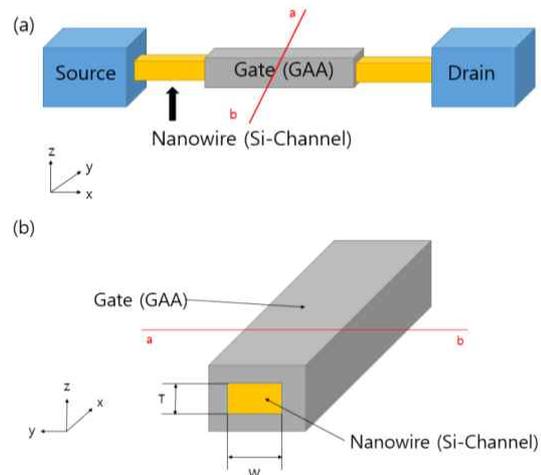


Fig. 1. (a) GAA 나노와이어 FET 구조 (b) GAA 나노와이어 FET 채널의 단면 구조(a-b단면)

CALCULATION METHODS

본 논문은 EDISON 나노물리센터에서 제공하는 Tight-Binding(TB) NEGF 기반 Nanowire FET 소자 성능 및 특성 해석용 소프트웨어를 사용하였다. 이 소프트웨어는 TB 기반으로 하는 원자 수준의 시뮬레이션을 수행하므로, 나노미터 scale의 길이와 채널 폭, 두께를 갖는 나노와이어 FET의 특성을 분석하는 데 적합한 시뮬레이터이다. 특히 이 시뮬레이터는 나노와이어 FET의 전류-전압 특성 분석이 가능하며, 나노와이어 FET의 ballistic 기본 특성과 SCE를 분석을 할 수 있어 본 연구를 함에 있어 적합하여 선택하였다.

본 논문에서는 나노와이어 FET 채널 물질은 실리콘으로(Fig. 1), 방향은 [100]을 고려하였다. 채

널을 묘사하는 TB orbital model은 $sp^3s^*d^5$ $sp^3s^*d^5$ 를 사용하였다 [8]. 채널 및 게이트 길이는 6 nm이며, equivalent oxide thickness는 0.5 nm로 가정하였다. 소스와 드레인의 도핑은 n-type으로 농도는 $5 \times 10^{20} \text{ cm}^{-3}$ $5 \times 10^{20} \text{ cm}^{-3}$ 으로 설정하였고, 드레인 전압 (V_d)은 0.6 V로 하였다. 이 parameter들은 International Technology Roadmap for Semiconductor (ITRS) 2028에 준하는 기준들이다 [7]. 나노와이어 채널의 AR 변화에 따른 나노와이어 FET 특성 변화를

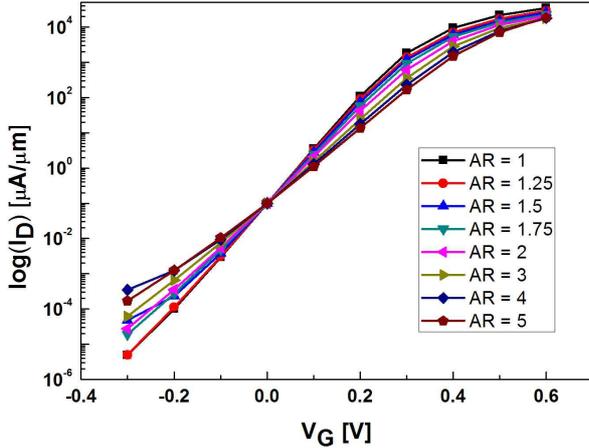


Fig. 2. AR에 따른 V_G - I_D curve (log scale)

찰하기 위해, 채널의 W를 1.5 nm로 고정시키고 T를 1.5 nm, 1.875 nm, 2.25 nm, 2.625 nm, 3.0 nm, 4.5 nm, 6.0 nm, 7.5 nm로 변화시켜 시뮬레이션을 진행하였다.

RESULTS AND DISCUSSION

Fig. 2는 AR에 따른 나노와이어 FET의 성능이 어떠한지 알기 위하여 전류를 log scale로 한 V_G - I_D/I_D 곡선을 나타낸 그래프이다. 여기서 I_D/I_D 는 전류값을 채널의 W로 normalize한 값이다. Table 1은 Fig. 2의 결과를 토대로 on/off current ratio, SS와 DIBL을 정리한 표이다. 본 논문에서는 시뮬레이션 tool에서 실행한 결과 데이터로 계산하였다.

Table 1에서 on/off current ratio는 $10^5/10^5$ order를 갖는 값이 도출되었다. 여기서 off current는 ITRS 2028 기준에 따라 $I_D/I_D/W = 0.1 \mu\text{A}/\mu\text{m}$ 을 기준으로 잡았다. Fig. 3은 AR 변화에 따른 on current 변화를 나타낸 것이다. AR이 1 ~ 3 범위 내에서는 AR이 증가할수록 on/off current ratio가 줄어드는 경향성을 보이다가 AR이 4 이상이 되면 다시 증가하는 경향성을 보이는 것을 확인할 수 있다. 이러한 경향성은 채널의 T 변화에 따른 밴드 구조 변화와 관련이 있다고 예상할 수 있다. 따라서 본 논문에서는 밴드 구조를 보기 위하여 EDISON 나 노물리센터에서 제공하는 Tight-Binding 기반 NW

AR (T/W)	I_{on}/I_{off}	S (mV/dec)	DIBL (mV/V)
1	3.48 10^5	x 66.71	25.43
1.25	2.88 10^5	x 67.91	31.34
1.5	2.60 10^5	x 75.76	37.92
1.75	2.26 10^5	x 78.15	46.99
2	2.03 10^5	x 81.61	55.69
3	1.79 10^5	x 91.41	75.72
4	1.79 10^5	x 104.86	86.81
5	1.86 10^5	x 105.02	98.28

Table 1. AR에 따른 on/off ratio, SS, DIBL 비교

밴드 구조 계산 소프트웨어를 추가적으로 사용하였다. Fig. 4는 AR에 따른 밴드 구조이다. Fig. 4(a)에서 4개의 band가 conduction band edge(CBE) 부근에 모여 있는 것을 확인할 수 있다. AR이 2인 경우(Fig. 4(b))는 2개의 band가 CBE 부근에 모여 있으며, 그 보다 0.2 eV 위에 세 번째와 네 번째 subband가 있는 것을 볼 수 있다. 따라서 AR이 1에서 2로 증가하는 과정에서 전류 형성에 관여하는 전자의 농도 감소를 예상할 수 있고, 그에 따라 on current가 감소함을 알 수 있다. Fig. 4(c)와 4(d)에서도 가장 낮은 에너지를 갖는 2개의 band와 세 번째와 네 번째의 subband 에너지 차이를 비교하였을 때, Fig. 4(d)가 Fig. 4(c)보다 차이가 적은 것을 볼 수 있다. 따라서 AR이 4 이상이 되면 AR이 증가할수록 on current 양이 많아지는 현상이 설명 가능하다. 참고 논문 [6]에서는 AR = 2 이하에서만 시뮬레이션을 진행하였고, 그 경향성은 본 논문에서 시뮬레이션 한 데이터 경향성과 일치하는 것을 확인할 수 있다.

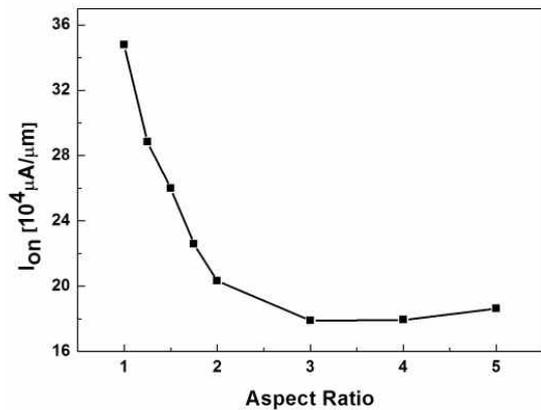


Fig. 3. AR에 따른 I_{on}/I_{off} 변화

Table 1과 Fig. 5에서는 AR이 증가할수록 SS와 DIBL은 증가하는 경향성을 보여주었는데, 이는 [6]의 결과와 경향성이 동일하다. 이 결과는 AR이 증가할수록 SCE가 커진다고 해석할 수 있다.

이는 AR이 증가할수록 나노 구조에서 벗어나 bulk 구조로 변화하여 전체적인 leakage 전류값이 증가하기 때문으로 예상된다. 한편 DIBL을 구할 때에는 $V_d V_a = 0.6$ V일 때와 $V_d V_a = 0.06$ V일 때 두 가지 경우의 문턱 전압 변화를 통해 계산하였다.

이 결과들을 통해 내릴 수 있는 결론은 leakage current, power의 영향을 많이 받는 저전력용 소자에서는 나노와이어 FET의 채널 etching을 최대한 symmetric하게 만드는 것이 중요하다는 점이다. 또 일반적인 소자 공정 시에는 비용적인 부분도 고려해야 하기 때문에 on current 양과 AR, 그리고 SCE의 trade-off 관계를 잘 이용하는 것이 중요할 것으로 보인다.

CONCLUSION

본 논문에서는 TB NEGF 기반 Nanowire FET 소자 성능 및 특성 해석용 소프트웨어를 사용하여 채널의 AR에 따른 on/off current ratio, SS와 DIBL을 각각 비교 및 분석하였다. 그 결과 on current 특성은 AR을 3까지 증가시켰을 때 감소하다가 AR

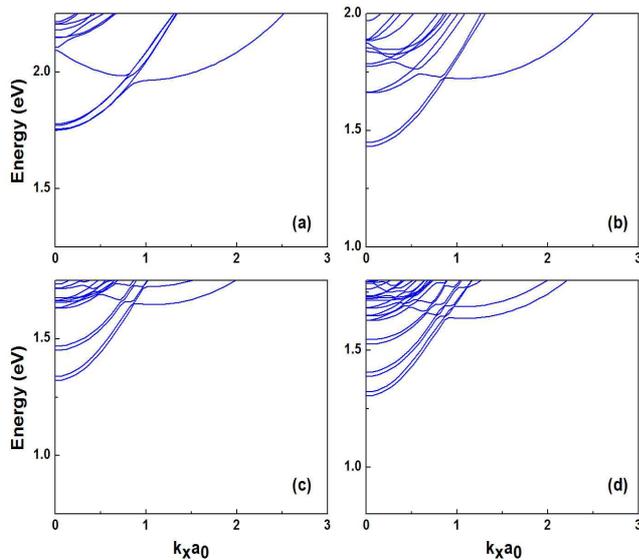


Fig. 4. AR에 따른 밴드 구조 비교 (a) AR = 1, (b) AR = 2, (c) AR = 4, (d) AR = 5

이 4 이상이 되면 다시 증가하는 경향성을 보였고, SCE에 영향을 주는 SS, DIBL은 AR이 커질수록 증가하는 경향을 보였다. 이로써 우리는 소자의 쓰임새에 따라서 채널 symmetry, on current 특성과 SCE를 조절하여 최적의 성능을 갖는 소자를 만들어 낼 수 있다는 결론을 내릴 수 있었다. 본 연구는 실리콘 [100] 방향만을 이용한 논문이므로, 다음에는 [110] 방향을 이용하여 AR에 따른 소자의 특성을 도출해내는 연구도 할 수 있다. 그 결과를 토대로 [100]과 [110] 방향의 특성을 서로 비교해 볼 수 있다 [9]. 그리고 본 연구에서는 TB를 이용하여 채널을

rectangular model로 만들어 시뮬레이션을 하였지만, 차후 연구에서는 density functional theory (DFT)를 이용하면 채널을 원통 모양으로 모델링하여 더 정확한 시뮬레이션을 할 수 있을 것이다.

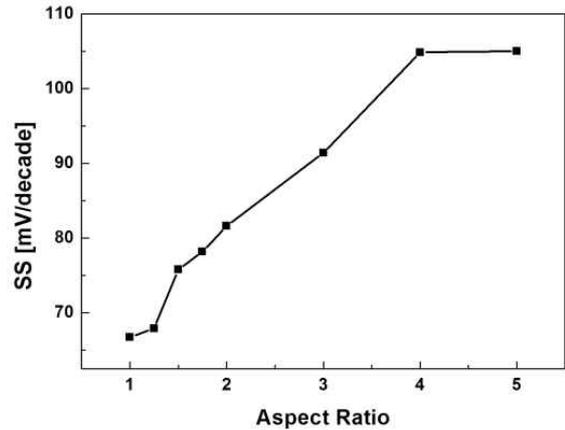


Fig. 5. AR에 따른 SS 변화

ACKNOWLEDGEMENT

본 논문은 2015년도 정부 (미래창조과학부)의 재원으로 한국연구재단 첨단 사이언스·교육 허브 개발 사업의 지원을 받아 수행된 연구임 (2012M3C1A6035302)

REFERENCES

[1] W. Lu and C. M. Lieber, "Semiconductor nanowires," *J. Phys. D, Appl. Phys.*, vol. 39, no. 21, pp. R387-R406, Oct. 2006

[2] R. H. Yan, A. Ourmazd and K. F. Lee, "Scaling the Si MOSFET: From bulk to SOI to bulk," *IEEE Trans. Electron Devices*, vol. 39, no. 7, pp.1704-1710, Jul. 1992

[3] W. Lu, P. Xie and C. M. Lieber, "Nanowire Transistor Performance Limits and Applications," *IEEE Transactions on Electron Devices*, vol. 55, no. 11, pp. 2859-2876, Nov. 2008

[4] S. Bangsaruntip *et al*, "High Performance and Highly Uniform Gate-All-Around Silicon Nanowire MOSFETs with Wire Size Dependent Scaling," *IEEE Electron Devices Meeting*, 2009, pp. 1-4

[5] G. Pei *et al*, "FinFET Design Considerations Based on 3-D Simulation and Analytical Modeling," *IEEE Transactions on Electron Devices*, vol. 49, no. 8, pp. 1411-1419, Aug. 2002

[6] Y. Li, "Optimal Geometry Aspect Ratio of Ellipse-Shaped-Surrounding-Gate Nanowire