

MOS Capacitor 에서 Fixed Oxide Charge 가 문턱전압에 미치는 영향 분석

차수형
전자전파공학과, 경희대학교, 경기도 용인시 기흥구 덕영대로 1732
E-mail: cktngud@naver.com

본 논문에서는 MOS(Metal Oxide Semiconductor) Capacitor의 산화막내에 다양한 원인에 의해 존재하는 비이상적인 전하들 중 Fixed Oxide Charge가 소자의 문턱전압에 어떤 영향을 주는지 분석했다. 분석한 결과 n+ polysilicon Gate를 가지고, 산화막인 SiO₂의 두께가 3nm이고, 도핑농도가 10¹⁸cm⁻²인 P형 실리콘 기판으로 이루어진 MOS Capacitor에서 Fixed Oxide Charge Density가 C/cm² 이상일 때 문턱전압을 0.01V 이상 감소시키고 C/cm² 이하일 때 문턱전압을 0.01V 이상 증가시켰다.

INTRODUCTION

Metal Oxide Semiconductor(MOS) Capacitor에서 산화막은 절연물질로서 금속과 반도체 두 평판을 분리하여 커패시터의 역할을 수행할 수 있게 한다. 이 때 산화막 내에는 다양한 원인에 의해 전하가 존재하여 MOS Capacitor의 성능에 영향을 미치게 된다. 산화막 내에 존재하는 전하는 다음과 같이 4가지로 구분된다.[1],[2]

a) Oxide trapped charge(산화막 포획 전하)

Oxide trapped charge는 전자의 포획 준위로 작용하는데 이는 산화막에 생긴 구조의 결함으로 생겨난다.

b) Interface trapped charge(계면 포획 전하)

Interface trap은 Si-SiO₂의 계면에 존재한다. Si 원자의 Dangling bond에 의해 생성되며 표면 전위가 변함에 따라 충전되거나 방전된다.

c) Mobile ionic charge(유동전하)

보통 알칼리이온(Na⁺,K⁺,Li⁺)으로 존재하는데 주로 인간의 신체에 의한 것으로 공정과정에서 생성된다.

d) Fixed oxide charge(계면 고정 전하)

Fixed oxide charge는 Si-SiO₂의 경계면 근처 산화막 안에 존재하는데 산소의 화학적 반응시 과잉 실리콘에 의하여 나타난다.

본 논문에서는 다른 산화막형 전하들은 무시하고 Si-SiO₂의 계면의 근처에서 나타나는 Fixed Oxide Charge가 MOS의 문턱전압에 미치는 영향을 분석해본다.

CALCULATION METHOD

본 논문에서는 Fixed Oxide Charge가 MOS Capacitor의 문턱전압에 미치는 영향을 시뮬레이션하기 위하여 EDISON에서 제공하는 프로그램인 'MOS Capacitor(tbm)'을 사용하였다. 기본 조건들은 다음과 같다. 온도는 300K를 기준으로 설정하였고 산화막은 SiO₂로 설정하였기 때문에 Oxide Band Gap은 9eV, Oxide의 상대유전상수는 3.9로 설정하였다.[3],[4] Oxide 두께는 3nm로 설정하였다. 반도체 기판은 p형 실리콘 기판으로서 도핑농

도는 10¹⁸cm⁻³, 밴드갭은 1.12eV, 상대유전상수는 11.9, 전자친화도는 4.05eV, Longitudinal Effective Mass는 0.98, Transverse Effective Mass는 0.19, Valley Degeneracy는 6, Heavy Hole Effective Mass는 0.49, Light Hole Effective Mass는 0.16으로 설정하였다.[3],[4] Gate Metal의 경우 n+polysilicon을 사용하여 그에 해당하는 work function으로 4.17eV를 설정하였다. 여기서 Oxide Surface Charge의 값을 변화시켜보면서 그 경향을 분석하고 이를 이론적인 계산식과 비교하여 본다. 문턱전압은 다음의 식을 이용하여 구할 수 있다.[3]

$$V_{th} = \frac{Q_{SD} - Q_f}{C_{ox}} + \phi_{ms} + 2\phi_f$$

는 공핍영역의 단위면적당 최대 공간전하밀도의 크기이다. 는 단위면적당 등가 포획전하로 이 경우 Fixed oxide charge에 해당한다. 는 산화막 커패시턴스이다. 는 금속-반도체 일함수 차이이다. 는 진성페르미 준위와 반도체의 페르미준위 사이의 차(단위는 volt)이다. 각각은 다음과 같다.[3]

$$Q_{SD} = eN_a \left(\frac{4\epsilon_s \phi_f}{eN_a} \right)^{\frac{1}{2}}$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$$

$$\phi_{ms} = -\left(\frac{E_g}{2e} + \phi_f \right)$$

$$\phi_f = V_t \ln \left(\frac{N_a}{n_i} \right)$$

위 식들을 이용하여 문턱전압의 값을 계산할 수

있다. ($n_i = 1.5 \times 10^{10}$)

Table 1. Fixed Oxide Charge 에 대한 Vth

RESULTS AND DISCUSSION

<Table 1>은 앞서 주어진 식들을 이용하여 계산한 결과이다. 양의 Fixed Oxide Charge를 가질 경우 문턱전압이 낮아지는 것을 알 수 있다. $0 \sim 10^{11}$ 의 밀도를 가질 경우 문턱전압은 $0 \sim 0.01V$ 정도의 미세한 크기로 감소하지만 밀도가 10^{11} 을 넘어서면서부터 점점 큰 폭으로 감소하고 있다. 3×10^{12} 을 넘어서부터는 문턱전압이 $0V$ 보다 낮아져 공핍형 MOS Capacitor로 제작 된다. 반대로 음의 Fixed Oxide Charge를 가질 경우 문턱전압이 증가하는 것을 알 수 있다. 이 경우에도 $0 \sim 10^{11}$ 의 밀도를 가질 경우 문턱전압이 $0 \sim 0.01V$ 정도의 미세한 크기로 증가하지만 그 이후부터는 점점 더 큰 폭으로 문턱전압이 증가하는 것을 알 수 있다. EDISON의 'MOS Capacitor(tbm)' 시뮬레이션 소프트웨어로 구현한 <Fig. 1>과 <Fig. 2>는 각각 양과 음의 Fixed Oxide Charge Density에서 C-V특성을 나타내고 있다. C-V그래프에서는 최소값 근처에서 문턱전압이 나타나는데 <Fig. 1>과 <Fig. 2>의 최소값을 보면 Table1에서 계산한 문턱전압 값과 상응하는 것을 알 수 있다. <Fig. 3>과 <Fig. 4>는 각각 양과 음의 Fixed Oxide Charge Density에서 Electron Charge Density와 Gate Voltage의 관계를 나타내고 있다. Electron Charge Density가 0인 지점은 아직 문턱전압을 넘지 못한 점으로 채널이 형성되지 않아 전자를 거의 발견할 수 없고 급격하게 증가하는 부분의 시작점은 문턱전압을 넘은 점으로 채널이 형성되어 전자가 발견되는 것이다. 이 또한 문턱전압이 <Table 1>, <Fig. 1>, <Fig. 2>와 상응하고 있음을 알 수 있다.

Fig. 1. 양의 Fixed Oxide Charge Density 에서 Gate Voltage 에 대한 Normalized 된 Capacitance

Fig. 2. 음의 Fixed Oxide Charge Density 에서 Gate Voltage 에 대한 Normalized 된 Capacitance

Fixed Oxide Charge Density(C/cm^2) [Ⓢ]	Threshold Voltage(V) [Ⓢ]
0 [Ⓢ]	0.3941 [Ⓢ]
$e * (1 * 10^{10})$ [Ⓢ]	0.3927 [Ⓢ]
$e * (5 * 10^{10})$ [Ⓢ]	0.3871 [Ⓢ]
$e * (1 * 10^{11})$ [Ⓢ]	0.3801 [Ⓢ]
$e * (5 * 10^{11})$ [Ⓢ]	0.3245 [Ⓢ]
$e * (1 * 10^{12})$ [Ⓢ]	0.2550 [Ⓢ]
$e * (3 * 10^{12})$ [Ⓢ]	-0.0232 [Ⓢ]
$e * (5 * 10^{12})$ [Ⓢ]	-0.3013 [Ⓢ]
$e * (1 * 10^{13})$ [Ⓢ]	-0.9966 [Ⓢ]
$-e * (1 * 10^{10})$ [Ⓢ]	0.3954 [Ⓢ]
$-e * (5 * 10^{10})$ [Ⓢ]	0.4010 [Ⓢ]
$-e * (1 * 10^{11})$ [Ⓢ]	0.4080 [Ⓢ]
$-e * (5 * 10^{11})$ [Ⓢ]	0.4636 [Ⓢ]
$-e * (1 * 10^{12})$ [Ⓢ]	0.5331 [Ⓢ]
$-e * (5 * 10^{12})$ [Ⓢ]	1.0894 [Ⓢ]
$-e * (1 * 10^{13})$ [Ⓢ]	1.7847 [Ⓢ]

Fig. 3. 양의 Fixed Oxide Charge Density 에서

Gate Voltage 에 대한 Electron Charge Density

- [1] B.E.Deal, J. Electrochem. soc., vol. 121, pp. 198C-205C, 1974
- [2] 이철환, 성만영, 최연익, 김충기, 서강덕. (1988). 전력용 반도체 소자의 설계 제작에 있어서 Fixed oxide charge가 p+/n 접합의 항복 전압에 미치는 영향. 대한전기학회 학술대회 논문집, 155-158.
- [3] Donald A. Neamen, Semiconductor physics and devices, McGraw-Hill, 2011
- [4] Chenming Calvin Hu, Modern Semiconductor Devices for Integrated Circuits, PEARSON, 2010

Fig. 4. 음의 Fixed Oxide Charge Density 에서 Gate Voltage 에 대한 Electron Charge Density

실제 소자에서 산화막은 이상적인 절연체로 존재하지 않고 전하를 가지고 있는데 양의 전하일 경우 문턱전압을 낮추고, 음의 전하일 경우에 문턱전압을 높인다는 것을 확인했다. 특히 이번 연구에서는 n+ polysilicon Gate를 가지고, SiO₂의 두께가 3nm이고, 도핑농도가 10¹⁸cm⁻²인 P형 실리콘 기판에서의 문턱전압은 Fixed Oxide Charge의 Density가 보다 클때와 보다 작을 때 0.01V보다 큰 변화가 있다는 것을 확인했다. 산화막 내에 존재하는 Fixed Oxide Charge Density를 10¹¹이하로 낮추어야 이러한 비 이상적인 MOS Capacitor의 특성 변화를 최소화 할 수 있다.

CONCLUSION

이번 연구에서는 'MOS Capacitor(tbm)' 시뮬레이션 소프트웨어를 이용하여 Fixed Oxide Charge 에 대한 문턱전압의 변화를 살펴보았다. 결과적으로 n+ polysilicon Gate를 가지고, SiO₂의 두께가 3nm이고, 도핑농도가 10¹⁸cm⁻²인 P형 실리콘 기판을 가지는 MOS Capacitor의 문턱전압은 Fixed Oxide Charge Density가 보다 클때와 보다 작을 때 0.01V보다 큰 변화가 있었다. 만약 예측 불가능한 Fixed Oxide Charge가 소자의 공정과정에서 생성 된다면 적어도 그 밀도가 10¹¹보다 작게 최소화 시켜야 목표로 했던 소자의 문턱전압에 가까울 것이다. 그보다 큰 밀도의 산화막 전하가 있다면 음과 양의 전하와 크기에 따라 문턱전압이 크게 이동할 것이다. 특히 이상의 밀도를 가진 양의 전하라면 공핍형 MOS Capacitor가 될 것이다.

ACKNOWLEDGEMENT

본 논문은 2016년도 정부(미래창조과학부)의 재원으로 한국연구재단 첨단 사이언스·교육 허브 개발 사업의 지원을 받아 수행된 연구임

(2012M3C1A6035302)

REFERENCES