

<100>, <110>, <111>방향 Si, InAs Nanowire nMOSFETs 의 성능 연구

정성우, 박상천  
 전기 및 전자공학과, 한국과학기술원, 대전광역시 유성구 대학로 291  
 E-mail: tjddn9988@kaist.ac.kr, giftedin@kaist.ac.kr

Si와 InAs 두 가지 채널 물질을 가지고 3가지 수송 방향 <100>, <110>, <111>으로 변화시키며 각각의 Nanowire nMOSFETs를 가지고 ballistic quantum transport simulation을 진행하였다. 각각의 경우에 대해 E-k curve를 구한 다음에 band curvature로 캐리어의 유효질량을 계산하고, 이를 통해 MOSFET의 전류 세기를 결정짓는 DOS와 carrier injection velocity를 구하여 어떤 경우에 가장 높은 ON-current를 흐르게 하는지 확인해 보았다. 하지만 예상과 달리 나노와이어의 직경이 1.4nm으로 매우 작기 때문에 valley-splitting이 일어난다. 결론적으로 Si<110>의 경우에 가장 작은 캐리어 유효 질량을 갖고 있는 사실을 확인할 수 있었다. 결론적으로 Si<100>의 경우에 trade-off 관계에 있는 DOS와 carrier injection velocity가 6가지 경우 중 최적의 조합을 가짐으로써 가장 높은 ON-current를 흐르게 하였다.

INTRODUCTION

반도체 소자 소형화에 대한 지속적인 연구들을 통해 트랜지스터는 수 나노미터 크기까지 작아졌다 [1]. 하지만 트랜지스터 채널 길이가 짧아짐에 따라 소스와 드레인 사이의 전기장의 세기가 매우 커져서 작은 게이트 전압으로 트랜지스터의 동작을 제어하기 어려워졌다. 이러한 현상을 단채널효과(short-channel effects)라고 하는데, [2] 이 외에도 OFF-state에서 흐르는 누설전류를 줄이기 위해 subthreshold swing(SS)를 최소화시킬 것을 비롯한 여러가지 문제들의 중요성이 들어났다 [3], [4]. 이와 같이 트랜지스터 소형화 과정에서, 평면 CMOS와 같은 기존의 2차원 트랜지스터의 한계가 드러나자 공학자들은 3차원 트랜지스터에 관심을 가지고 연구하기 시작했다.

FinFET, Tri-gate와 같은 여러가지 3차원 트랜지스터들이 개발되었는데, [5] 그 중에서 반도체 전체를 와이어 형태의 게이트가 감싸고 있는 나노와이어 트랜지스터가 단채널 효과 문제를 해결할 새로운 해답으로 제시되었다. 나노와이어 트랜지스터는 게이트가 반도체를 감싸고 있는 면적이 넓어서 게이트 전압으로 트랜지스터를 제어하기가 상대적으로 쉽다는 장점을 가지고 있으며, 특히 Gate-All-Around(GAA)가 그 성능을 인정 받아 넓게 연구되고 있다 [6], [7].

나노와이어 트랜지스터가 기존 CMOS의 대안으로 제시된 가운데 NW MOSFET의 성능을 향상시키기 위하여 많은 연구들이 이어졌다 [8]-[10]. 이 연구들은 공통적으로 MOSFET에 흐르는 ON/OFF-current를 각각 증가, 감소시키기 위해 여러가지 방법들을 사용하였는데, 이 때 ON-current의 세기는 virtual source charge density와 carrier injection velocity에 비례한다 [11]. 이 두 가지 요소의 곱을 최대 만들기 위해 채널 물질을 기존의 Si가 아닌 Ge, III-V을 사용하거나 채널 물질의 전송 방향을 바꾸는 방법 등이 시도 되었다.

본 논문에서는 기존의 Si 채널과 높은 전자 이동도를 가지고 있는 III-V 물질, InAs 채널 두 가지에 대해 각각 3가지 전송 방향(<100>, <110>, <111>)으로 변화시키면서 시뮬레이션을 진행하였다. 또한, NW MOSFET에 대한 색다른 접근이 필요하다 하고 느껴, 직경 1.4nm 아주 작은 나노와이어를 시뮬레이션에 사용하였다. 이에 따라 4nm이상에서는 발견할 수 없었던 valley splitting이 발생하여 E-k curve에 변화가 생겼으며, valley

splitting에 영향을 받은 정도는 물질의 전송방향에 따라 큰 차이를 보였다.

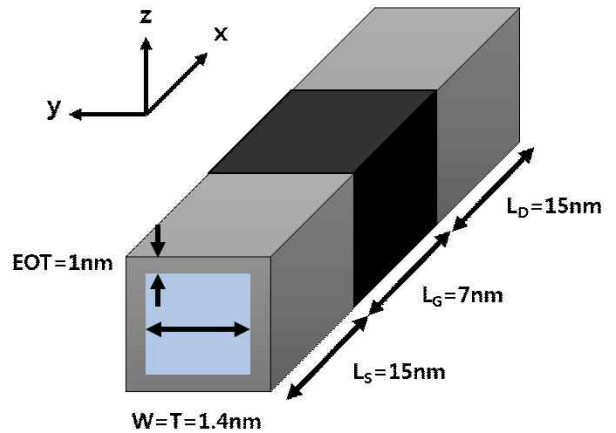


Fig. 1. GAA Nanowire nMOSFET model

CALCULATION METHODS

본 논문에서는 나노와이어 nMOSFETs의 소자 특성을 계산하기 위해 EDISON 나노물리센터에서 제공하는 Tight-Binding (TB) NEGF 기반 Nanowire (NW) FET 소자 성능 및 특성 해석용 소프트웨어를 사용했다. 그리고 밴드 구조를 계산하기 위해 EDISON 나노물리센터에서 제공하는 TB 기반 밴드 구조 계산 소프트웨어를 사용했다.

소프트웨어에서는 boykin의  $sp^3d^5s^*$  orbital을 사용하여 ballistic quantum transport를 진행하였으며, Spin-orbit (SO) coupling은 이번 연구에서 고려하지 않았다. 만약 Si, InAs로 만들어진 NW에서 SO를 고려할 경우 effective mass,  $m^*$ 와 bandgap,  $E_g$  값이 약간 변하게 되는데 그 차이는 4% 미만으로 전체적인 결과에 큰 영향을 미치지 않는다는 보고가 있었기 때문이다. [9]

Fig. 1. 은 본 연구에서 사용한 gate-all-around (GAA) Nanowire nMOSFETs model이다. Nanowire의 직경은 1.4nm x 1.4nm이고, oxide로 사용한 SiO<sub>2</sub>의 두께는 1nm이며, 게이트의 길이는 7nm, 소스와 드레인은 모두 15nm이다. 이 parameter들은 International Technology Roadmap for

Semiconductor (ITRS) 2028에 준하는 기준이다. Si는  $5 \times 10^{20}$ , InAs는  $5 \times 10^{19} \text{ cm}^{-3}$ 으로 n-type 도핑했고, 채널은 intrinsic material을 사용하였다.

## RESULTS AND DISCUSSION

Fig. 2-3. 은 EDISON 나노물리센터에서 제공하는 TB 기반 밴드 구조 계산 소프트웨어를 이용하여 InAs, Si NW의 band와 Density-of-states (DOS)를 계산한 결과이다.

Si, InAs 모두 높은 electron mobility를 가지고 있어 nMOSFET으로 사용되기 때문에 conduction band를 집중적으로 조사했다. Conduction band의 curvature를 이용하면 NWs의 effective mass,  $m^*$ 을 계산할 수 있는데, 그 식은 다음과 같다.

$$m^* = \frac{\hbar^2}{\frac{d^2E}{dk^2} \times m_0} \quad (1)$$

식에 따르면 curvature가 클수록, 즉 band edge의 기울기가 가파를수록  $m^*$ 이 가볍다. Fig. 2-3.의 effective mass는 Band edge를 fitting 해서 공식에 적용하여 구한 것이다. 계산 결과 Si의 effective mass는 Jia-An Yan et al. 이 진행한 연구의 결과와 일치하고, InAs의 effective mass는 Khairul Alam et al. 의 연구의 결과와 거의 일치하는 것을 확인했다. [14]-[15]

두 결과를 보면 InAs와 Si 모두 <110>방향의 effective mass가 가장 작고, <100>과 <111>방향의 effective mass는 두 물질이 다른 경향성을 띄고 있다. 보고된 논문에 따르면 이런 결과는 NW 직경의 크기와 큰 연관이 있다.

InAs의 경우 NW 직경이 작아질수록 effective mass의 크기가 점진적으로 증가한다. 그 중에서 <100>의 effective mass가 가장 크게 증가하고, <111>, <110>이 그 뒤를 따르며 증가한다. [15]

반면, Si의 경우 경향성이 InAs와 다른데, 이는 valley spitting과 관련이 있다. Si의 conduction valley는 직경 8nm 이상의 NW에서는 degenerate 되어 있다. 그러나 직경이 작아지면, valley splitting이 발생하면서 band의 curvature가 변하는데, <110>은 band edge가 밑으로 쪽 내려오면서 splitting을 하기 때문에 오히려 splitting이 일어날수록  $m^*$ 이 작아진다. 나머지 <100>과 <111>은  $m^*$ 이 증가하는 방향으로 splitting이 일어난다. [12]

Fig. 2-3. 의 오른쪽에 위치한 그래프는 InAs, Si 두 물질의 transport 방향에 따른 density-of-states (DOS)를 나타내고 있다. DOS는 MOSFET의 전류 크기를 결정하는데 중요한 역할을 한다. MOSFET의 전류는 다음의 식으로 기술할 수 있다. [8]

$$I = Q \times v_{inj} \quad (1)$$

Q는 virtual source charge density로써 DOS의 크기와 연관성이 높은 값으로  $m^*$ 가 클수록 그 값이 증가한다. 반면에  $v_{inj}$ 는 carrier injection velocity로써  $m^{*1/2}$ 에 반비례한다 [11], [13]. 반면, DOS는 나노와이어 같은 1D 구조에서  $\sim m^{*1/2}$ 에

비례하는 값이다.

다시 말해, 높은 전류가 흐르기 위해서 필요한 두 가지 조건(높은 DOS와 높은  $v_{inj}$ )이  $m^*$ 에 대하여 정반대의 dependence를 가지고 있기에 서로 trade-off관계에 있음을 확인할 수 있다. Fig. 2. 와 Fig. 3. 을 비교해보면 InAs, Si 모두 <110> 방향이 가장  $m^*$ 이 작은 대신 DOS의 크기도 작다. 결론적으로 좋은 MOSFET 전류를 얻기 위해서는 NW의 크기와 방향을 잘 고려하면서 적절한 DOS와  $m^*$ 을 찾는 것이 중요하다.

다음으로 Fig. 4. 와 Table 1. 은 TB NEGF 기반 NW FET 소자 성능 및 특성 해석용 소프트웨어를 사용하여 Si/InAs NW MOSFETs의  $I_D$ - $V_G$  그래프와 transport 특성을 계산한 결과이다.

먼저 Fig. 4. 는 NW MOSFETs의  $I_D$ - $V_G$  그래프로, ITRS 기준에 따라  $I_{OFF} = 100 \text{ nA}/\mu\text{m}$ 로 설정하고 이 값을 만족할 때의  $V_G$ 를  $V_{th}$ 로 잡았다. 그림은  $V_{th} = 0 \text{ V}$ 로 shift 시킨 상태이다. 그래프를 살펴보면 Si <100>이 가장 큰 전류 값을 기록하고 있고, InAs이 나머지 Si <110>과 Si<111>의 두 방향보다 높은 전류를 흐르게 하였다. 정확한 값은 Table 1. 의 ON/OFF current ratio를 확인하면 알 수 있다. Si <100>은  $m^*$ 는 Si <110>보다 크고 DOS는 Si <111>보다 작지만, 그 두 가지가 한쪽에 치우치지 않고 적절하게 좋은 특성을 가지고 있었기 때문에 가장 큰 on-current를 가질 수 있었다. 반면 가장 낮은 on/off ratio를 기록한 Si <111>은 큰 effective mass 때문에 높은 DOS에도 불구하고 낮은 on-current를 기록했다.

Table 1. 의 Subthreshold swing (SS)은 gate에 전압을 걸었을 때, 얼마나 잘 MOSFET을 컨트롤 할 수 있는지 알려주는 지표이다. nMOSFET의 이론적인 한계치는  $\sim 60 \text{ mV/dec}$ 이다. Table 1. 을 보면, InAs와 Si 둘 다 <100>, <111>, <110> 순으로 SS 특성이 좋았고, 특히 Si와 InAs <100>은 이론적 한계치에 근접한 좋은 결과가 나왔다.

SS에 가장 큰 영향을 주는 것은 Band-to-Band tunnelling (BTBT)으로 인한 leakage current이다. 만약 leakage current가 크면, 작은  $V_G$ 에서  $I_{OFF}$ 가 잡히게 되고, 작은  $V_G$  값에서  $I_D$ 를 끌어올리는 것은 높은  $V_G$  값에서 하는 것보다 더 어렵기 때문에 SS 값이 커지게 되는 것이다.

여기서 BTBT에 일차적으로 영향을 주는 요소는 도핑 농도이다. 특히 InAs같이 band-gap이 작은 물질일수록 그 영향이 크다. 도핑 농도가 너무 높으면 leakage current가 발생해서 SS 특성이 안좋아지고, 반대로 너무 낮으면 source exhaustion 이 발생해서 충분한 ON-current를 구할 수 없기 때문에 적절한 도핑을 하는 것이 중요하다.

그 다음으로 영향을 주는 요소는  $m^*$ 이다. Tunneling의 transmission coefficient가  $1/m^*$ 와 연관성이 높기 때문에,  $m^*$ 가 일정 수준 이상으로 작으면 tunneling이 크게 발생한다. 본 연구에서 시뮬레이션한 InAs, Si <110> NW nMOSFETs이 이 경우에 해당된다.

Fig. 5.는 InAs/Si의  $I_D$ - $V_D$  그래프로 각각 (a) InAs<100> (b) InAs<110> (c) InAs<111> (d) Si<100> (e) Si<110> (f) Si <111>의 결과를 나타내고 있다. 이 중 가장 높은 on-current를 기

록한 Si <100>의 경우, 낮은 saturation voltage,  $V_{D, sat}$  를 가지는 등, 다른 방향의 Si, 그리고 InAs NW MOSFET에 비해 전체적으로 좋은 성능을 보여주고 있다.

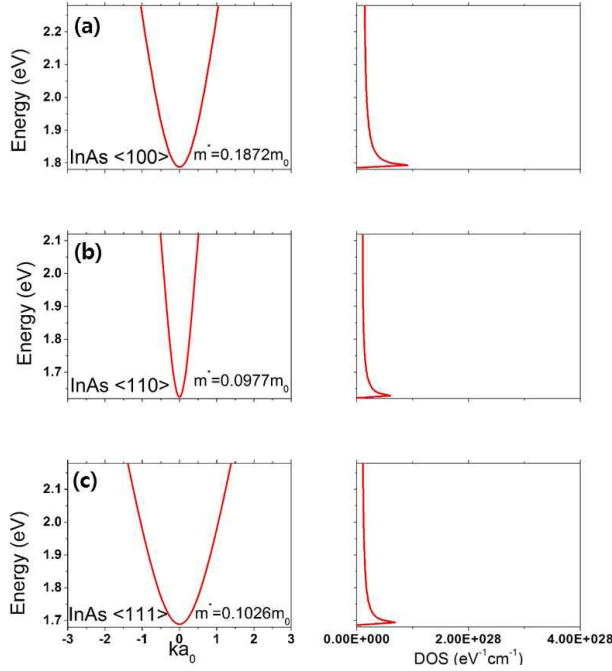


Fig. 2. (왼쪽) E-k (오른쪽) DOS 그래프, (a) InAs <100>, (b) InAs <110>, (c) InAs <111> NW nMOSFETs

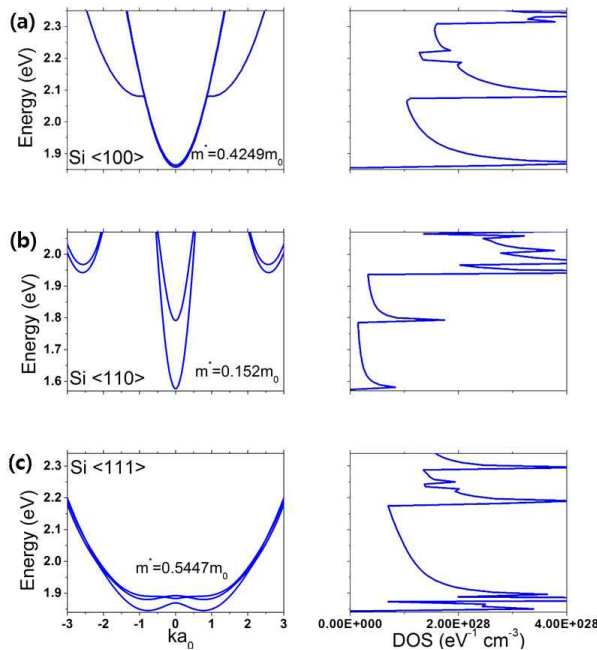


Fig. 3. (왼쪽) E-k (오른쪽) DOS 그래프, (a) Si <100>, (b) Si <110>, (c) Si <111> NW nMOSFETs

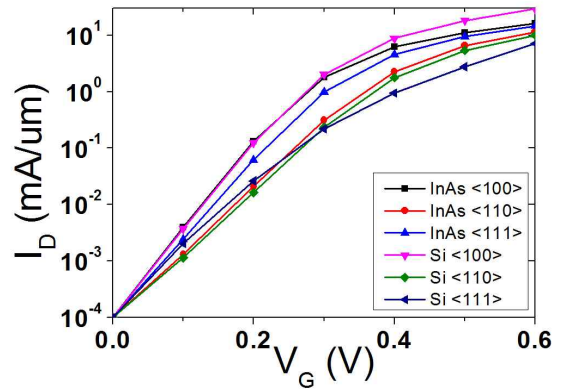


Fig. 4. Si, InAs의 나노와이어 방향에 따른  $I_D$  vs  $V_D$  그래프 ( $V_G = 0$  V 에서  $I_{OFF} = 100$  nA/ $\mu$ m이 되도록  $V_{th}$ 가 shift 된 상태)

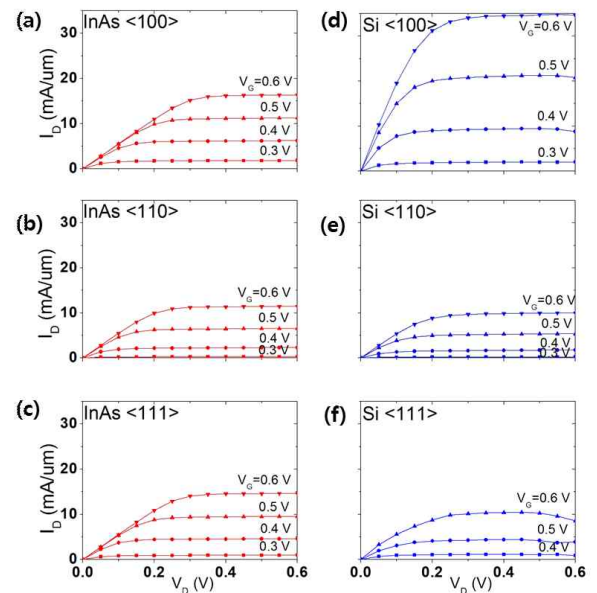


Fig. 5.  $I_D$  vs  $V_D$  그래프 (a) InAs <100>, (b) InAs <110>, (c) InAs <111>, (d) Si <100>, (e) Si <110>, (f) Si <111> NW nMOSFETs ( $I_{OFF} = 100$  nA/ $\mu$ m)

NW type	SS (mV/dec)	On / off current ratio ( $\times 10^5$ )
InAs <100>	62.96	1.62
InAs <110>	109.38	1.14
InAs <111>	89.8	1.45
Si <100>	62.47	2.9
Si <110>	118.65	0.99
Si <111>	73.84	0.71

Table 1. 각 방향 InAs, Si NW nMOSFET의 Subthreshold Swing (SS)와 on/off current ratio

### CONCLUSION

이번 연구에서는 InAs, Si <100>, <110>,

<111> NW nMOSFETs 성능을 알아보았다. 계산량을 줄이기 위해 NW의 크기를 아주 작게 만들었는데, 그 때문에 특이한 성능을 가진 NW MOSFET을 만들 수 있었다.

대체로 InAs가 Si보다  $m^*$ 가 가볍고, DOS의 크기가 작았다. 이번 연구에서 가장 좋은 성능을 보인 것은 Si <100>이었다. Si <100>은 DOS가 큰 Si와  $m^*$ 가 가벼운 InAs의 중간 정도에 위치했기 때문에 전체적으로 좋은 성능을 보일 수 있었다.

그러나 이것은 scattering을 고려하지 않은 것이므로 공평한 비교는 아니다. 채널의 길이가 7nm로 매우 작기 때문에, ballistic transport를 적용해도 큰 문제는 발생하지 않지만, 그렇다고 scattering이 아예 발생하지 않는 것은 아니다. Scattering rate은 DOS의 크기에 비례하기 때문에, scattering을 고려한다면 Si의 성능이 지금보다 조금 더 떨어질 것이라 예상된다.

그 밖에 NW의 크기에 따라 effective mass와 DOS가 변하기 때문에, NW 성능의 size dependence에 대한 후속 연구가 필요하다고 여겨진다.

#### ACKNOWLEDGEMENT

본 논문은 2015년도 정부(미래창조과학부)의 재원으로 한국연구재단 첨단 사이언스·교육 허브 개발 사업의 지원을 받아 수행된 연구임 (2012M3C1A6035302)

#### REFERENCES

[1] Kim, Semiconductor Industry Association. (2013). International Technology Roadmap on Semiconductors.[Online]. Available: <http://www.itrs2.net>

[2] Young, K. Konrad. "Short-channel effect in fully depleted SOI MOSFETs" *Electron Devices, IEEE Transactions on* 36.2 (1989): 399-402.

[3] Choi, Woo Young, et al. "Tunneling field-effect transistors (TFETs) with subthreshold swing (SS) less than 60 mV/dec." *Electron Device Letters, IEEE* 28.8 (2007): 743-745.

[4] Colinge, Jean-Pierre, et al. "Nanowire transistors without junctions." *Nature nanotechnology* 5.3 (2010): 225-229.

[5] Cui, Y., Zhong, Z., Wang, D., Wang, W. U. & Lieber, C. M. High performance silicon nanowire field effect transistors. *Nano Lett.* 3, 149–152 (2003).

[6] Cui, Yi, et al. "High performance silicon nanowire field effect transistors." *Nano letters* 3.2 (2003): 149-152.

[7] Singh, N., et al. "High-performance fully depleted silicon nanowire (diameter/splines/5 nm) gate-all-around CMOS devices." *Electron Device Letters, IEEE* 27.5 (2006): 383-386.

[8] R. Kim, U. E. Avci, and I. A. Young, "Ge Nanowire nMOSFET Design with Optimum Band Structure for High Ballistic Drive Current." *IEEE Electron Device Letters*, 36(8), 751–753, 2015

[9] R. Kim, U. E. Avci, and I. A. Young, "Source/drain doping effects and performance analysis of ballistic III-V n-MOSFETs." *Electron Devices Society, IEEE Journal of the* 3.1 (2015): 37-43.

[10] R. Kim, U. E. Avci, and I. A. Young, "Comprehensive performance benchmarking of III-V and Si nMOSFETs (gate length = 13nm) considering supply voltage and OFF-current," *IEEE Trans. Electron Devices*, vol.62, no. 3, pp.713-721, Mar.2015

[11] M. Lundstrom and J. Guo, *Nanoscale Transistors: Device Physics, Modeling and Simulation*. New York, NY, USA: Springer-Verlag, 2006.

[12] Neophytou, N., Paul, A., Lundstrom, M. S., & Klimeck, G., "Bandstructure effects in silicon nanowire electron transport." *IEEE Transactions on Electron Devices*, 55(6), 1286–1297., 2008

[13] Fischetti, M. V., Wang, L., Yu, B., Sachs, C., Asbeck, P. M., Taur, Y., & Rodwell, M., "Simulation of electron transport in high-mobility MOSFETs: Density of states bottleneck and source starvation." *Technical Digest - International Electron Devices Meeting, IEDM*, 109–112., 2007

[14] Jia-An Yan, Li Yang, and M. Y. Chou, "Size and orientation dependence in the electronic properties of silicon nanowires.", *Physical Rev. B.*, 75, (2007), 115319

## 제 5 회 첨단 사이언스 교육 허브 개발(EDISON) 경진대회

- [15] Khairul Alam, and Redwan N. Sajjad, "Electronic Properties and Orientation-Dependent Performance of InAs Nanowire Transistors." , IEEE Transactions on Electron devices, 57(11), 2880-2885, 2010