

Figure 1. Double Gate (DG) TMD MOSFETs 구조

equivalent oxide thickness (EOT), supply voltage (V_{DS}) 등의 소자 파라미터들에 초점을 맞춰 저전력 소자를 구현하였다. 본 연구에서 나타낸 최적의 소자 특성으로부터 ITRS에서 제시하고 있는 2021년 예측되는 소자 특성에 비하여 더 낮은 V_{DS} 에서 동작을 하면서 더 높은 I_{on} 과 낮은 SS로서 구동하는 것이 가능할 것으로 기대된다. 뿐만 아니라 inverter 동작에 있어서 ideal inverter에 가까운 동작을 할 것으로 기대된다.

I. INTRODUCTION

트랜지스터의 주 재료인 실리콘은 열에 강하고, 화학적으로 안정하며, 경제성이 뛰어난 장점이 있다. 하지만 소자의 Scaling이 진행됨에 따라 Leakage current가 증가하고 항복전압이 감소하는 등 문제가 나타나고 있다 [1]. 이러한 실리콘의 물성한계를 극복하고자 2차원물질이 각광받고 있다. 그 중에서 그래핀은 대표적인 2차원물질로서 높은 열전도율과 전자 이동도로 차세대 채널물질로서 매우 큰 관심을 받아오고 있다 [2]. 하지만 그래핀은 밴드갭이 존재하지 않아 실제 반도체 소자에서 낮은 On/off 전류 비율이 문제이다 [3]. 도핑 등과 같은 방법을 적용하여 밴드갭을 형성할 수 있으나 밴드갭이 형성되더라도 이동도의 급격한 감소로 트랜지스터로 상용화에 있어 걸림돌로 작용한다[4].

Transition metal dichalcogenides (TMDs)는 그래핀이 가지는 문제를 극복할 수 있는 새로운 2차원 채널물질로 조명받고 있다. TMDs 물질은 전이 금속 원소와 칼코젠 원소가 1:2의 비로 공유 결합을 하고 있고, 구성원소에 따라 금속, 반도체 등 특성이 달라진다 [3]. 그 중 대표적인 TMDs 반도체 물질인 MoS₂는 실험적으로 1.8 ~ 1.9 eV 정도 밴드갭이 존재한다. 뿐만아니라 이론적 계산을 통하여 실온에서 얻을 수 있는 이동도가 410 cm²/V·s으로, 동일한 박막형태의 실리콘 (100 cm²/V·s)에 비해 높은 이동도를 보여 차세대 고성능 FET소재로서 각광받고 있다 [3,5]. 또한 광학적 특성이 우수하고 투명성 및 유연성이 뛰어나 다양한 분야에 활용할 수 있을 것이라 기대된다.

A. Kis 연구팀은 공정을 통하여 처음 Single layer MoS₂ 트랜지스터에 대한 성능을 보였다 [6]. 이후

TMDC 를 이용한 소자의 구조 최적화 및 inverter 구현

오경환¹, 허수환², 나명열³, 이영준*¹
¹전자공학과, 광운대학교, 서울특별시 01897, 대한민국
²전자재료공학과, 광운대학교, 서울특별시 01897, 대한민국
³전기공학과, 광운대학교, 서울특별시 01897, 대한민국
 E-mail: dudwns4317@kw.ac.kr*

본 연구에서는 양자역학적 전하수송 모델을 바탕으로 channel length (L_{ch}),

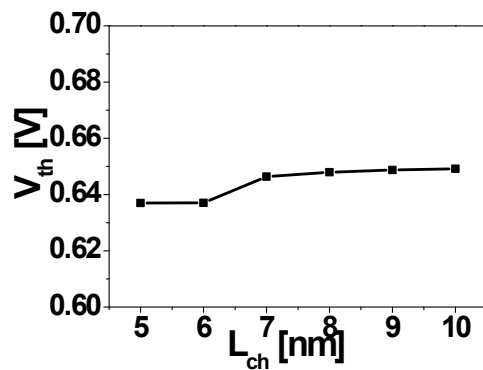


Figure 6. 채널길이(L_{ch})에 따른 문턱전압의 변화.

소자의 최적화에 대한 연구들이 이루어지고 있다. Minsuk Oh 연구팀은 MoS₂의 Contact에 대한 실험 연구를 통하여 Mo metal이 적합한 contact metal임을 보여주고 있다 [7]. 또한 Kaustav Banerjee 연구팀은 High performance (HP) 및 low-standby-power (LSTP)에 대하여 scattering (Surface roughness scattering: SRS) 등을 고려한 소자 최적화에 대한 이론 연구를 수행하였다 [8]. 그러나 초저전력 MoS₂ FET에 대한 연구는 아직 미미한 수준이다. 더 나아가 저전력 소자로 구성된 inverter의 성능에 대한 연구도 부족하다. 따라서 본 연구를 통하여 소자의 구조와 연관되는 파라미터에 초점을 맞춰 초저전력 MoS₂ FET소자를 설계하고자 한다. 이러한 최적의 소자를 바탕으로 inverter의 특성을 보았다.

II. CALCULATION METHODS

Energy [eV]

트 전압 (V_{GS})과 V_{th} 의 관계가 $V_{GS} = V_{DS} + V_{th}$ 인

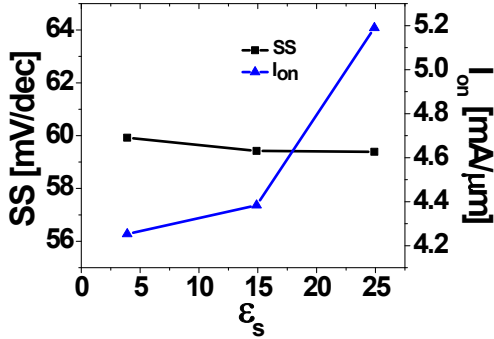


Figure 4. Dielectric Constant(ϵ_s)에 따른 SS 및 I_{on}

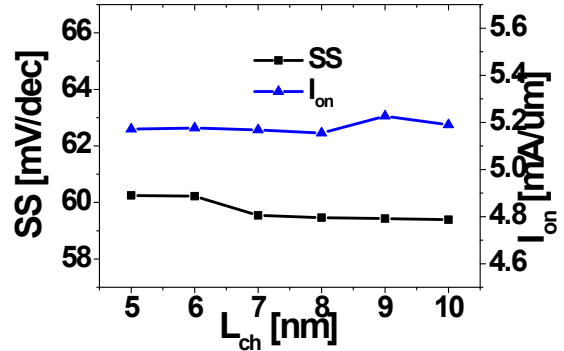
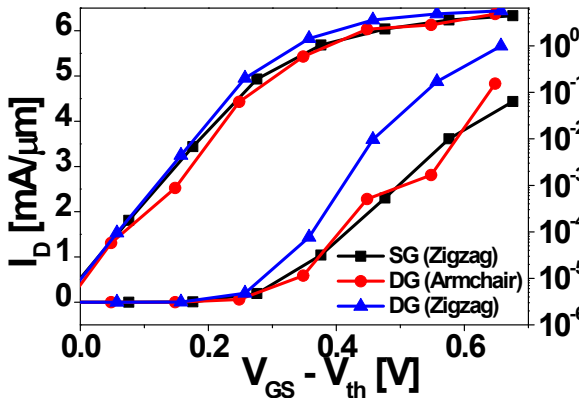


Figure 5. L_{ch} 에 따른 SS 및 I_{on}



본 시뮬레이션에 사용한 소자는 Fig. 1에서 보는 것과 같은 double gate (DG) MOSFETs 구조 또는 single gate (SG)를 가진다. 이에 대하여 EDISON에서 제공하는 Tight-binding non-equilibrium Green's function (NEGF) 기반으로 한 양자역학적 시뮬레이션을 통한 전하수송 계산을 수행하였다. 또한 MoS₂의 Band structure는 EDISON에서 제공하는 Tight-binding 기반 밴드구조 계산 S/W를 사용하였다.

구조 최적화에 있어 소자 구조에 대한 파라미터로 채널길이 (L_{ch}), equivalent oxide thickness (EOT), supply voltage (V_{DS}) 등에 대한 소자 특성을 파악한다. 또한 이러한 결과를 바탕으로 저전력 소자 설계를 수행한다.

III. DEVICE PERFORMANCES

A. Gate type 및 방향성에 대한 소자 특성

Figure 2. Gate type 및 orientation에 따른 I_D - V_G 특성.

본 연구에서는 constant current method를 이용하여 Off-current (I_{off}) = 0.01 mA/mm에서 문턱전압 (V_{th})을 구하였다. On-state current (I_{on})은 게이

지점으로 정의하였다.

Fig. 2는 Gate type과 Orientation에 따른 I_D - V_{GS} 특성을 보여주고 있다. DG와 SG를 비교해 보면 DG의 I_{on} 와 subthreshold swing(SS)는 각각 4.24 mA/ μm 과 59.9 mV/dec의 값을 가지고 Single의 경우에는 1.48 mA/ μm 값과 67.0 mV/dec값을 가졌다. 이러한 특성의 차이는 자명하게도 DG 채널의 Gate Controllability의 향상에 의하여 발생한다. 양쪽 게이트의 직접적인 채널의 제어가 가능해짐에 따라서 이상적인 SS에 근접함과 함께 높은 I_{on} 을 얻을 수 있다 [9].

다음으로 Gate Type을 DG로 고정한 상태에서 Channel Orientation을 달리하였다. Fig. 2에서 보는 것처럼 Zigzag방향의 성능이 더 우수한 것으로 나타나고 있다. Zigzag 방향의 I_{on} 과 SS는 4.24 mA/ μm 와 59.9 mV/dec의 값을 각각 보이고 있으며 Armchair 방향의 I_{on} 과 SS는 7.19 mA/ μm 와 62.9 mV/dec의 값을 가진다. Fig. 3에서 보는 것처럼 MoS₂는 일반적으로 등방성 밴드구조를 가지는 것으로 보여 방향에 상관없이 유사한 특성을 가질 것으로 예상되었다. 하지만 저전력 지표인 SS를 비교하였을 때 Zigzag 방향으로의 성능이 조금 더 우수하게 나타남을 확인할 수 있다. 이는 Transport 계산과정에서 Armchair와 Zigzag의 단위 유닛셀은 동일하나 1차원에서의 Zigzag의 Doping density가 상대적으로 더 높기 때문이다 [10]. 이로 인하여 Depletion의 두께는 얇아지고, 채널의 potential barrier의 Width는 두꺼워진다. 반대로 Armchair의 경우, Depletion의 두께가 두꺼워지므로 potential barrier의 width가 얇아져 터널링이 빈번하게 일어나 leakage current가 증가한다.

이후에 나오는 소자구조는 Zigzag방향에 대한 DG MOSFET을 기본 구조로 한다.

B. EOT에 따른 소자 특성

Gate controllability를 좌우하는 중요한 파라미터로 EOT가 있다. Fig. 4는 dielectric constant (ϵ_s)에 대한 SS와 I_{on} 을 나타내고 있다. 이와 같이 EOT를 조절하기 위하여 본 연구에서는 ϵ_s 를 조절하였다. ϵ_s 가 증가함에 따라 SS값이 감소하고 I_{on} 은 증가하는 것을 볼 수 있다. SS는 다음과 같이 정의된다.

Conventional MOSFET에서는 SS는 L_{ch} 에 무관하게

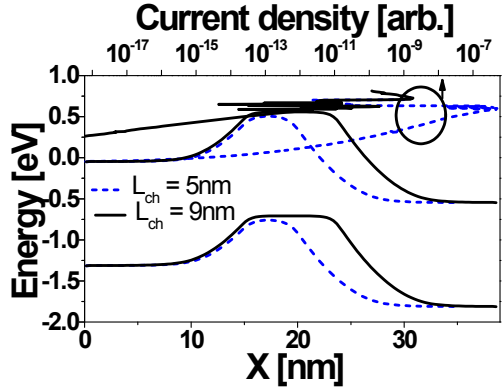


Figure 7. $V_{GS} = V_{th} - 0.3$ V 인 지점에서의 Potential profile 과 current density.

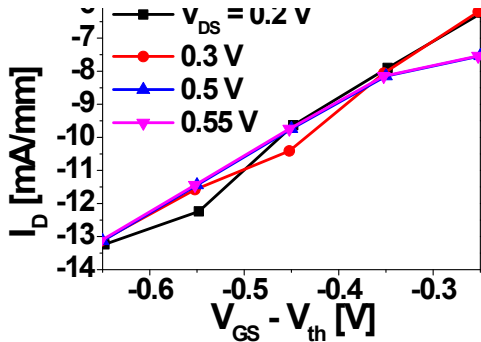


Figure 10. Off 영역에서의 Numerical error.

$$SS = \frac{dV_G}{d \log_{10} I_D} = \frac{dV_G}{d\psi_s} \frac{d\psi_s}{d \log_{10} I_D} = \left(1 + \frac{C_s}{C_{ox}}\right) \times \frac{k_B T}{q} \ln 10 \quad (1)$$

ψ_s 는 surface potential, T 는 온도, k_B 는 Boltzmann 상수, C_s 는 Semiconductor capacitance, C_{ox} 는 Oxide capacitance를 나타낸다. 수식 (1)에 보이는 것처럼 ϵ_s 이 증가할수록 C_{ox} 가 증가하게 되어 이로 인한 향상된 gate controllability 로부터 SS는 감소한다. Conventional MOSFET에 대한 포화 전류에 관한 식은 다음과 같다.

μ_n 은 전자의 이동도, V_{th} 는 문턱전압을 나타낸다. 수식 (2)에서 알 수 있듯이 C_{ox} 에 비례하는 관계를 보이고 있다. 자명한 이유로 SS와 마찬가지로 높은 ϵ_s 에서 높은 I_{on} 을 얻을 수 있다.

$$I_{D,sat} = \frac{1}{2L} \mu_n C_{ox} (V_G - V_{th})^2 = \frac{1}{2L} \mu_n C_{ox} V_{DS}^2 \quad (2)$$

C. 채널길이에 대한 소자 특성

Fig. 5 는 L_{ch} 에 대한 I_{on} 과 SS를 보여주고 있다.

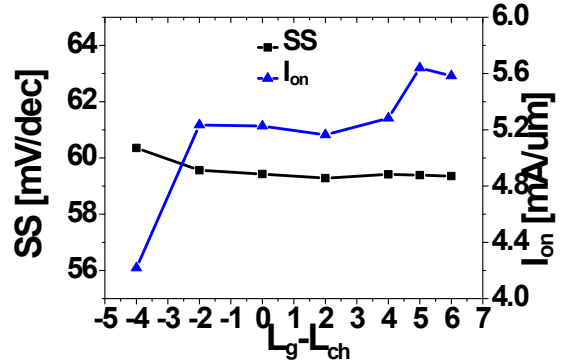


Figure 8. Overlap/underlap 에 따른 SS 및 I_{on}

60mV/dec에 가까운 값을 나타내고 있다. 일반적으로 SS는 L_{ch} 가 감소함에 따라 증가하는 영향을 보인다. 그러나 본 연구에서는 이러한 영향이 나타나지 않고 있다. 이는 본 구조는 매우 높은 ϵ_s 를 가지고 있으며 2D물질은 채널 두께가 매우 얇으므로 Gate로부터 인가되는 field에 대한 영향이 채널에 전체적으로 인가될 수 있다. 이로 인하여 짧은 채널인 경우에도 낮은 SS가 유지될 수 있을 것이라 예상된다. Fig. 6 는 채널길이에 따른 V_{th} 를 나타낸다. L_{ch} 가 짧아질수록 V_{th} 가 감소하는 V_{th} roll-off현상 역시 크게 나타나지 않음을 확인할 수 있다. 이도 마찬가지로 우수한 Gate controllability로 인한 것이다.

Fig. 5 에서 보는 것처럼 I_{on} 도 유사하게 나타나고 있다. 그러나 그 중에서 $L_{ch} = 9$ nm에서 비교적 높은 I_{on} 과 낮은 SS를 보이고 있으며 $L_{ch} = 5$ nm에서는 다소 SS가 저하되는 것을 관측할 수 있다.

Fig. 7 은 Potential profile과 Current density를 나타내고 있다. 그림에서 보는 것처럼 이는 L_{ch} 가 5 nm에서 9 nm에 비하여 높은 Source-to-drain tunneling을 보이고 있다. 이로 인한 높은 Leakage current 증가로 SS가 증가한다. 따라서 최적화 구조를 위하여 $L_{ch} = 9$ nm인 채널을 사용한다.

D. Overlap/underlap에 따른 소자 특성

Fig. 8 은 Overlap/Underlap에 대한 I_{on} 과 SS를 나타낸다. SS는 큰 차이는 보이지 않으나 I_{on} 에서는 Overlap구조에서 대개 향상되는 것을 확인할 수 있다. Underlap의 경우 Source-to-Channel 장벽을 효과적으로 조절할 수 없기에 Overlap에 비하여 상대적으로 I_{on} 이 낮게 된다 [11]. 따라서 Underlap보다 Overlap 구조가 선호된다. Fig. 8 에서 5 nm의 Overlap에서 I_{on} 이 최대가 되는 것을 확인할 수 있다. 이는 더 큰 Overlap 상태에서는 Gate와 Drain간에 발생하는 Gate-induced drain leakage (GIDL)로 인하여 성능이 저하되기 때문이다 [12].

E. Drain bias에 대한 소자 특성

Fig. 9 은 V_{ds} 에 따른 I_{on} 과 SS 특성을 보여준다. I_{on} 은 V_{DS} 가 증가할수록 증가하고 있다. 이는 식 (1)에서 언급한 것처럼 V_{DS} 의 제곱형태로 증가하는

것을 볼 수 있다. 하지만 높은 V_{DS} 영역에서는 이

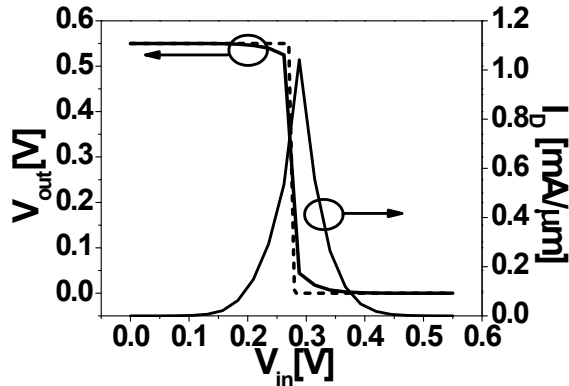


Figure 11. Voltage transfer characteristics. Dot line 은 이상적인 inverter 특성을 보여준다.

러한 경향성이 벗어나는 것을 확인할 수 있다. 하지만 SS에서는 뚜렷한 경향성을 보지 못했으며 Thermal limit 이하의 비정상적인 경향을 보여주고 있다. 이는 Fig. 10 와 같이 Numerical error에 의하여 적당한 SS 값을 추출하기 어렵기 때문에 발생하는 문제이다. 이러한 비정상적인 경향은 V_{DS} 가 증가함에 따라 V_{th} 부근에서 발생하는 것을 확인하였다. 따라서 이러한 오차를 고려한다면 SS = 60mV/dec 부근의 값을 가질 것으로 예상된다. 즉, V_{DS} 에 따른 SS의 변화는 크지 않을 것으로 보인다.

소자 구조 파라미터에 대하여 최적화된 구조는 Table 1에 나타나 있다. 표에 나온 구조는 앞의 section에서 보인 구조에 대하여 최대의 I_{on} 을 가지는 파라미터를 기준으로 하였다. 최종적으로 구한 본 소자 파라미터는 ITRS에서 2021년 소자의 구조와 유사하다 [13]. 하지만 예상되는 것 보다 낮은 V_{DS} 에서 동작하되 더 높은 I_{on} 값을 얻을 수 있을 것으로 기대된다.

IV. TMD inverter

TMD Inverter는 앞의 과정의 최적의 소자 구조 파라미터에 대한 n-type과 이와 동일한 p-type FET로 구성된다. Table 1에서 나타나 있는 p-type 특성에서 보면 SS는 n-type에 비하여 큰 값을 가짐을 확인할 수 있다. 이는 본 연구에서 p-type에 대한 최적화를 진행하지 않았고 n-type과 동일한 구조에 대하여 적용하였기 때문이다. 따라서 p-type에 대해서 소자의 최적화를 한다면 이보다 더 향상될 것으로 기대된다.

Fig. 11은 TMD inverter에 대한 voltage transfer characteristic (VTC) 을 보여주고 있다. Output current의 최대 값은 보이는 것처럼 $0.5V_{DD}$ 에 근접하게 나오는 것을 확인할 수 있다. 또한 VTC 에서 보는 것처럼 Ideal inverter와 유사한 동작을 구현함을 볼 수 있다.

V. CONCLUSION

본 논문에서는 다수의 파라미터를 조정하면서 그 특성들을 비교하여 MoS₂ 소자 최적화에 대한 연구를 진행하였다. 최종적으로 최적화된 소자는

EDISON과제에 부합할 뿐만 아니라 ITRS에서 예

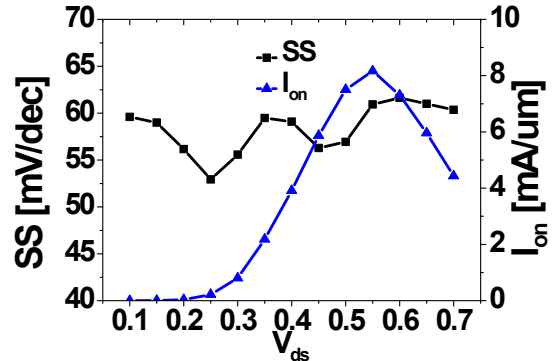


Figure 9. V_{ds} 에 따른 SS 및 I_{on}

측한 2021년 예측되는 소자 파라미터보다 더 상회하는 수준을 보인다. 뿐만 아니라 inverter 특성도 이상적인 inverter에 가깝게 나타나 저전력 회로에서 사용될 소자의 구조에 대한 가이드 라인을 제시할 수 있을 것이라 예상된다.

ACKNOWLEDGEMENT

본 논문은 2016년도 정부(미래창조과학부)의 재원으로 한국연구재단 첨단 사이언스·교육 허브 개발 사업의 지원을 받아 수행된 연구임 (2012M3C1A6035302)

REFERENCES

- [1]장문규 et al., "나노전자소자기술", 전자통신동향분석, 제20권, 제5호, 2005년.
- [2]최웅, 김선국, "고이동도 저전력 트랜지스터용 이차원 전이금속 칼코겐화합물", 제22권, 제3호, pp. 18-21, 2013년.
- [3]윤선진 et al., "이차원 전이금속 칼코겐화합물 반도체 소재 및 소자 기술개발 동향", 전자통신동향분석, Vol. 29, No. 6, pp. 43-52, 2014.
- [4]F. Schwierz, "Graphene for Electronic Applications - Transistors and More", IEEE, Bipolar/BiCMOS Circuits and Technology Meeting (BCTM), pp.173-179, 2010.
- [5]Tolis Voutsas, "Low Temperature Polysilicon Technology for Advanced Display Systems", Sharp Microelectronics Technology, Sharp Technical Journal, No. 1, 1997.
- [6]B. Radisavljevic et al., "Single-layer MoS₂ transistors", Nature Nanotechnol., Vol 6, pp. 147-150, 2011.
- [7]Geonwook Yoo et al., "Electrical Contact Analysis of Multilayer MoS₂ Transistor With Molybdenum Source/Drain Electrodes", IEEE Electron Device Letts., Vol. 36, No. 11, Nov. 2015.
- [8]Wei Cao et al., "A Compact Current-Voltage Model for 2D Semiconductor Based Field-Effect Transistors Considering Interface Traps, Mobility Degradation, and Inefficient Doping Effect", IEEE Trans. Electron Devices, Vol. 61, No 12, 2014.
- [9]Hyungsoon Shin et al., "Design of RF Receiver using Independent-Gate-Mode Double-Gate MOSFET", 전자공학회논문지, Vol.

제 5 회 첨단 사이언스 교육 허브 개발(EDISON) 경진대회

46, No. 10, 2009.

[10] Fei Liu et al, "A Theoretical Investigation of Orientation-Dependent Transport in Monolayer MoS₂ Transistors at the Ballistic Limit", IEEE, Electron Device Letters, Vol. 36, No. 10, 2015.

[11] Zhibin Ren, "Nanoscale MOSFETs: Physics, Simulation and Design", PhD Thesis, Purdue University, 2001.

[12] Hyungcheol shin, "Effects of S/D

non-overlap and high- κ dielectrics on nano CMOS design", IEEE, International Semiconductor Device Research Symposium, pp. 661-664, 2001.

[13] Wilson, L. "International Technology Roadmap for Semiconductors (ITRS)", Semiconductor Industry Association, Washington, DC, 2013.