

Simulation of metal-semiconductor contact properties for high-performance monolayer MoS₂ field effect transistor

박지훈, 우영준, 서승범, 최성율*
전기 및 전자공학부, 한국과학기술원, 대전광역시 유성구 대학로 291
E-mail: sungyool.choi@kaist.ac.kr

2차원 반도체 소재의 경우 물질종류마다 내포하고 있는 고유결함에 의해서 Fermi-Level Pinning 이 발생하여 이로 인한 Schottky Barrier transistor로 동작을 하게 되며, 이는 접합부에 Carrier Injection 정도와 Schottky Barrier를 통과하는 Tunneling 정도에 의해서 소자의 특성이 결정 된다. 본 연구에서는 시뮬레이션을 통하여 2차원 반도체인 MoS₂소자를 설계하고, S/D Doping에 따라 접촉 저항 개선 효과와 소자의 동작특성이 어떠한 영향을 미치는지 연구하여 최대 250cm²/V-sec의 field effect mobility 의 결과를 얻었다. 또한 S/D doping 에 따라 각 저항 성분의 영향을 분석하였으며 면저항 및 접촉 저항 둘 다 doping 농도가 증가함에 따라 감소하는 결과를 나타내며, S/D doping의 영향은 접촉저항에서 더 크게 나타났다. 더불어 2차원 반도체의 Resistance network model 을 제안하여 subthreshold 영역에서는 R_{ic}, saturation 영역에서는 R_{sh} 가 전체저항에서 주요한 변수로 전체저항식에 포함되어야 한다는 것을 시뮬레이션을 통해서 검증하였다.

INTRODUCTION

최근 스마트폰 시장이 완속기에 접어들고 있으며 성장세가 둔화되는 시대가 도래 되면서 포스트 스마트폰 시장에 대한 가능성을 예견하고 있으며, 스마트폰 시장을 대체할 가능성이 있는 차세대 웨어러블 디바이스에 대한 성장 동력이 급부상하고 있다. 이러한 상황에서 딱딱한 벌크 기반의 실리콘 반도체보다, 인체의 곡면에 따라 자유롭게 적용할 수 있는 유연한 소재가 요구되는 상황이며 이를 위해 다양한 저차원 물질들이 소개되고 있다.

그래핀(Graphene)을 비롯한 2차원 물질(2D materials)들은 원자층 단위의 매우 얇은 박막이기 때문에 유연하고, 투명하며, 강도 또한 철강의 수십배로 알려져 있어 차세대 웨어러블 소자에 적용 가능한 물질로 큰 관심을 받고 있다[1].

하지만 그래핀의 경우 디락 콘 형태의 밴드구조로 인하여 높은 이동도와 열 전도도 특성을 가지지만, 밴드갭이 없기 때문에 소자의 on/off 특성이 제한적이다. 반면, 전이금속화합물계(Transition Metal Dichalcogenides, TMDCs) 2차원 반도체 물질들은 두께가 얇아짐에 따라 양자효과에 의해서 Indirect bandgap 에서 Direct bandgap 이 되면서 반도체 성질이 나타나고, 우수한 on/off 특성을 가지기 때문에 차세대 스위칭 소자로 주목 받고 있다[2].

2차원 반도체 소재의 경우 물질종류마다 내포하고 있는 고유결함에 의해서 각기 다른 Charge Neutral Level(CNL)을 가지게 되며, 금속과 접합시 CNL에서 Fermi-level pinning 이 발생하여 이로 인한 Schottky barrier를 형성하게 된다[3].

따라서 2차원 반도체 소자들은 기본적으로 Schottky transistor로 동작을 하게 되며, 이는 접합부에서 Carrier injection 정도와 Schottky barrier를 통과하는 Tunneling 정도에 의해서 소자의 특성이 결정 되기 때문에 반도체와 전극의 계면(Interface) 접합 특성이 소자의 성능에 직접적인 영향력을 가지게 된다[4].

실제 소자에서는 2차원 물질이 매우 얇기 때문에 반도체-금속의 계면이 형성되는 공정 과정에서 다양한 결함들이 발생하게 되고, 이로 인해 Source/Drain(S/D) 전극 아래 부분의 채널 저항은

커지게 되어 S/D 전극 계면 부분의 면저항을 채널 면저항과 구분하여 분석해야 한다는 의견도 있다[4,5]. 그러나 현재까지 2차원 반도체의 시스템에서 정형화된 Resistance network model은 없으며 S/D 계면 저항이 소자에 미치는 영향을 이론적으로 분석한 사례도 거의 없다.

따라서 본 연구에서는 시뮬레이션을 통하여 2차원 반도체 시스템의 전도특성을 이해하기 위한 Resistance network model을 설계하고, 이를 바탕으로 S/D 계면의 Doping이 접촉 저항에 미치는 영향과 소자의 동작특성에 나타나는 결과로부터 2차원 반도체-금속 계면의 Resistance network 을 이해하고 이를 통해 소자의 성능을 극대화 하기 위한 연구를 진행 하였다.

CALCULATION METHODS

본 연구를 진행하기 위해서 EDISON 나노물리 분야의 "Tight-binding NEGF 기반 TMD FET 소자 성능 및 특성 해석용 S/W"를 사용 하였다. 채널 물질은 2차원 반도체 물질중 하나인 MoS₂을 사용 하였고, Gate oxide 는 SiO₂(2nm, S/D 전극 길이는 20nm)을 적용하였다.

MoS₂ 채널의 결정성 방향에 따라 전도특성을 비교하기 위해서 armchair, zigzag 두 가지로 나누어 소자를 디자인 하였고, 결정성 방향에 따른 doping 의 영향을 분석 하였다. 그 결과 armchair 소자의 경우 subthreshold 영역에서 왜곡이 관찰 되었으며, on current 영역에서도 불안정한 특성이 나타났다. 또한 S/D doping 농도를 1.0 x 10¹⁹ ~ 1.0 x 10²¹ [cm⁻³] 에 따라 시뮬레이션 한 결과 1.0 x 10²⁰ ~ 1.0 x 10²¹[cm⁻³] 구간에서 on current가 오히려 감소하고, off current가 크게 증가하는 결과를 얻었으며, 이는 과도한 doping으로 인해 증가된 impurity scattering의 영향으로 사료 된다. 따라서 이후 시뮬레이션은 MoS₂ 채널의 결정성방향은 zigzag로, S/D doping의 경우 2.5 x 10¹⁹ ~ 7.5 x 10¹⁹ [cm⁻³] 범위에서 진행 하였다.

RESULTS AND DISCUSSION

Fig. 1. 은 본 연구를 위해서 시뮬레이션에 사용된 소자구조이다. Fig. 1. (a)는 기존의

conventional 구조로 잘 알려진 이상적인 MOSFET 구조이며 채널의 Resistance network model은 $R_{tot}W = LR_{sh} + 2R_cW$ 으로 해석 될 수 있다. 여기서 R_{tot} 는 채널의 전체저항, R_{sh} 는 채널의 면저항, R_c 는 금속 전극과 반도체의 접촉저항, W 는 채널의 width, L 은 채널의 length 을 의미한다.

2D 반도체 소자의 경우 앞서 언급한 바와 같이 Fig. 1. (b) 와 같이 S/D 전극과 채널 물질인 MoS₂ 사이에 계면이 존재하게 된다. 계면에 존재하는 MoS₂ 의 경우 gate 전압에 영향을 받지 않는 채널 영역이기 때문에, 구조를 바꾸어 Fig. 1. (b)와 같이 S/D 전극을 채널과 같은 선상의 수평구조로 바꾸어 생각 할 수 있으며, 그에 따른 Resistance network model을 설계하고 각각의 변수를 설정하면 다음과 같은 식이 된다.

$$(d < L_t) R_{tot}W = LR_{csh} + 2(R_{ic}+R_{cm})W+2dR_{ish}$$

$$(d > L_t) R_{tot}W = LR_{csh} + 2(R_{ic}+R_{cm})W+2L_tR_{ish}$$

여기서 R_{csh} , R_{ish} 는 각각 채널의 면저항과 S/D interface의 면저항을 의미하고, R_{ic} 는 채널의 MoS₂ 와 S/D interface에 존재하는 MoS₂ 간의 접촉저항을 의미하며,

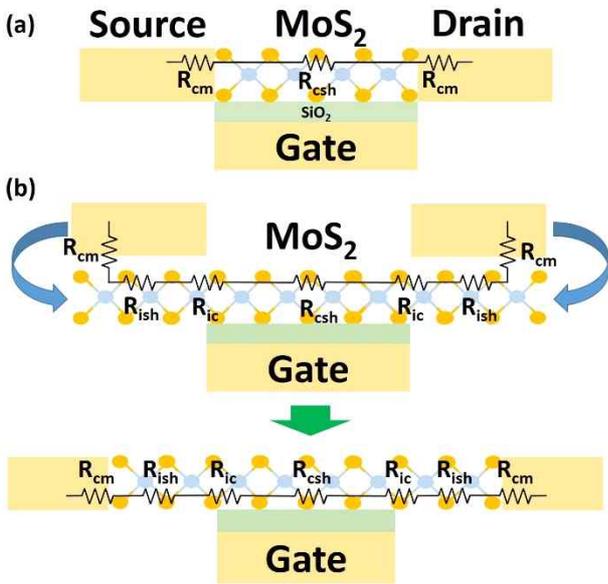


Fig. 1. 시뮬레이션에 사용된 소자 구조 (a) Conventional structure, (b) 2D structure

R_{cm} 는 S/D interface에 존재하는 MoS₂와 S/D 전극간의 접촉저항을 의미한다. d 는 S/D 전극길이를 의미하며, L_t (transfer length)는 S/D전극에서 반도체로 carrier injection 되는 최대거리를 의미한다[6]. MoS₂의 L_t 의 경우 수백 nm 로 보고되었으며[7], S/D 전극 길이 d 와 L_t 의 크기 관계에 따라 위와 같이 2가지 식으로 쓸 수 있으며, 본 연구에서는 사용한 전극길이는 20nm 이기 때문에 첫번째 식을 적용하여 해석 하였다.

먼저 conventional 구조에서 소자의 경우 Fig. 2. (a) transfer 특성과 (b) output 특성과 같은 기본적인 소자 특성 결과가 나타난다. Gate oxide 가 2nm로 매우 얇기 때문에 gate controllability 가 우수하여 on/off ratio 의 경우 10^{10} 이상을 나타내고 있으며 이는 시뮬레이션 상에서 gate

leakage current을 고려하지 않았기 때문에 기존에 알려진 MoS₂ 소자 보다 높은 결과가 나온것으로 판단된다. 기존의 실험에 따른 보고에 의하면 single layer MoS₂ 소자의 경우 10^8 정도의 on/off ratio 를 가진다[2].

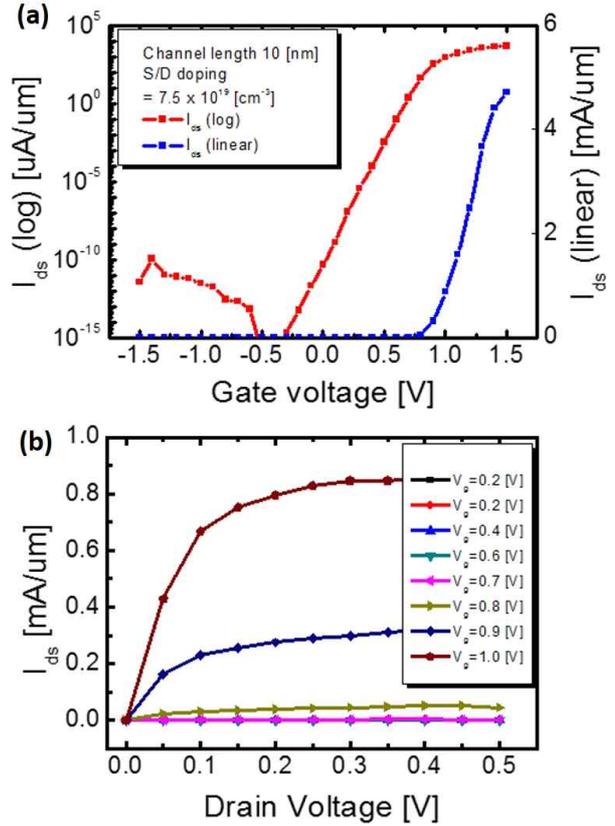


Fig. 2. Conventional 구조의 (a) Transfer 특성, (b) Output 특성

Output 특성에서는 Gate 전압이 0.1V일 때, Drain 전압이 0.3V 부터 충분히 saturation 되는 것을 알 수 있으며, 이후 소자 시뮬레이션에서는 saturation 영역에 해당하는 전압을 인가하여 소자의 parameter를 추출하였다.

Fig. 3. 은 이동도(field effect mobility) 의 결과이다. 이동도의 경우 transconductance (g_m)의 최대값이 되는 gate voltage 에서 추출하였다. Fig. 3. (a)는 S/D doping 농도와 전체 채널 길이(total channel length) 변화에 따른 이동도이다. S/D doping 농도와 채널길이가 증가함에 따라 이동도가 증가하는 경향이 나타나며, 최대 $250\text{cm}^2/\text{V}\cdot\text{sec}$ 의 결과를 나타내고 있다.

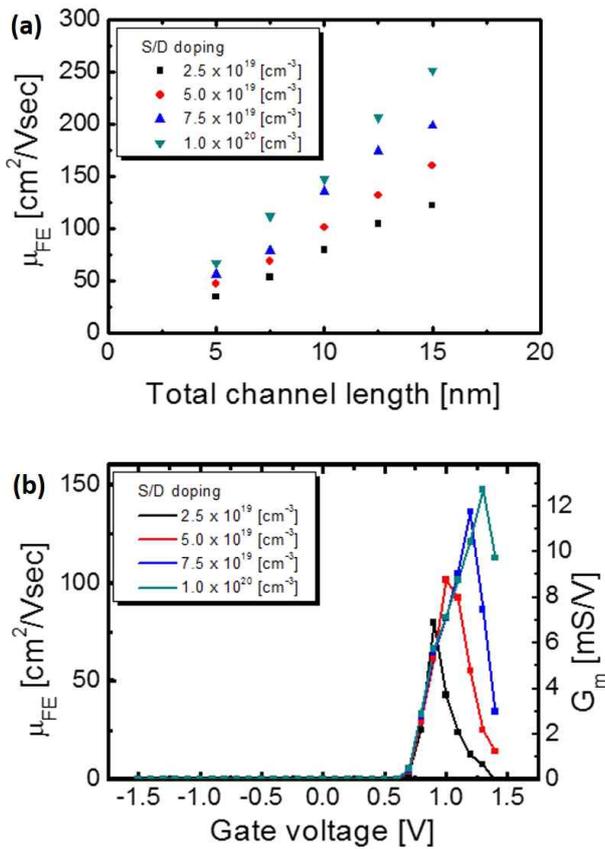


Fig. 3. S/D doping 변화에 따른 MoS₂ 소자의 field effect mobility, (a) 채널길이 변화 (b) Gate voltage 변화

S/D doping 농도의 증가에 따른 이동도 증가는 기존의 실리콘 소자에서 전극과 채널 부분의 계면에서 n+ doping 을 통해 소자의 성능을 개선하는 것과 유사하게 MoS₂ 반도체에서도 이러한 S/D의 선택적인 doping 은 소자의 접촉저항을 효과적으로 줄일 수 있으며, 그 결과 소자의 이동도가 증가하게 된다.

채널 길이 변화에 따른 이동도 변화의 경우 이동도 및 g_m 값 추출이 saturation region에서 이루어지므로 g_m 값은 채널 길이에 무관하게 거의 일정한 값으로 볼 수 있다. 이에 따라 이동도는 채널 길이에 의해 결정되므로 채널 길이가 짧아질수록 작은 값을 가지게 된다. Fig. 3. (b) 는 S/D doping 농도 변화에 따라 채널 길이 10nm 소자의 이동도

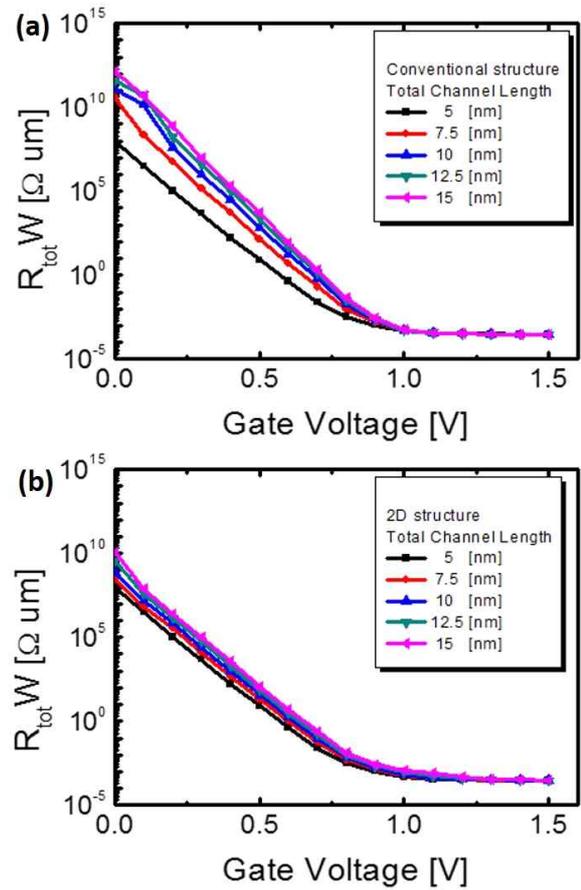


Fig. 4. Gate 전압에 따른 전체저항 (a) Conventional 구조, (b) 2D 구조

와 g_m 을 추출한 결과이다. 앞에서와 마찬가지로 S/D doping 농도가 증가함에 따라 이동도와 g_m 이 증가하는 것을 알 수 있다.

또한 S/D doping 농도 따라 threshold voltage (V_{th} , g_m 최대값이 되는 gate 전압)도 같이 증가하는 것을 알 수 있다. 일반적인 MOSFET 에서는 threshold voltage 경우, gate 전극의 work function 과 채널의 doping 에 의해서 결정되지만, 시뮬레이션에서 사용된 소자의 구조에서 채널의 길이가 매우 짧기 때문에 short channel effect(DIBL)가 나타나며 이는 S/D doping의 효과가 채널의 threshold voltage 변화에 영향을 주는 동시에 뒤에서 논의할 전체 저항에도 유사한 영향을 주는 결과로 나타났다.

다음으로 앞서 제안한 Resistance network model을 검증하기 위해서 conventional 구조와 2D 구조를 구현하고 저항 특성을 비교하였다. Fig. 4. 는 각각의 구조에 대한 전체저항($R_{tot}W$) 특성이며, 이 결과를 토대로 면저항(R_{sh}), 접촉저항(R_c)을 추출하였다. 추출 방법은 TLM method 을 이용하였고, conventional 구조에서는 채널의 길이를 5, 7.5, 10, 12.5, 15nm 로 바꿔가며 parameter를 추출하였으며, 2D 구조에서는 채널과 gate의 길이에 offset을 주어 gate전압의 영향이 없는 전극-MoS₂ interface영역을 구현 하였고, gate 길이를 5nm로 고정한 상태에서 offset 의 총길이를 2.5, 5, 7.5, 10nm으로 바꾸어 시뮬레이션을 진행하였고, 이후에는 같은 구조로 S/D doping 농도를 변화하며 진행하였다.

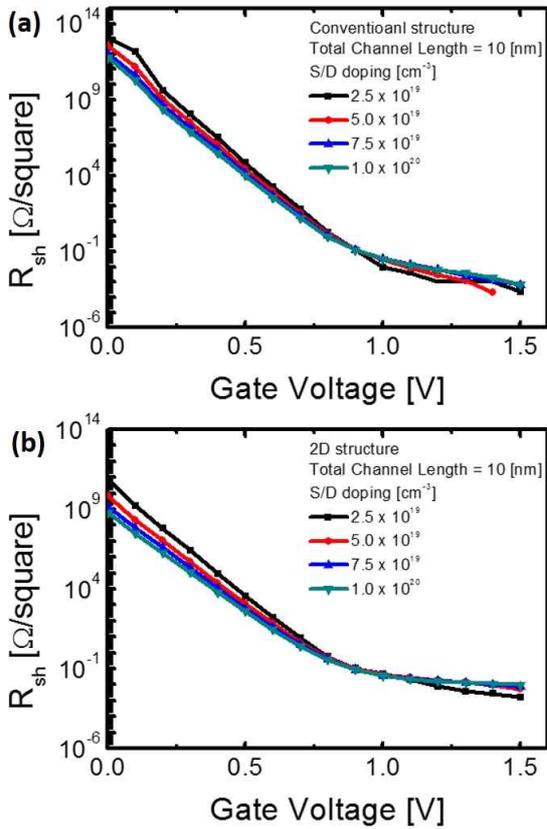


Fig. 5. Gate 전압에 따른 면저항 (a) Conventional 구조, (b) 2D 구조

전체저항 결과를 보면 Conventional 구조와 2D 구조 모두 gate 전압이 증가함에 따라 채널의 conductivity가 증가하기 때문에 전체저항은 감소하며, g_m 최대가 된 이후에는 채널의 길이에 관계없이 특정 저항 값으로 saturation 되는데 이 저항 값은 접촉저항과 거의 유사하다. 하지만 2D 구조에서는 g_m 값이 최대가 된 이후에도 채널 길이 변화에 따라 조금씩 차이를 보인다. 이 부분을 추가로 분석하기 위하여 면저항 및 접촉저항을 추출하였고 그 결과는 각각 Fig. 5 와 Fig. 6 과 같다.

먼저 Fig. 5 에서 면저항의 경우 conventional 구조에서 추출한 면저항(R_{csh})과 2D 구조에서 추출한 면저항($R_{csh}+R_{ish}$) 모두 S/D doping 농도가 증가함에 따라 감소하는 경향을 보이는데, 이것은 시뮬레이션에서 채널의 길이가 수 nm scale 이기 때문

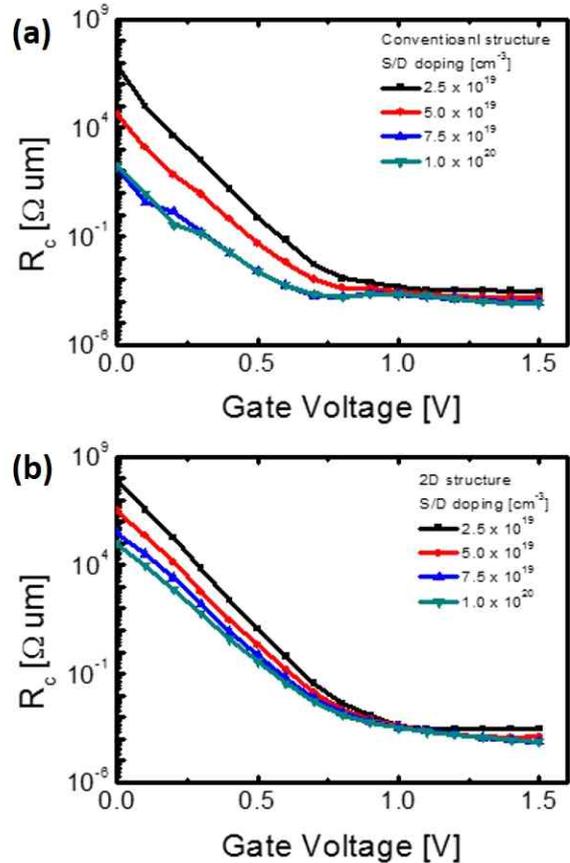


Fig. 6. Gate 전압에 따른 접촉저항 (a) Conventional 구조, (b) 2D 구조

에, 앞에서 언급한 S/D doping이 채널의 V_{th} 에 영향을 줄 뿐만 아니라 채널의 면저항에도 간접적인 영향을 주는 것으로 판단된다.

Gate 전압이 g_m 최대값에 도달하기 이전인 subthreshold 구간에서 두 구조의 면저항을 비교한 결과 gate 전압의 영향을 받는 채널 면적이 더 큰 conventional 구조가 오히려 면저항이 더 큰 결과가 나타났다. 이는 채널의 intrinsic carrier concentration 이 S/D doping 농도보다 작기 때문에 판단되며, 따라서 S/D doping 의 영향을 받는 R_{ish} 가 더 작게 나타난다.

Gate 전압이 g_m 최대값을 넘어서는 구간인 saturation 영역에서는 R_{csh} 의 값이 매우 작아지기 때문에 추출이 거의 안되는 반면, R_{ish} 의 경우 R_{csh} 값보다 수배 높은 수치를 나타내고 있으므로 이는 saturation 구간에서 R_{ish} 의 영향력이 더 크기 때문으로 볼 수 있다.

다음으로 Fig. 6의 접촉저항의 경우 채널의 면저항 보다 S/D doping의 영향을 더 직접적으로 받기 때문에 doping 농도에 따른 접촉저항 감소폭이 면저항보다 크게 나타난다. 또한 subthreshold 영역에서 doping 농도에 따른 접촉저항 감소폭은 2D 구조에서 더 작게 나타나며, 이는 conventional 구조의 경우 effective 채널이 S/D 와 붙어있기 때문에 영향력이 큰 반면, 2D 구조의 경우 offset 채널로 인한 물리적인 거리가 존재하기 때문에 영향력이 작게 나타난다.

Gate 전압에 따른 R_{ic} 의 변화를 살펴보면, 먼저 항과 반대로 subthreshold 영역에서는 채널의 charge가 충분히 accumulation 되지 않았기 때문에, gate charge가 전달되는 effective 채널 영역과 그렇지 않은 offset 채널 영역은 전도성의 차이가 가지게 되므로 자연스럽게 R_{ic} 가 존재하게 된다. 이후 saturation 영역에 도달하게 되면 채널이 충분히 conductive해지므로 접촉저항의 주요 변수는 채널과 S/D 전극 물질의 work function 차이에 의한 접촉저항인 R_{cm} 이 된다.

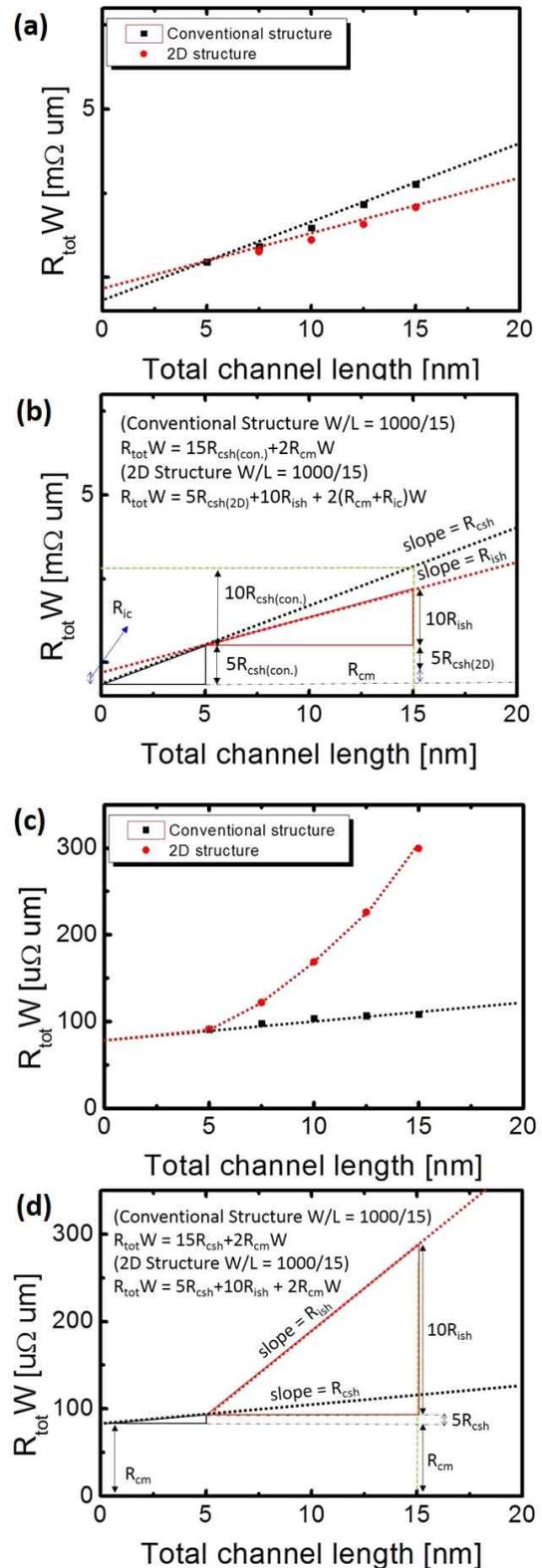


Fig. 7. Subthreshold영역의 전체저항 (a) 및 저항 관계 (b), Saturation영역의 전체저항 (c) 및 저항 관계 (d)

Fig. 7은 지금까지 설명을 이해하기 위하여 본 연구에서 제안하는 Resistance network model을 적용하여 채널길이 15nm 소자에서의 저항분포를 나타낸 결과이다. Fig. 7. (a),(b)는 subthreshold 영역에서 전체 저항 결과에 각 저항의 성분을 표현

한 것이며, Fig. 7. (c),(d)는 saturation 영역에서 전체저항 결과에 각 저항의 성분을 표현하였다.

2D 소자 구조에서는 R_{csh} , R_{ish} , R_{ic} , R_{cm} 의 저항 성분이 있으며 subthreshold 영역에서의 전체저항 주성분은 S/D doping 농도가 충분히 높다면 주로 채널의 면저항에 의해서 결정된다. 그러나 실제 소자에서는 공정의 결함에 의한 defect가 존재하기 때문에 S/D interface의 MoS₂는 상당히 큰저항을 가지게 되고 carrier concentration이 낮으며 여기에 Schottky barrier까지 고려하게 된다면 유의미한 접촉저항을 가지게 되며 시뮬레이션을 통해 확인한 R_{ic} 는 실제 소자에서 상당히 큰 값을 가지게 된다. saturation 영역에서는 R_{csh} , R_{ic} , R_{cm} 이 모두 일정값으로 saturation이 되지만 R_{ish} 가 존재하게 되며 소자의 전체저항을 높이는 원인이 된다. 이러한 결과들은 기존의 MoS₂ 소자에서 알려진 gate 전압에 의존적인 접촉저항을 설명할 수 있다.

결과적으로 본 연구를 통해서 S/D doping concentration의 변화가 각 저항 성분에 주는 영향을 분석하였으며, 2차원 반도체 소자의 Resistance network model 을 제안하여 subthreshold 영역에서는 R_{ic} , saturation 영역에서는 R_{ish} 가 전체저항 값에서 주요한 변수로 작용하는 것을 확인하였고, 이를 시뮬레이션을 통해서 검증하였다.

CONCLUSION

본 연구에서는 시뮬레이션을 통해서 2차원 반도체 물질인 MoS₂를 사용한 소자를 구현하였고 S/D doping 농도를 증가하였을 때 최대 250cm²/V·sec 의 field effect mobility 의 결과를 얻었다. 또한 S/D doping 농도의 각 저항 성분에 대한 영향을 분석하였으며 면저항 및 접촉 저항 둘 다 doping 농도가 증가함에 따라 감소하는 결과를 나타내며, S/D doping 농도의 영향은 접촉저항에서 더 크게 나타났다. 더불어 2차원 반도체의 Resistance network model 을 제안하여 subthreshold 영역에서는 R_{ic} , saturation 영역에서는 R_{ish} 가 전체저항 값을 구성하는 성분 중 주요한 변수로 작용하는 것을 확인하였고, 이를 시뮬레이션을 통해서 검증하였다.

ACKNOWLEDGEMENT

본 논문은 2015년도 정부(미래창조과학부)의 재원으로 한국연구재단 첨단 사이언스·교육 허브 개발 사업의 지원을 받아 수행된 연구임 (2012M3C1A6035302)

REFERENCES

[1] Geim, A. K. et al. "The rise of graphene." Nature Materials, 6, 183 (2007)
 [2] B. Radisavljevic et al. "Single-layer MoS₂ transistor" Nature Nanotechnology, 6, 147 (2011)
 [3] G. Fiori et al. "Electronics based on two-dimensional materials" Nat. Nanotechnol., 9, 768 (2014)
 [4] A. Allain et al. "Electrical contacts to two-dimensional semiconductors" Nat. Mater., 14, 1195 (2015)

[5] Y. Guo et al. "Study on the Resistance Distribution at the Contact between Molybdenum Disulfide and Metals" ACSNano, 8, 7771 (2014)
 [6] F. Leonard et al. "Electrical contacts to one- and two-dimensional nanomaterials" Nat. Nanotechnol., 6, 773 (2011)
 [7] H. Liu et al. "Switching Mechanism in Single-Layer Molybdenum Disulfide Transistors: An Insight into Current Flow across Schottky Barriers" ACSNano, 8, 1031 (2014)