

MoS₂ Field Effect Transistor 저전력 고성능 소자 구현을 위한 게이트 구조 설계 최적화

박일후, 장호균, 김철민, 이국진, 김규태*
 전기전자공학과 나노소자연구실, 고려대학교, 대한민국 서울특별시 성북구 안암로 145
 E-mail: gtkim@korea.ac.kr

이황화몰리브덴을 활용한 전계효과트랜지스터(Field Effect Transistor)는 채널 물질의 우수한 특성으로 차세대 저전력 고성능 스위치와 광전소자로 주목받고 있다. Underlap 게이트 구조에서 게이트 길이(L_G), 절연체 두께(T), 절연체 상대유전율(ε_r)에 따라 변화하는 소자 특성을 분석하여 저전력 고성능 MoS₂ 전계효과트랜지스터를 위한 게이트 구조 최적화방법을 모색하였다. EDISON simulator 중 Tight-binding NEGF 기반 TMD FET 소자 성능 및 특성 해석용 S/W를 활용하여 게이트 구조에 따른 게이트 전압 - 드레인 전류 상관관계 (transfer characteristic)를 얻고, Y-function method를 이용하여 채널 유효전하이동도 (Effective Mobility), Sub-threshold Swing, on/off 전류비(on/off current ratio)를 추출하여 비교 분석하였다. 시뮬레이션으로 추출한 소자의 최대 채널 유효전하이동도는 37 cm²V⁻¹s⁻¹, on/off 전류비는 10⁴ ~ 10⁵, Sub-threshold Swing은 ~38mV/dec 수준을 보였다.

INTRODUCTION

단일층 이황화몰리브덴 (MoS₂)은 2D Transition Metal Dichalcogenides (TMDs) 물질로서 우수한 물성으로 인해 차세대 전기소자의 재료로 활발히 연구되고 있다. 그동안 많은 연구가 진행되어 왔으며 MoS₂로 제작된 전계효과트랜지스터(Field Effect Transistor, FET) 소자의 성능으로 on/off 전류비 ~10⁸, Sub-threshold Swing (SS) 약 ~70mV/dec, 채널 유효전하이동도 200~500 cm²V⁻¹s⁻¹ 수준 정도로 보고되고 있다.[1]

대표적인 High-k 절연체인 HfO₂를 MoS₂ 표면에 Atomic Layer Deposition (ALD) 증착하여 top gate 구조를 형성하는 경우에 MoS₂ FET 소자의 채널 유효이동도는 217 cm²V⁻¹s⁻¹ 로 높은 수치를 나타냄이 보고되었다[2]. 이에 우리는 Top gate 구조 최적화를 통한 저전력 고성능 소자 개발을 달성하기 위한 시뮬레이션을 수행하고 그 결과를 분석하였다.

CALCULATION METHODS

게이트 구조에 따른 소자 전달특성 (transfer characteristic)을 구하기 위해 EDISON simulator 중 Tight-binding NEGF 기반 TMD FET 소자 성능 및 특성 해석용 S/W를 활용하였다.

게이트 구조를 아래와 같은 조건으로 변화시키며 transfer curve를 출력하였다. [Fig. 1.]

- (1) 게이트 길이 (underlap ~ overlap)
- (2) 산화물 두께 (동일 Equivalent Oxide Thickness (EOT))
- (3) 산화물 두께 (동일 EOT), high-k 절연체

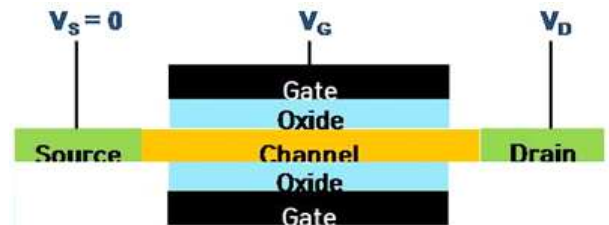


Fig. 1. 시뮬레이션에 쓰인 Underlap double-gate 구조. 채널 길이는 10nm, 소스/드레인 길이는 15nm.

소자 파라미터를 추출하기 위하여 Y-Function Method (YFM)를 이용하였다. [3]

YFM을 이용하여 채널 유효전하이동도를 구한 계산식은 아래와 같다. [4]

$$Y_{i,j} := \frac{I_{d,i,j}}{\sqrt{g_{m_all,i,j}}} \quad (1)$$

$$S_{y_j} := \frac{(Y_{n+2,j} - Y_{n-2,j})}{(V_{g_{n+2}} - V_{g_{n-2}})} \quad (2)$$

$$\text{Mobility}_j := \frac{(S_{y_j})^2}{\frac{W}{L_j} \cdot C_{ox} V_d} \quad (3)$$

I_d는 드레인 전류, g_m은 전달 전도율, V_g는 게이트 전압, W는 채널너비, L은 채널길이, C_{ox}는 절연체 전기용량, V_d는 드레인 전압이다. 각각의 아래 첨자들은 시뮬레이션 결과로 부터 나온 게이트 전압, 드레인 전류 값 인덱스 번호를 의미한다.

제 5 회 첨단 사이언스 교육 허브 개발(EDISON) 경진대회

Transfer curve로 부터 SS와 on/off 전류비를 graphical method로 계산하여 게이트 구조에 따른 소자 파라미터를 비교 분석하였다.

Off current(I_{off})는 0.01 A/m, 그 때의 게이트 전압(V_G)을 turn-off 전압(V_{off}), turn-off 전압보다 0.5V 높은 전압을 turn-on 전압(V_{on}), 그때의 전류를 on 전류(I_{on}), I_{on}/I_{off} 는 on/off 전류비이고, SS는 transfer curve에서 기울기가 가장 큰 지점에서 계산하였다.

RESULTS AND DISCUSSION

Underlap top gate 구조에서 게이트 길이가 길어짐에 따라 SS가 감소됨을 확인하였다. [Fig. 2.] 그 중 High-k ($k=7.8$) 이면서 게이트 길이가 5, 6 nm 일 때의 SS가 60mV/dec을 초과하여 제약조건을 벗어났다.

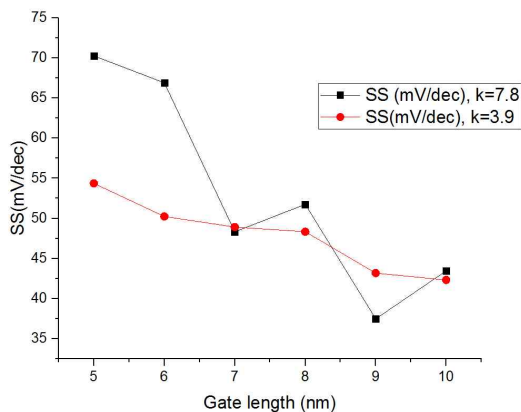


Fig. 2. Underlap 게이트 구조에서 게이트 길이에 따른 Sub-threshold Swing의 변화 (게이트 길이가 커질 수록 소자 성능 강화).

Underlap 게이트 구조에서 EOT가 일정할 경우 절연체의 두께가 증가함에 따라 on/off 전류비가 감소하는 결과가 나타난다. 이것은 소자의 스위칭 특성이 열화됨을 의미한다. 하지만 모든 경우에서 저전력 소자 설계의 제한 조건인 10^4 보다는 더 높은 on/off 전류비를 가지기 때문에 저전력 소자로서 동작이 가능하다. [Fig. 3.]

시뮬레이션에서 테스트한 FET 소자들의 유효전하이동도는 YFM을 이용하여 분석한 결과 $17 \sim 37 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ 수준으로 도출되었다. 이는 일반적으로 알려진 MoS_2 의 이동도인 $200 \sim 500 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ 보다 낮은 값이다.

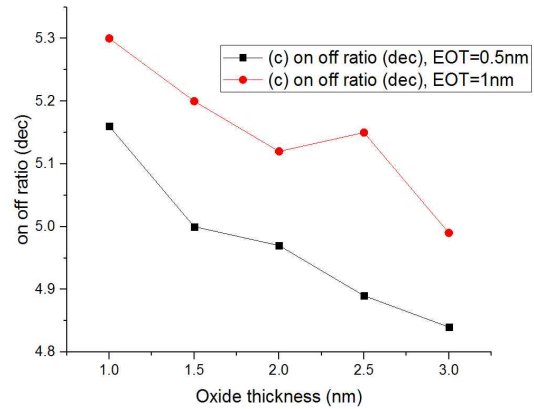


Fig. 3. Oxide thickness의 변화에 따른 on-off current ratio의 변화 (EOT 고정, on/off 전류비 감소)

CONCLUSION

저전력 고성능 MoS_2 FET소자를 제작하기 위해, 어떠한 게이트 구조가 최적의 소자 파라미터를 도출하는지 연구하기 위해 EDISON simulator 중 Tight-binding NEGF 기반 TMD FET 소자 성능 및 특성 해석용 S/W를 사용하여 시뮬레이션 하였다.

YFM으로 시뮬레이션 결과를 분석한 결과, 게이트 길이가 길어질 수록 SS가 향상되고, 같은 EOT라도 산화물 두께가 얇을 수록 on/off 전류비가 향상되었다. 같은 산화물 두께에서는 EOT가 클 때 on/off 전류비가 높게 나왔다.

채널 유효전하이동도가 알려진 실험값보다 낮게 나온 이유는 access resistance의 영향 때문으로 판단된다.

ACKNOWLEDGEMENT

본 논문은 2015년도 정부(미래창조과학부)의 재원으로 한국연구재단 첨단 사이언스·교육 허브 개발 사업의 지원을 받아 수행된 연구임 (2012M3C1A6035302)

REFERENCES

- [1] Radisavljevic, B. and A. Kis (2013). "Mobility engineering and a metal-insulator transition in monolayer MoS_2 ." *Nat Mater* 12(9): 815-820.
- [2] Radisavljevic, B., et al. (2011). "Single-layer MoS_2 transistors." *Nat Nanotechnol* 6(3): 147-150.
- [3] Na, J., Shin, M., Joo, M., et al. (2014). "Separation of interlayer resistance in multilayer MoS_2 field-effect transistors" *Appl. Phys. Lett.* 104
- [4] Ghibaudo, G., [Electronics Letters](#), Volume 24,

Issue 9, 28 April 1988, p. 543 – 545

- [5] [Wei Wu](#), et al.(2013). "High mobility and high on/off ratio field-effect transistors based

on chemical vapor deposited single-crystal MoS₂ grains" Appl. Phys. Lett. 102, 142106