

---

# Xilinx 7-Series FPGA의 소프트 에러에 대한 가용성 분석

류상문\*

\*군산대학교

## Availability Analysis of Xilinx 7-Series FPGA against Soft Error

Sang-Moon Ryu\*

\*Kunsan National University

E-mail : smryu@kunsan.ac.kr

### 요 약

고성능 디지털 회로 구현에 매우 많이 사용되는 Xilinx사의 7-Series FPGA(Field Programmable Gate Array)는 configuration memory가 SRAM 기반으로 제작되어 configuration memory에 소프트 에러(soft error)가 발생하는 경우 FPGA는 오동작하게 된다. Xilinx사에서 제공하는 SEM(Soft Error Mitigation) Controller를 이용하면 configuration memory에서 발생하는 소프트 에러의 영향을 줄일 수 있다. SEM Controller는 FPGA의 configuration memory 영역에 추가된 ECC(Error Correction Code)와 CRC(Cyclic Redundancy Code) 기능을 이용하여 configuration memory에 발생한 소프트 에러를 감지하여 필요시 partial reconfiguration 과정을 수행하여 FPGA의 기능을 소프트 에러 발생 이전으로 복구한다.

본 논문에서는 Xilinx사의 7-Series FPGA에서 SEM Controller를 이용하여 configuration memory의 소프트 에러를 검출하고 정정할 때 FPGA의 신뢰도를 가용성(availability) 관점에서 분석한다. 이를 위해 SEM Controller의 소프트 에러 정정 성능에 따른 가용성 함수를 유도하고 그 효과를 검토한다. 연구 결과는 소프트 에러가 발생하는 환경에서 동작하는 SRAM 기반 FPGA의 신뢰성 예측에 사용할 수 있을 것으로 기대된다.

### ABSTRACT

Xilinx 7-Series FPGA(Field Programmable Gate Array)s mainly used for the implementation of high-performance digital circuit have SRAM-type configuration memory and can malfunction when soft errors occur in their configuration memory. SEM(Soft Error Mitigation Controller) offered by Xilinx helps users mitigate the influence of soft errors in configuration memory. When soft errors occur, SEM Controller can recover the state of FPGA through partial reconfiguration if the soft errors are correctable by ECC(Error Correction Code) and CRC(Cyclic Redundancy Code).

This paper presents the availability analysis of Xilinx 7-Series FPGAs against soft errors under the protection of the SEM Controller. Availability functions are derived and compared according to the correction capability of the SEM Controller. The result may help to estimate the reliability of SRAM-based FPGA running in an environment where soft errors may occur.

### 키워드

FPGA, 소프트 에러 대응, 가용성 분석

### 1. 서 론

Xilinx사의 7-Series FPGA는 configuration memory가 SRAM으로 이루어진 SRAM 기반 FPGA로 고성능 디지털 회로 구현에 자주 사용된다.

[1] SRAM 기반 FPGA가 인공위성 같은 우주 개발 프로그램에서 사용되면 SEU(Single Event Upset)[2, 3, 4] 같은 소프트 에러(soft error)에 대한 대응이 필수적이다. Configuration memory에 발생하는 소프트 에러는 Xilinx사가

IP(Intellectual Property) 형태로 제공하는 SEM(Soft Error Mitigation) Controller[5]를 이용하면 효과적으로 대응할 수 있다. SEM Controller는 FPGA의 configuration memory 영역에 추가된 ECC(Error Correction Code)와 CRC(Cyclic Redundancy Code) 기능을 이용하여 configuration memory에 발생한 소프트 에러를 검출하고 그 영향을 제거할 수 있도록 해준다. SEM controller가 소프트 에러의 발생을 억제하는 것은 아니고 소프트 에러 발생을 감지하여 필요시 partial reconfiguration 과정을 수행하여 FPGA의 기능을 소프트 에러 발생 이전으로 복구한다. SEM controller는 FPGA의 configuration memory 전체에 대해 소프트 에러의 발생 여부 검사 및 정정을 주기적으로 수행한다.

SEM controller를 이용하여 configuration memory의 소프트 에러에 대응하는 방법에는 configuration memory 전체를 복구할 수 있는 정보를 저장하는 추가의 저장 장치를 장착하여 이를 이용하는 방법과 추가의 저장 장치 없이 ECC와 CRC의 소프트 에러 정정 능력만을 이용하는 방법이 있다. 전자는 검출되는 모든 소프트 에러를 정정할 수 있으며 후자는 정정 성능이 전자에 비해 제한되지만 추가의 저장 장치가 필요 없다는 장점이 있다.

본 논문에서는 Xilinx사의 7-Series FPGA와 SEM Controller를 이용하여 소프트 에러를 극복하는 방법 중 추가의 저장 장치 없이 ECC와 CRC의 소프트 에러 검출 및 정정 능력만을 이용하는 방법으로 얻을 수 있는 FPGA의 신뢰도를 가용성(availability) 관점에서 분석하고자 한다. 가용성 함수는 시간의 함수 A(t)로 표현되며 특정 시스템이 요구되는 기능을 임의의 시각 t에 정상적으로 수행할 확률로 정의되어 있다[6]. 2장에서는 SEM Controller의 적용 유무와 소프트 에러 정정 성능에 따른 가용성을 분석하고 3장에서는 FPGA 실제 예를 적용하여 가용성 성능을 비교하고 4장에서 결론을 맺는다.

## II. 가용성 분석

FPGA configuration memory는 다수의 프레임(frame)으로 구성되어 있으며 각 프레임은 ECC에 의해 소프트 에러로부터 보호되고 모든 프레임은 CRC에 의해 한 번 더 보호된다[5]. 추가의 저장 장치 없이 ECC만을 이용하면 프레임 당 1 비트의 소프트 에러를 정정할 수 있으며 ECC와 CRC를 결합하면 프레임 당 1 비트 그리고 프레임 당 인접한 2 비트의 소프트 에러를 정정할 수 있다.

가용성 분석을 위해 소프트 에러가 평균값  $\lambda$ 를 갖는 Poisson process를 따라서 발생한다고 가정하고[2], FPGA의 configuration memory를 구성하는 프레임의 수를  $N_f$ 로, 한 개의 프레임을 구

성하는 비트의 수를  $N_b$ 로, 그리고 SEM Controller에 의해 소프트 에러가 검출되고 정정되는 주기를  $T_c$ 로 나타낸다.

SEM Controller를 적용하지 않아서 소프트 에러가 발생하여도 정정할 수 없을 때의 가용성 함수를  $A_o(t)$ 라고 하면  $A_o(t)$ 는  $N_b N_f$ 개의 비트에서 소프트 에러가 전혀 발생하지 않을 확률이므로 식 (1)과 같다.

$$A_o(t) = e^{-\lambda N_b N_f t}, t \geq 0 \quad (1)$$

SEM Controller와 ECC를 적용하여 프레임당 1 비트의 소프트 에러까지 정정 가능한 경우의 가용성 함수를 구한다.  $N_b$ 개의 비트로 구성되는  $N_f$ 개의 프레임들 중, 각 프레임에서 소프트 에러가 전혀 발생하지 않거나 정정 가능한 1비트의 소프트 에러가 발생할 확률을  $a_1(t)$ 라고 하면  $a_1(t)$ 는 식 (2)와 같다.

$$a_1(t) = [e^{-\lambda N_b t} + N_b(1 - e^{-\lambda t})e^{-\lambda(N_b - 1)t}]^{N_f}, t \geq 0 \quad (2)$$

SEM Controller와 ECC를 적용하여 주기  $T_c$ 로 프레임당 1비트의 소프트 에러까지 정정할 때의 가용성 함수를  $A_1(t)$ 라고 하면  $A_1(t)$ 는 식 (3)과 같다.

$$A_1(t) = [a_1(T_c)]^n a_1(\tau), t \geq 0 \quad (3)$$

여기서  $t = nT_c + \tau$ 이고  $\tau$ 와  $n$ 은 각각  $0 \leq \tau < T_c$ 과  $n \geq 0$ 을 만족하는 실수와 정수이다. 식 (3)에서  $[a_1(T_c)]^n$ 는 모든 프레임이 소프트 에러를  $T_c$ 의 주기로  $n$ 회 극복할 확률이며  $a_1(\tau)$ 는 모든 프레임이  $\tau$  동안 소프트 에러를 극복할 확률이다.

SEM Controller와 ECC와 CRC를 모두 적용하여 프레임당 1비트 그리고 인접한 2비트 소프트 에러까지 정정 가능한 경우의 가용성 함수를 구한다.  $N_b$ 개의 비트로 구성되는  $N_f$ 개의 프레임들 중, 각 프레임에서 소프트 에러가 전혀 발생하지 않거나 정정 가능한 1비트 또는 인접한 2비트의 소프트 에러가 발생할 확률을  $a_2(t)$ 라고 하면  $a_1(t)$ 는 식 (4)와 같다.

$$a_2(t) = [a_1(t) + (N_b - 1)(1 - e^{-\lambda t})^2 e^{-\lambda(N_b - 2)t}]^{N_f}, t \geq 0 \quad (4)$$

식 (4)에서  $[\cdot]$ 안의 두 번째 항은 한 개의 프레임에 인접한 2비트 소프트 에러가 발생할 확률을 의미한다. 이것은  $N_b$ 개의 비트로 구성되는 프

프레임에 2비트 소프트 에러가 발생할 확률(식 (5))과 이 2비트가 서로 인접할 확률(식 (6))의 곱이다.

$$\binom{N_b}{2}(1-e^{-\lambda t})^2 e^{-\lambda(N_b-2)t} \quad (5)$$

$$\frac{N_b-1}{\binom{N_b}{2}} \quad (6)$$

식 (3)에서와 마찬가지로 주기  $T_c$ 로 프레임당 1비트 그리고 인접한 2비트 소프트 에러까지 정정할 때의 가용성 함수를  $A_2(t)$ 라고 하면  $A_2(t)$ 는 식 (7)과 같으며 여기서  $\tau$ 와  $n$ 도 식 (3)의 경우와 같다.

$$A_2(t) = [a_2(T_c)]^n a_2(\tau), t \geq 0 \quad (7)$$

### III. 가용성 성능 비교

소프트 에러의 검출 및 정정 성능에 따른 가용성 성능을 비교하기 위해 평균 소프트 에러 발생률  $\lambda$ 를  $1 \times 10^{-8} [bit-error/sec]$ 로 가정하였다. 그리고 문헌 [7]에 따르면 7-Series FPGA configuration memory의 프레임 크기는 3232이므로  $N_b$ 는 3232로 가정하였다.

그림 1은 SEM controller 적용 여부에 따른 가용성 성능 비교를 위해  $N_f=1$  그리고  $T_c=1[sec]$ 을 가정한  $A_0(t)$ ,  $A_1(t)$  그리고  $A_2(t)$ 의 가용성 그래프이다. 그래프를 보면 SEM controller를 적용하지 않은 경우에는 가용성이 시간 경과에 따라 매우 급격하게 낮아지는 것을 알 수 있다.

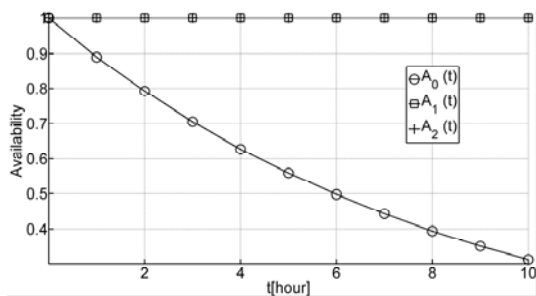


그림 1. SEM Controller 적용 여부에 따른 가용성 비교

그림 2는 SEM controller의 소프트 에러 정정 성능에 따른 가용성 성능 비교를 위해 7-Series FPGA 중 7A75T을 대상으로 한  $A_1(t)$ 와  $A_2(t)$ 의 가용성 그래프이다. 7A75T FPGA의 경우 configuration memory의 프레임 수가 9469이고

소프트 에러 정정 주기의 최소값이  $8[msec]$  이므로  $N_f=9469$  그리고  $T_c=8[msec]$ 을 가정하였다.

그래프를 보면 SEM controller의 소프트 에러 정정 효과에 의해 가용성이 시간 경과에 따라 매우 서서히 낮아지는 것을 알 수 있다. 그러나  $A_1(t)$ 와  $A_2(t)$ 의 차이는 거의 없다.

$A_1(t)$ 는  $N_b$ 개의 비트로 구성되는  $N_f$ 개의 프레임들 중, 각 프레임에서 발생하는 1비트의 소프트 에러가 정정 가능한 경우의 가용성 함수이고,  $A_2(t)$ 는 각 프레임에서 발생하는 1비트 또는 인접한 2비트의 소프트 에러가 정정 가능한 경우의 가용성 함수이다. 이론적으로는  $A_2(t)$ 가  $A_1(t)$ 보다 항상 크지만 실제로는 그 차이가 매우 미미하다. 이것은 한 개의 프레임 안에서 인접한 2비트에 동시에 소프트 에러가 발생할 확률이 매우 낮기 때문이다.

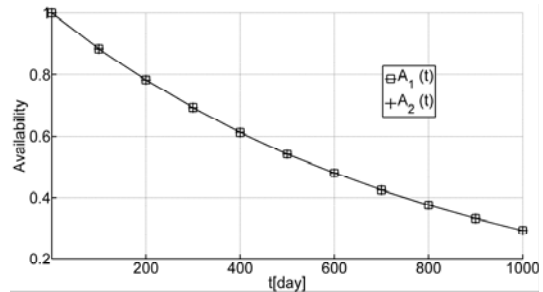


그림 2. 소프트 에러 정정 성능에 따른 가용성 비교

### IV. 결론

본 논문에서는 Xilinx사의 7-Series FPGA의 configuration memory에 소프트 에러가 발생하고 이들이 SEM Controller에 의해 주기적으로 정정되는 상황에서의 가용성 분석 결과를 소개하고 실제 FPGA 사례를 가정하여 가용성 성능을 비교하였다. SEM Controller와 ECC를 적용하면 프레임당 1비트의 소프트 에러까지 정정 가능하며, SEM Controller와 ECC와 CRC를 모두 적용하면 프레임당 1비트 그리고 인접한 2비트 소프트 에러까지 정정 가능하다. 이론적으로는 인접한 2비트 소프트 에러까지 정정하는 경우의 가용성 성능이 우수하지만 3232비트로 구성된 프레임에서 인접한 2비트에 소프트 에러가 동시에 발생할 확률이 매우 작기 때문에 가용성 개선 효과는 매우 미미함을 알 수 있었다. 본 논문의 연구 결과는 Xilinx사의 7-Series FPGA를 기반으로 개발되는 디지털 회로의 가용성 예측에 도움이 될 것이라 기대된다.

## 참고문헌

- [1] M. Caffrey, K. Morgan, D. Roussel-Dupre, S. Robinson, A. Nelson, A. Salazar, M. Wirthlin, W. Howes, and D. Richins, "On-orbit flight results from the reconfigurable cibola flight experiment satellite," in *Proceeding of the 17th IEEE Symposium on Field Programmable Custom Computing Machines*, Napa: CA, pp. 3-10, Apr. 2009.
- [2] "Single-Event Upset Mitigation Selection Guide," Xilinx Application Note, 2008.
- [3] A. Lesea, S. Drimer, J. J. Fabula, C. Carmichael, and P. Alfke, "The rosetta experiment: atmospheric soft error rate testing in differing technology FPGAs," *IEEE Transactions on Device and Materials Reliability*, vol. 5, no. 3, pp. 317 - 328, Sep. 2005.
- [4] P. Adell and G. Allen, "Assessing and Mitigating Radiation Effects in Xilinx FPGAs," Jet Propulsion Laboratory, 2008.
- [5] "Soft Error Mitigation Controller v4.1 LogiCORE IP Product Guide," Xilinx, PG036, 2015.
- [6] D. P. Siewiorek and R. S. Swarz, *Reliable Computer Systems: Design and Evaluation*, A K Peters, 1998.
- [7] "7 Series FPGAs Configuration User Guide," Xilinx, UG470, 2015.